

東海大學電機工程學系

碩士論文

在 Smart Cut SOI 鍵合前加入圖樣設計研製功率金
氧半場效電晶體

**Pattern Engineering in Smart-cut SOI before
Bonding for Power MOSFET**

研究生：陳湧昌

指導教授：龔正 博士

中華民國 104 年 6 月 28

東海大學電機工程學系碩士學位

考試委員審定書

電機工程學系研究所 陳湧昌 君所提之論文

在 Smart Cut SOI 鍵合前加入圖樣設計研製功率

金氧半場效電晶體，經本考試委員會審查，符合

碩士資格標準。

學位考試委員會 召集人：黃智方 (簽章)

委員：

苗新元

黃正

中華民國 105 年 06 月 28 日

致謝

本論文得以完成，首先要感謝指導教授龔正博士，從大學期間的專題研究課程到碩士班的論文研究，不管是電子電路亦或是半導體相關知識，感謝龔老師總是不厭其煩的指導，並且在研究遇到瓶頸時為我指出正確的方向，讓我能繼續保持對於研究的熱情，在此謹向龔老師致以誠摯的謝意和崇高的敬意。接著感謝口試委黃智方教授及苗新元教授，在百忙之中撥空參加我的碩士學位口試，以及提出了對於論文修改的寶貴建議，使本論文更加完整。

感謝東海電機系上所有的教授，因為有你們的耐心指導，才能讓我在大學四年及研究所兩年間，充實電機相關的知識，以及提供我在學習上各種寶貴的意見。感謝系上的熊哥及淑貞姐，報帳上及學校文件上各種大大小小幫助，幫我省掉了許多的麻煩。

感謝實驗室的各位，感謝紀雅軒學長、鄭家慧學姐、鄧傑文學長，在我剛進實驗室時的各種照顧，特別感謝家慧學姐，即使是畢業了也會為我解答模擬上的疑問。感謝同學茆俊富，在擔任助教期間為我分擔了不少了工作，在研究上也提供了我不不少的協助。感謝學弟謝明翰、張筵崧、王國漣、陳冠州在平時替我處理了許多的事，一起看動畫打遊戲之類的，紓解了不少研究上的壓力。

感謝志同道合的朋友，平常陪我聊一些有的沒的，做些有意義的沒意義的事，豐富了我的求學生活，然後忍受我龜毛、固執、怕麻煩的個性。最後感謝我的父母及家人，在背後默默的支持我完成學業，支持我做的決定，謝謝你們。因為需要感謝的人太多了，就感謝天罷。



目錄

圖目錄	V
表目錄	IX
中文摘要	X
英文摘要	XI
第一章 緒論	1
1.1 研究動機	1
1.2 研究目的	2
1.3 論文架構	3
第二章 SOI Power MOSFET 文獻探討	4
2.1 SOI 製程技術文獻探討	4
2.1.1 氧離子植入矽晶隔離法 (Separation by Implanted Oxygen , SIMOX)	4
2.1.2 電漿氧離子植入矽晶隔離法 (Separation by Plasma Implantation of Oxygen , SPIMOX)	5
2.1.3 鍵合與蝕刻法 BESOI (Bonding and Etch-Back)	5
2.1.4 磊晶層轉移法 (Epitaxial Layer Transfer , ELTRAN)	6
2.1.5 智切法 (Smart-Cut)	7

2.2	SOI Power MOSFET 文獻探討	9
2.2.1	線性漸變摻雜(Linearly Graded Doping)	9
2.2.2	降低表面電場 RESURF SOI LDMOSFET	10
2.2.3	三層磊晶矽 Triple Layer Top Silicon SOI LDMOSFET (TLTS SOI LDMOSFET)	10
2.2.4	遮蔽溝槽 Shielding Trench SOI LDMOSFET (ST SOI LDMOSFET)	11
2.2.5	階梯狀氧化埋層 Buried Oxide Step Structure SOI LDMOSFET (BOSS SOI LDMOSFET)	12
2.2.6	二階氧化埋層 Buried Oxide Double Step Structure SOI LDMOSFET (BODS SOI LDMOSFET)	12
2.2.7	梯形漂移區厚度 Varied Lateral Thickness SOI LDMOSFET (VLT SOI LDMOSFET)	13
2.2.8	氣隙埋層 Buried Air Gap Structure SOI LDMOSFET (BAGS SOI LDMOSFET)	14
第三章	SOI 超高壓功率元件原理及結構設計	15
3.1	崩潰機制	15
3.1.1	稽納崩潰(Zener Breakdown)	15
3.1.2	雪崩崩潰 (Avalanche Breakdown)	16
3.1.3	穿透崩潰 (Punch-Through Breakdown)	17

3.1.4 氧化層崩潰 (Oxide Breakdown)	18
3.1.5 轉折崩潰 (Snapback Breakdown)	18
3.2 導通電阻	18
3.2.1 漂移區電阻	20
3.2.2 通道電阻	21
3.3 SOI LDMOSFET 元件電性模擬	22
3.3.1 氧埋層厚度與崩潰電壓電性模擬	23
3.3.2 磊晶層濃度與崩潰電壓電性模擬	26
3.3.3 BAGS 結構下磊晶層濃度與崩潰電壓電性模擬	27
第四章 最佳化 SOI 超高壓功率元件及電性模擬	30
4.1 BOX 層圖樣化設計	30
4.1.1 BOX 層圖樣化設計原理	30
4.1.2 元件結構	31
4.1.3 製程規劃	32
4.2 BOX 層圖樣化設計之最佳化	38
4.2.1 BAGS 結構最佳化	39
4.2.2 圖樣化結構最佳化	43

4.3 導通電阻與效能指標分析.....	54
4.3.1 元件長度與導通電阻分析.....	54
4.3.2 效能指標分析.....	58
第五章 結論.....	60
參考文獻.....	61



圖目錄

圖. 1 氧離子植入矽晶隔離法	4
圖. 2 SIMOX 與 SPIMOX 晶圓尺寸與佈植時間比較	5
圖. 3 BESOI 製程	6
圖. 4 磊晶層轉移製程	7
圖. 5 Smart-Cut 製程	8
圖. 6 線性漸變摻雜技術	9
圖. 7 線性漸變摻雜 SOI LDMOSFET	9
圖. 8 Triple RESURF SOI LDMOSFET	10
圖. 9 Triple Layer Top Silicon SOI LDMOSFET	11
圖. 10 Shielding Trench SOI LDMOSFET	11
圖. 11 BOSS SOI LDMOSFET	12
圖. 12 BODS SOI LDMOS	13
圖. 13 VLT SOI LDMOSFET	13
圖. 14 BAGS SOI LDMOSFET	14
圖. 15 稽納崩潰	16
圖. 16 雪崩崩潰	17
圖. 17 穿透崩潰	17
圖. 18 導通電阻組成	19

圖. 19 磊晶層厚度與崩潰電壓關係	22
圖. 20 SOITEC 公司提供 Smart-Cut SOI 客製化產品線及規格	23
圖. 21 一般結構 SOI LDMOSFET	24
圖. 22 氧埋層厚度與表面電場	24
圖. 23 氧埋層厚度與磊晶層下方電場	25
圖. 24 氧埋層厚度與崩潰電壓	25
圖. 25 磊晶層濃度與表面電場	26
圖. 26 磊晶層濃度與崩潰電壓	27
圖. 27 BAGS SOI LDMOSFET	27
圖. 28 BAGS 結構下磊晶層濃度與表面電場	28
圖. 29 BAGS 結構及一般結構的磊晶層濃度與崩潰電壓比較	29
圖. 30 BOX 層圖樣化設計 LDMOSFET 元件結構	32
圖. 31 調整二氧化矽長度之 BAGS SOI	38
圖. 32 Source 端加入圖樣化設計 SOI	39
圖. 33 Source 端及 Drain 端皆加入圖樣化設計 SOI	39
圖. 34 BAGS 結構二氧化矽長度 16、18 μm	40
圖. 35 BAGS 結構二氧化矽長度 20、22 μm	40
圖. 36 BAGS 結構二氧化矽長度 24、26 μm	41
圖. 37 BAGS 結構二氧化矽長度 28、30 μm	41

圖. 38 BAGS 結構於不同二氧化矽長度下磊晶層下方電場	42
圖. 39 BAGS 結構於不同二氧化矽長度下表面電場.....	42
圖. 40 二氧化矽中加入 1 個與 2 個氣隙	44
圖. 41 二氧化矽中加入 3 個與 4 個氣隙	44
圖. 42 不同氣隙數量下磊晶層下方電場	45
圖. 43 不同氣隙數量下表面電場	45
圖. 44 空氣中加入 1 個與 2 個二氧化矽柱	47
圖. 45 空氣中加入 3 個與 4 個二氧化矽柱	47
圖. 46 空氣中加入 5 個與 6 個二氧化矽柱	48
圖. 47 不同二氧化矽柱數量下磊晶層下方電場	48
圖. 48 不同二氧化矽柱數量下表面電場	49
圖. 49 不同位置之電場切線	50
圖. 50 一般 SOI、BAGS SOI 與圖樣化設計 SOI BOX 層上方電場 (圖.49 切線 C)	51
圖. 51 一般 SOI、BAGS SOI 與圖樣化設計 SOI 磊晶層下方電場 (圖.49 切線 B)	52
圖. 52 一般 SOI、BAGS SOI 與圖樣化設計 SOI 磊晶層表面電場 (圖.49 切線 A)	52
圖. 53 一般 SOI、BAGS SOI 與圖樣化設計 SOI IIGR.....	53

圖. 54 $60\mu\text{m}$ 元件長度之 I_D-V_D 曲線.....	54
圖. 55 $75\mu\text{m}$ 元件長度之 I_D-V_D 曲線.....	55
圖. 56 $80\mu\text{m}$ 元件長度之 I_D-V_D 曲線.....	55
圖. 57 $120\mu\text{m}$ 元件長度之 I_D-V_D 曲線.....	56
圖. 58 不同長度下 $V_G=6\text{V}$ I_D-V_D 曲線.....	56



表目錄

表. 1 元件模擬參數	31
表. 2 二氧化矽長度與崩潰電壓	43
表. 3 氣隙數量與崩潰電壓	46
表. 4 二氧化矽柱數量與崩潰電壓	49
表. 5 不同元件長度下 R_{on} 與 $R_{on.sp}$ 比較	57
表. 6 元件長度與崩潰電壓	58
表. 7 元件長度與效能指標	59



中文摘要

本研究將提出一個有效提升 SOI LDMOSFET 電場均勻度與崩潰電壓的結構。主要是將 SOI 晶圓中的氧埋層進行圖樣化的設計，改變部分區域的介電系數調整電場分佈，利用 Smart-Cut SOI 技術於鍵合前對 Seed Wafer 上的二氧化矽進行圖樣化的蝕刻，鍵合後氧埋層將形成二氧化矽與空氣交替之結構，之後於此 SOI 晶圓上製作出 600V 超高壓 LDMOSFET。本研究將利用 TCAD 進行元件模擬，根據第一介質增強理論，氧埋層中二氧化矽與空氣交界處會改變上方磊晶層的電場分佈，改變並增加上述兩者交接之位置，與只有單一交界處的 BAGS 結構相比，圖樣化設計結構有效使磊晶層電場分佈更加均勻，並且得到更高的崩潰電壓。而在相同的崩潰電壓條件下，圖樣化設計結構能縮短元件長度降低導通電阻，使 LDMOSFET 得到更高的元件效率。

英文摘要

In this paper we propose a structure to improve the breakdown voltage and unify the electric field of a SOI LDMOSFET. The buried oxide layer of SOI wafers is patterning designed to change the dielectric material positions to adjust the electric field distribution in the drift areas. We use Smart-Cut SOI technology as the base; and apply the pattern engineering to etch the oxide layer before wafer bonding. Such that we are able to introduce an alternating oxide and air layer into a SOI wafer, and produce the ultra-high voltage LDMOSFET above 600V on this wafer. We used TCAD to simulate the device. Due to the enhanced dielectric layer electric field (ENDIF) in oxide and air junction in the buried oxide, the electric field distribution in the silicon epi-layer is changed accordingly. By making multiple intersections of oxide and air the electric field distribution is more uniform and higher breakdown voltage than buried air gap structure (BAGS) is obtained. The device length is then shortened to reduce the turn-on resistance and still keep the identical breakdown voltage.

第一章 緒論

1.1 研究動機

功率積體電路(Power Integrated Circuit, PIC)是將低功率元件及高功率元件整合於同一晶片上的積體電路，被廣泛地運用在工業、通訊、交通及生活中各種大大小小的 3C 產品之中，但隨著製程技術的進步元件越縮越小的同時，漏電流(Leakage Current)已成為一個不可忽視的問題，任何的漏電流都有可能造成鄰近的元件不正常的工作，而高功率元件所產生的漏電流遠遠大於低功率元件，影響的層面更加的廣泛，這個問題大大的影響功率積體電路的發展，因此元件隔離技術成為了功率積體電路發展及設計上重要的課題。元件隔離一般分自我隔離(Self Isolation)、接面隔離(Junction Isolation)及介質隔離(Dielectric Isolation)三種。自我隔離為三者之中製程技術最為簡單的，成本也最低，而隔離效果有限，早期使用 LOCOS(Local Oxidation of Silicon)進行隔離，但為了滿足積體電路高密度的要求，則改用淺溝槽隔離(Shallow Trench Isolation, STI)取代。接面隔離製程技術雖較自我隔離複雜，但因為成本及隔離效果等考量下，大多數的功率積體電路多採以此技術作為隔離，最常見的方法為保護環(Guard Ring)進行隔離[1]。介質隔離為三者之中隔離效果最佳的一種方式，與接面隔離技術相比因為減少了 PN 接面隔離的設計，因此可以減少了寄生電容的

產生，也大幅降低了隔離所使用的面積，而絕緣層覆矽(Silicon-on-insulator, SOI)為一個理想的介質隔離結構，雖然 SOI 製程技術及成本都比較高，但對於低功率 CMOS 製程上有著操作快速、低功耗、閉鎖抑制(Latch-up Immunity)[2][3][4]等多項優點，再加上 SOI 製程技術日益進步，其商業化產品也逐漸成為主流，因此如何於 SOI 晶圓上製作高功率效能的高功率元件，使得能與 CMOS 製程上作整合，成為了功率積體電路發展上重要的課題之一。

1.2 研究目的

SOI 雖然有著理想的元件隔離結構，但本身的磊晶層及絕緣層厚度則會影響崩潰電壓，雖然採用 ultra-thin SOI 將磊晶層厚度降低能有效地提升崩潰電壓[5]，但磊晶層厚度變薄則會增加漂移區的串聯電阻，使得元件效率降低。本研究將以 SOITEC 公司的 Smart-Cut 技術為基礎，並將 BAGS(Buried Air Gap Structure)結構加以延伸改良，於 SOI 鍵合前在絕緣層上加入圖樣化設計進行蝕刻，形成二氧化矽與空氣交接之結構，並調整交接結構之位置，藉此均勻提升磊晶層下方電場[6]，製作崩潰電壓 600V 以上之 LDMOSFET，並且在不降低崩潰電壓條件之範圍內，縮短元件長度藉此降低漂移區的串聯電阻來增加元件效益。

1.3 論文架構

本論文將提出一個有效提升 SOI LDMOSFET 崩潰電壓的結構，比較 BAGS 與鍵合前加入圖樣化設計對於調整電場分佈的能力。論文的第二章將說明 SOI 製程技術的發展和演進，以及列舉出 SOI Power MOSFET 如何改善崩潰電壓、降低導通電阻的原理，第三章將對於崩潰電壓及導通電阻進行分析，後半則對於 SOI 結構的氧埋層厚度與磊晶層的摻雜濃度進行電性模擬及分析，找出最佳的元件參數。第四章將針對 SOI 晶圓中的氧埋層進行圖樣化的設計，並將元件進行最佳化得到最高之崩潰電壓，在後半段將針對 LDMOSFET 的導通電阻與效能指標進行分析，比較本研究所提出之結構與其他論文所提出結構之優劣。第五章則是結論。

第二章 SOI Power MOSFET 文獻探討

2.1 SOI 製程技術文獻探討

2.1.1 氧離子植入矽晶隔離法 (Separation by Implanted Oxygen, SIMOX)

利用離子佈植將低劑量的氧離子($3.0 \times 10^{17} \sim 4.5 \times 10^{17} \text{ ions/cm}^{-2}$)植入拋光後的矽晶圓中，之後於通氧的環境下進行退火，使晶圓表層與內部氧化形成二氧化矽埋層，最後再以化學機械研磨 (Chemical-Mechanical Polishing, CMP) 將表面二氧化矽層去除。[7][8]

製程步驟圖. 1。

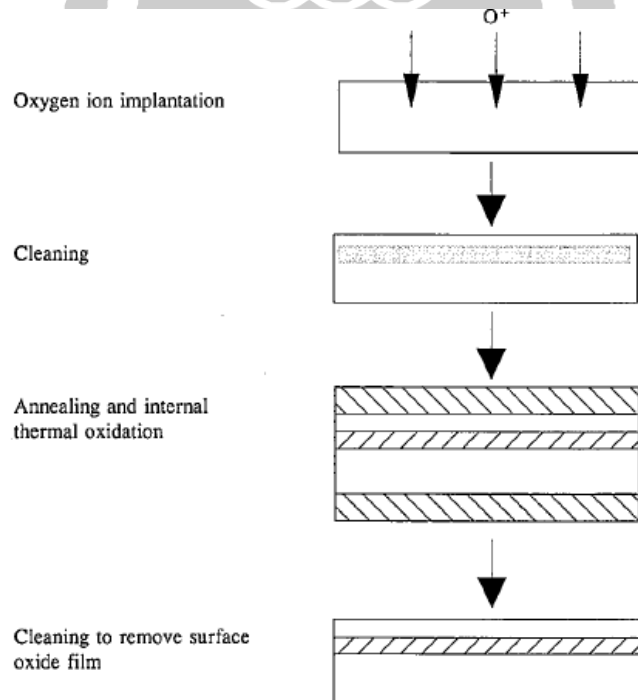


圖. 1 氧離子植入矽晶隔離法[2]

2.1.2 電漿氧離子植入矽晶隔離法 (Separation by Plasma

Implantation of Oxygen, SPIMOX)

製程步驟上與氧離子植入矽晶隔離法相同，最大的差異在於使用電漿離子佈植(Pasma Immersion Ion Implantation, PIII)取代一般的離子佈植，其優點在於相同佈植濃度下電漿離子佈植時間不會受矽晶圓尺寸影響，因此有利於縮短SOI晶圓製作時間，如圖. 2。[9][10]

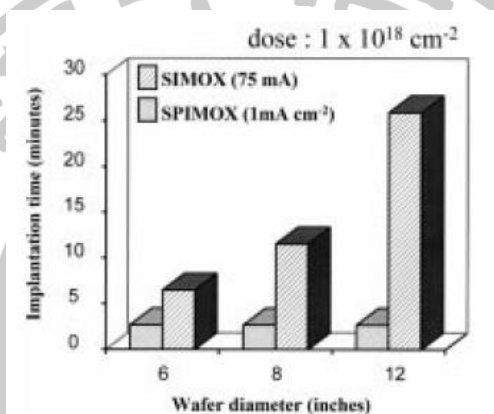


圖. 2 SIMOX 與 SPIMOX 晶圓尺寸與佈植時間比較[3]

2.1.3 鍵合與蝕刻法 BESOI (Bonding and Etch-Back)

首先準備兩片矽晶圓，於第一片矽晶圓 Seed Wafer 上製作出矽鍍蝕刻終止層(Etch Stop Layer)並在上方長出二氧化矽層，將其與第二片晶圓 Handle Wafer 鍵合(Bonding)，經由選擇性蝕刻對 Seed Wafer 進行快速蝕刻，蝕刻至終止層後改用 CMP 研磨至所要之磊晶層厚度為止。[11][12][13]

製程步驟如圖. 3。

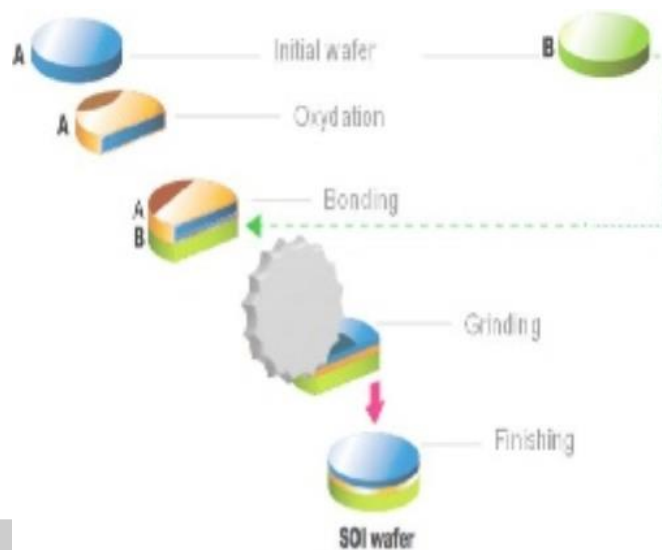


圖. 3 BESOI 製程

2.1.4 磊晶層轉移法 (Epitaxial Layer Transfer, ELTRAN)

於 Seed Wafer 上利用陽極氧化反應(Anodizer)產生出多孔矽 (Porous Si) 薄膜，於薄膜上利用化學氣相沉積 (Chemical Vapor Deposition, CVD) 形成矽磊晶層，再於磊晶層上方長出二氧化矽，之後與 Handle Wafer 鍵合。因為多孔矽的機械強度較弱，可直接用外力將兩片晶圓由多孔矽處分離，而原先於 Seed Wafer 上的 SOI 結構將會轉移到 Handle Wafer 圓上。經由選擇性蝕刻去除 SOI 結構上的多孔矽，再將 SOI 晶圓進行退火，而剝除的 Seed Wafer 則可重複使用，降低製程成本。[14][15]

製程步驟如圖. 4。

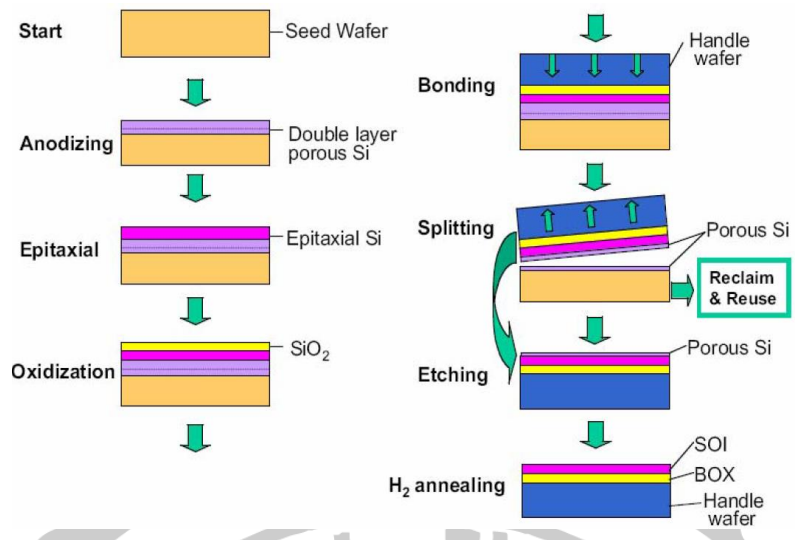


圖.4 磊晶層轉移製程

2.1.5 智切法 (Smart-Cut)

準備兩片矽晶圓，於 Seed Wafer 上長出二氧化矽層，之後利用離子佈植將高濃度的氫離子植入，隨後與 Handle Wafer 鍵合後進行退火。退火的過程中植入高濃度氫離子區會自行破裂，即可將 Seed Wafer 剝除，剝除的晶圓可於下次的 Smart-Cut 製程繼續使用，而 SOI 結構會轉移到 Handle Wafer 上，利用 CMP 將磊晶層研磨至指定厚度即可。而在離子佈植時植入原子序最小的氫離子，可以大幅降低氫離子與矽原子碰撞所造成的磊晶層晶格缺陷，在經過退火後有效提高 SOI 晶圓之的品質。[16][17][18]

製程步驟如圖.5。

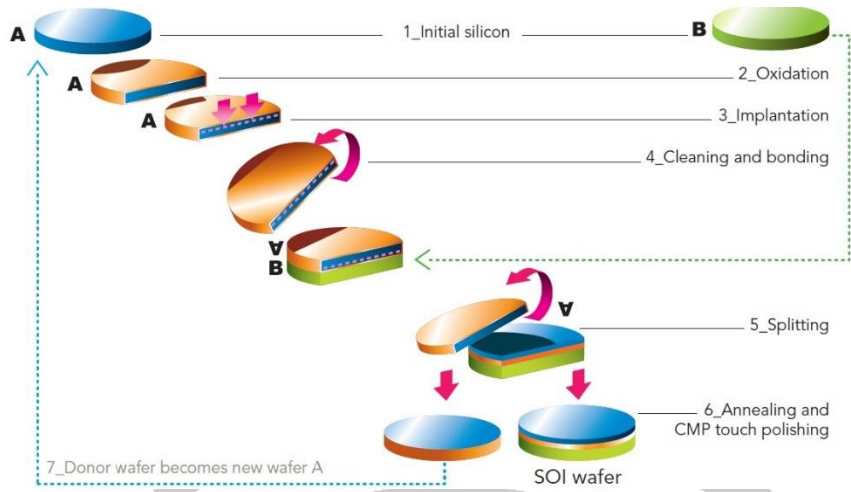


圖. 5 Smart-Cut 製程



2.2 SOI Power MOSFET 文獻探討

2.2.1 線性漸變摻雜(Linearly Graded Doping)

利用光罩開口大小變化製作線性漸變摻雜的 LDMOSFET，於磊晶層漂移區 Source 端至 Drain 端摻雜濃度漸濃，達到均勻表面電場的目的，進而提升元件崩潰電壓。[18][19]

線性漸變摻雜結構圖如圖.6、圖.7。

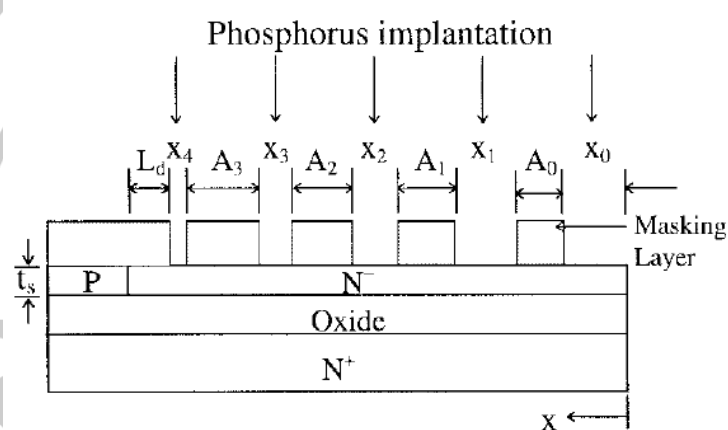


圖.6 線性漸變摻雜技術

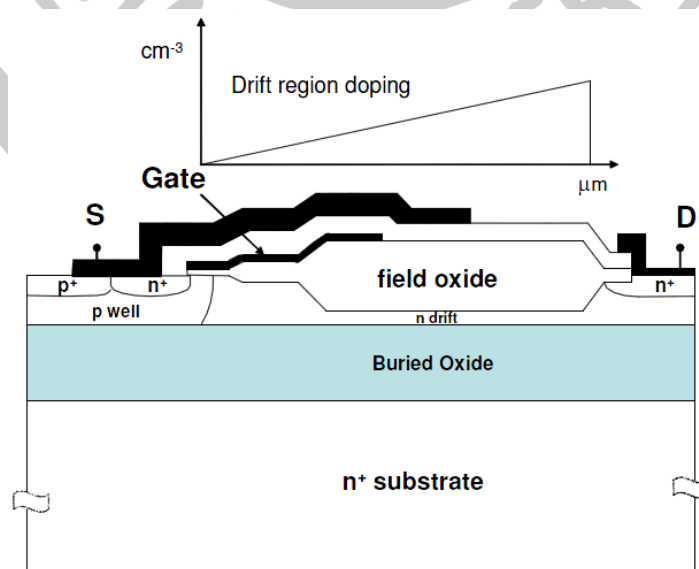


圖.7 線性漸變摻雜 SOI LDMOSFET

2.2.2 降低表面電場 RESURF SOI LDMOSFET

RESURF 技術因為製程條件簡單，只要使用離子佈置技術即可完成，因此不管是 Double RESURF 或 Triple RESURF 都被用來使表面電場更均勻，在相同崩潰電壓的情形下能使漂移區的摻雜上升，藉此降低導通電阻。[20][21]

Triple RESURF SOI LDMOSFET 結構如圖.8。

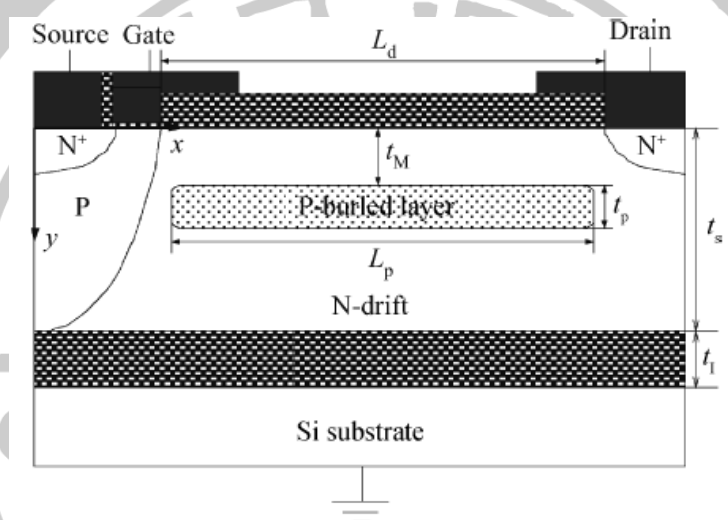


圖. 8 Triple RESURF SOI LDMOSFET

2.2.3 三層磊晶矽 Triple Layer Top Silicon SOI LDMOSFET (TLTS SOI LDMOSFET)

利用SIMOX製程技術製造出Triple Layer Top Silicon，於反向偏壓的情形下 N^+ 層可以提升BOX層的電場，並使表面的電場分佈更加均勻，在導通的情形下藉由調整 P^- 的厚度與摻雜濃度，可以降低表面RESURF的摻雜，達到降低導通電阻的效果。[22]

Triple Layer Top Silicon SOI LDMOSFET結構如圖.9。

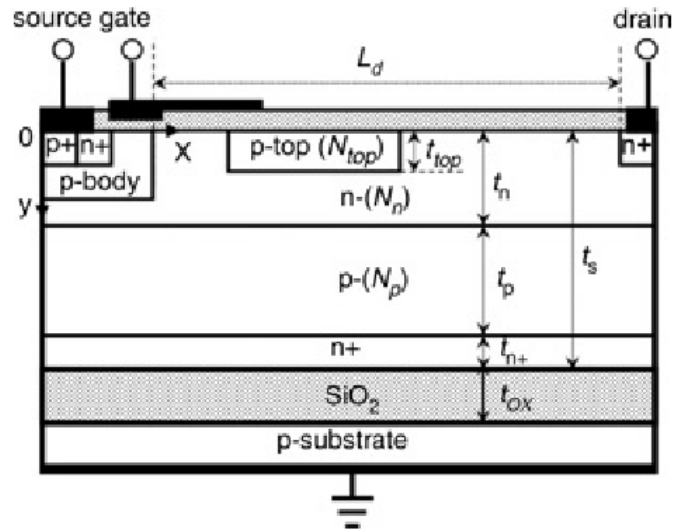


圖. 9 Triple Layer Top Silicon SOI LDMOSFET

2.2.4 遮蔽溝槽 Shielding Trench SOI LDMOSFET (ST SOI LDMOSFET)

透過調整BOX層上方的Shielding Trench結構的密度，能使得電場分布均勻，間接提高表面的水平電場，亦可調整磊晶層厚度，達到提高崩潰電壓的效果。[23][24]

Shielding Trench SOI LDMOSFET結構圖如圖.10。

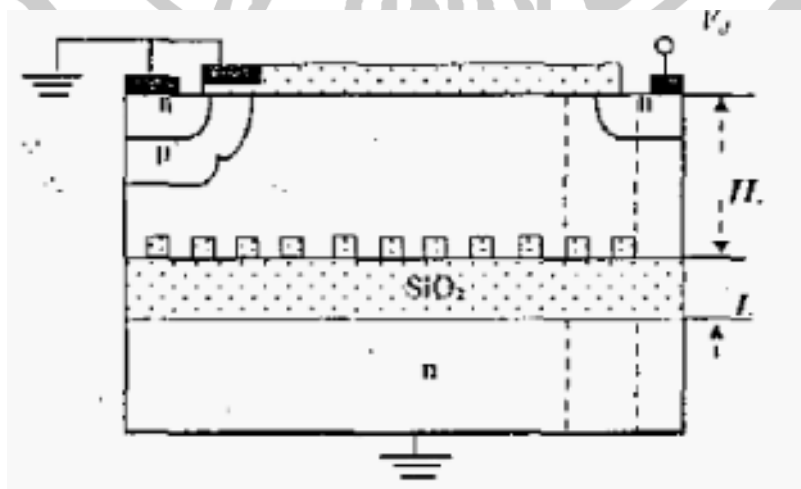


圖. 10 Shielding Trench SOI LDMOSFET

2.2.5 階梯狀氧化埋層 Buried Oxide Step Structure SOI LDMOSFET (BOSS SOI LDMOSFET)

將BOX層與基板之間製作出階梯式的結構，Drain端下方BOX層較Source端下方厚，藉由改變階梯的位置調整接面水平電場的分佈，讓表面水平電場更均勻，加入越多階越能將電場推至Source端下方，並且改變崩潰點的位置，藉此提升崩潰電壓。[25][26] Buried Oxide Step Structure SOI LDMOSFET結構圖如圖.11。

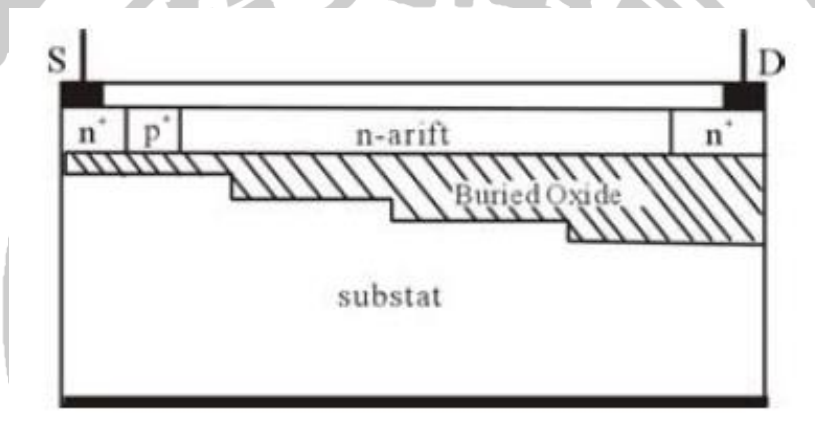


圖. 11 BOSS SOI LDMOSFET

2.2.6 二階氧化埋層 Buried Oxide Double Step Structure SOI LDMOSFET (BODS SOI LDMOSFET)

將BOX層與磊晶層、基板之間製作出階梯型結構，Drain端下方磊晶層較厚，可以紓解Drain端下方垂直電場，比起一般結構及上述的BOSS結構，調節電場的能力更加優秀，在相同的崩潰電壓情形下，可提升磊晶層的摻雜濃度，達到將低導通電阻的效果。[27][28] BODS SOI LDMOSFET結構圖如圖.12。

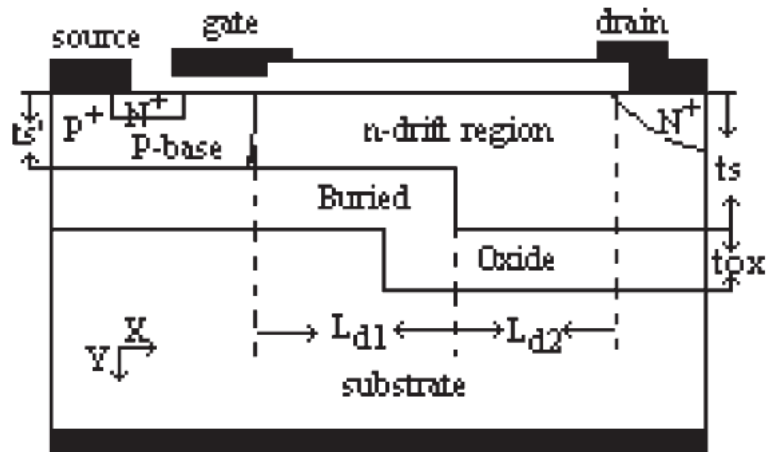


圖. 12 BODS SOI LDMOS

2.2.7 梯形漂移區厚度 Varied Lateral Thickness SOI LDMOSFET (VLT SOI LDMOSFET)

利用磊晶層由Drain端至Source端由厚漸薄的結構，紓解Drain端下方磊晶層的垂直電場，藉此於漂移區表面獲得均勻的電場分佈，進而提升崩潰電壓，而較厚的磊晶層允許更多的電流通過，因此與一般的SOI LDMOS相比降低導通電阻的能力更加顯著。[29]

Varied Lateral Thickness SOI LDMOSFET結構圖如圖.13。

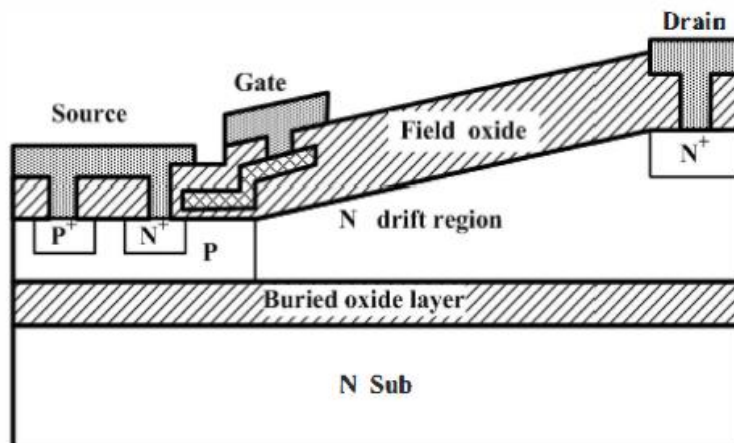


圖. 13 VLT SOI LDMOSFET

2.2.8 氣隙埋層 Buried Air Gap Structure SOI LDMOSFET (BAGS SOI LDMOSFET)

在SOI鍵合前對二氧化矽進行蝕刻，鍵合後BOX層會形成一個二氧化矽與空氣交接的結構，在反向偏壓的情形下，二氧化矽與空氣之間會因為介電係數的不同，會在BOX層與磊晶層界面處產生一個高電場，若磊晶層厚度越薄則交接處的高電場越能影響表面電場，而與BOSS結構相比Drain端下方BOX層材料由空氣取代較厚的二氧化矽埋層，因此可以有效降低寄生電容的產生。[30][31]

Buried Air Gap Structure SOI LDMOSFET結構圖如圖.14。

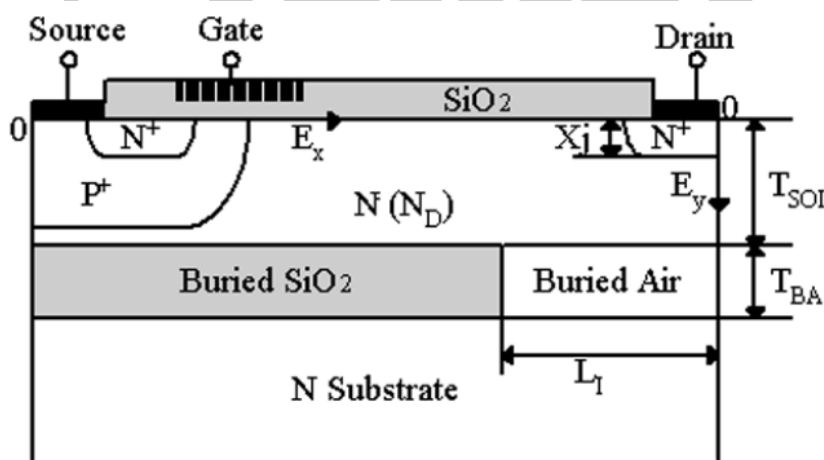


圖. 14 BAGS SOI LDMOSFET

但是BAGS僅能產生出一個高電場，對於提升LDMOSFET崩潰電壓能力有限。因此本論文提出了於二氧化矽埋層加入圖樣設計，增加二氧化矽與空氣的交界區，藉此提升對電場分佈的調節能力，進而使崩潰電壓更加提升。

第三章 SOI 超高壓功率元件原理及結構設計

3.1 崩潰機制

在功率積體電路中，高功率元件最主要的功能就是當作開關來使用，理想的開關元件在順向偏壓的情形下可以流過無限大的電流，在逆向偏壓的情形下可以承受無限大的逆向電壓。在現實中的高功率元件，工作在逆向偏壓的模式下，會產生極小量的電流稱之為漏電流 (Leakage Current)，逆向偏壓不斷增加的情況下，漏電流也會跟著增加，當漏電流超過一定容忍的範圍時，外加的逆向偏壓值稱為崩潰電壓 (Breakdown Voltage)。本論文在電性模擬時定義元件漏電流超過 $1 * 10^{-6} (Amps/um)$ 即為元件崩潰。一般造成崩潰的情況有下列幾項：稽納崩潰 (Zener Breakdown)、雪崩崩潰 (Avalanche Breakdown)、穿透崩潰 (Punch-Through Breakdown)、氧化層崩潰 (Oxide Breakdown) 及轉折崩潰 (Snapback Breakdown)。

3.1.1 稽納崩潰 (Zener Breakdown)

稽納崩潰容易發生在重摻雜的 p-n 接面上，在施加逆向偏壓的狀況下，p 型與 n 型半導體的費米能階差異過大，使得 p 型半導體價帶 (Valence Bands) 的電子可以輕易的穿過空乏區到達 n 型半導體的導電帶 (Conduction Bands)，形成漏電流造成元件崩潰，一般而言造成稽納

崩潰的電壓只要10V左右，有此項特性的元件經常被用來作逆向穩壓元件如稽納二極體。[32]

稽納崩潰如圖.15。

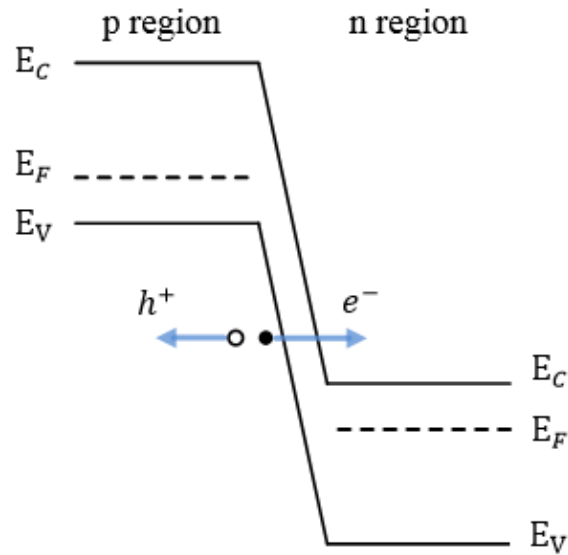


圖.15 稽納崩潰

3.1.2 雪崩崩潰 (Avalanche Breakdown)

雪崩崩潰發生在逆向偏壓情況下的p-n接面中，當逆向偏壓增加時，電子與電洞在靠近空乏區時，於電場中獲得足夠的能量去碰撞矽原子進而產生出新的電子電洞對，新的電子電洞對會被加速碰撞其它的矽原子，此現象稱為游離化碰撞，而在不斷增加的電場中游離化碰撞的發生速率則會上升，當游離化碰撞發生速率到達無窮大時，則會產生雪崩崩潰。[33]

雪崩崩潰如圖.16。

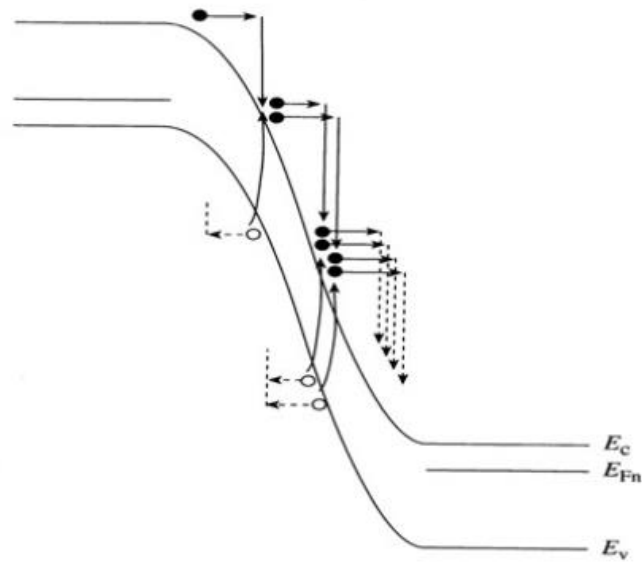


圖.16 雪崩崩潰

3.1.3 穿透崩潰 (Punch-Through Breakdown)

穿透崩潰一般發生在短通道的MOSFET中，在逆向偏壓的情況下，Drain端與Source端過於接近，造成兩端的空乏區重疊，大量的載子會從Source端注入Drain端形成電流，造成元件崩潰。

穿透崩潰如圖.17。[33]

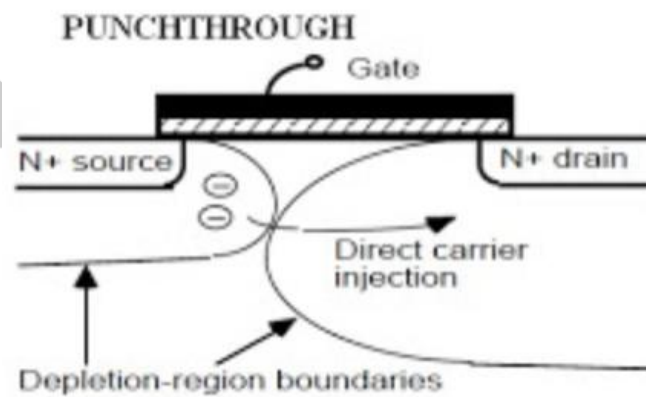


圖.17 穿透崩潰

3.1.4 氧化層崩潰 (Oxide Breakdown)

由氧化層兩邊電場所造成，若電場過大會使得氧化層流過大量電流，發生後氧化層會受到破壞造成元件損毀，一般而言提高氧化層厚度就可避免氧化層崩潰發生。[34]

3.1.5 轉折崩潰 (Snapback Breakdown)

當N通道MOSFET在逆向偏壓的情況，Drain端的空乏區中產生游離化碰撞形成電子電洞對，其中的電洞會往接地的基底移動，電場不斷上升基底累積的電洞也會增加，當基底的電位到0.6~0.7V時使得MOSFET的寄生BJT導通，造成大量電流產生元件則崩潰。[33]

3.2 導通電阻

在高功率元件中除了崩潰電壓外另一個效能參考指標就是元件於導通模式下的串聯電阻，而導通電阻的定義則利用元件在導通時所消耗的功率、電壓及電流推導，公式如(3.1)。

$$P_D = V_D I_D = I_D^2 R_{on} = J_D^2 A^2 R_{on} \quad (3.1)$$

單位面積所消耗的功率可以表示為公式(3.2)

$$P_D/A = J_D^2 R_{on.sp} \quad (3.2)$$

由公式(3.1)及(3.2)聯立可得公式(3.3)

$$R_{on.sp} = AR_{on} \text{ 或 } R_{on} = R_{on.sp}/A \quad (3.3)$$

SOI LDMOSFET的導通電阻可以依元件結構分為Drain region電阻(R_{Drain})、漂移區電阻(R_D)、通道電阻(R_{ch})及Source region電阻(R_{Source})。

導通電阻組成如圖.18。

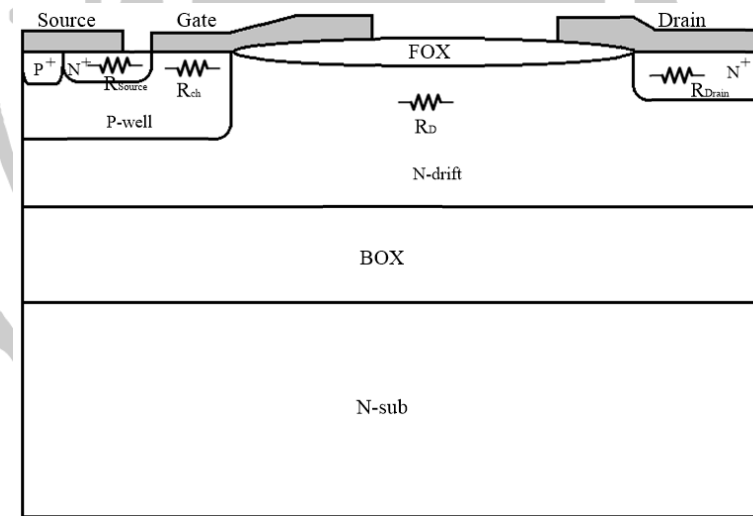


圖.18 導通電阻組成

因此可以將LDMOSFET導通電阻由上述條件整理為公式(3.4)

$$R_{on} = R_{Drain} + R_D + R_{ch} + R_{Source} \quad (3.4)$$

通常Drain region與Source region的電阻因為摻雜濃度較濃、長度較短的關係，比起漂移區及通道的電阻相對來的小，佔總電阻的比例也小，因此3.2.1及3.2.2將針對比例較高的漂移區及通道電阻詳加討論。

3.2.1 漂移區電阻

在高功率元件模擬過程中，為了提高元件的崩潰電壓，通常會藉由將漂移區的摻雜濃度下降來增加崩潰電壓，但是隨著摻雜濃度降低，將會導致電阻率上升，造成導通電阻上升，因此在超高壓的功率元件中，漂移區的電阻在總電阻很大的比例。

計算漂移區電阻時可將均勻摻雜的漂移區視為單一電阻率 ρ_D 的電阻，利用摻雜濃度及載子遷移率可以計算電阻率 ρ_D ，如公式(3.5)。

$$\rho_D = 1/e(\mu_n n + \mu_p p) \quad (3.5)$$

再利用漂移區的長度(L)、厚度(h)及寬度(w)即可推算出漂移區電阻，如公式(3.6)。

$$R_D = \rho_D \left(\frac{L}{w * h} \right) \quad (3.6)$$

3.2.2 通道電阻

N通道的MOSFET是利用於閘極下方金屬(Metal)、氧化層(Oxide)及半導體(Semiconductor)三者的MOS結構形成電容，電容一端接上正電時另一端則會感應出負電，利用這個原理在閘極金屬上接正電壓，氧化層下方則會吸引電子感應出負電壓，而當吸引的電子不斷增加時，原先表面的P型半導體則反轉成N型半導體形成通道，使MOSFET導通。可以利用MOSFET線性區電流公式推導出通道電阻，如公式(3.7)。

$$R_{ch} = V_D / I_D = L / W \mu_n C_{ox} (V_G - V_T) \quad (3.7)$$

由上述MOSFET原理及公式(3.7)可知，若要降低通道形成的電阻可以藉由增加氧化層電容 C_{ox} 來達成，當 C_{ox} 上升相同電壓下能感應出的電荷也更多，如公式(3.8)。

$$Q = CV = C_{ox} (V_G - V_T) \quad (3.8)$$

而根據氧化層電容公式，可知若要增加氧化層電容量，在二氧化矽介電係數 ϵ_{ox} 為定值的情形下，勢必要減少氧化層厚度 t_{ox} ，但若氧化層過薄可能會造成氧化層崩潰。氧化層電容公式，如公式(3.9)

$$C_{ox} = \epsilon_{ox}/t_{ox} \quad (3.9)$$

3.3 SOI LDMOSFET 元件電性模擬

本章節將針對SOI LDMOSFET的氧埋層厚度及磊晶層的摻雜濃度進行電性模擬，比較不同條件下崩潰電壓的變化，而磊晶層厚度方面將參考超薄型磊晶層SOI(Ultra-thin SOI)的作法。一般而言磊晶層厚度越厚，元件的崩潰電壓將會越高，反之則反，但若將磊晶層厚度降低到一定厚度之後，反而能使電場分布均勻，使得崩潰電壓上升。[35][36]

磊晶層厚度與崩潰電壓關係如圖.19。

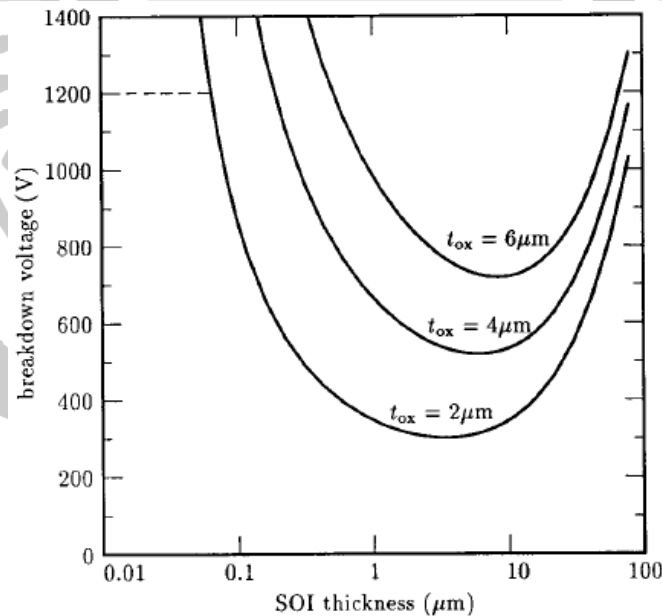


圖. 19 磊晶層厚度與崩潰電壓關係

但是磊晶層厚度又與導通電阻成反比，若為了追求高崩潰電壓而將磊晶層變薄，導通電阻將會上升，因此本論文參考SOITEC公司針對高功率元件所提供的Smart-Cut SOI客製化的規格如圖.20，以及磊晶層厚度與崩潰電壓關係，將電性模擬時的磊晶層厚度定於 $1.8\mu\text{m}$ 。

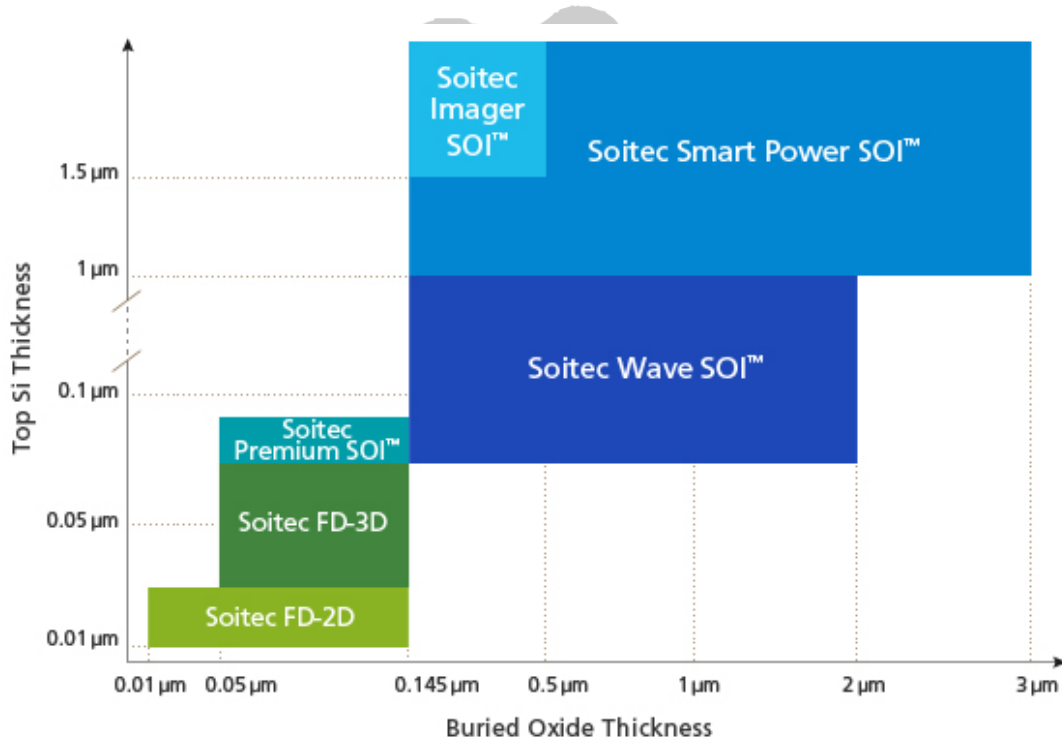


圖. 20 SOITEC 公司提供 Smart-Cut SOI 客製化產品線及規格[37]

3.3.1 氧埋層厚度與崩潰電壓電性模擬

接下來將針對氧埋層(Buried Oxide Layer, BOX)厚度與崩潰電壓的關係進行電性模擬，模擬時使用一般SOI LDMOSFET結構如圖.21，氧埋層厚度為唯一的變數，根據SOITEC Power SOI的規格以 $0.5\mu\text{m}$ 至 $3\mu\text{m}$ 的氧埋層的厚度進行崩潰電壓電性模擬。

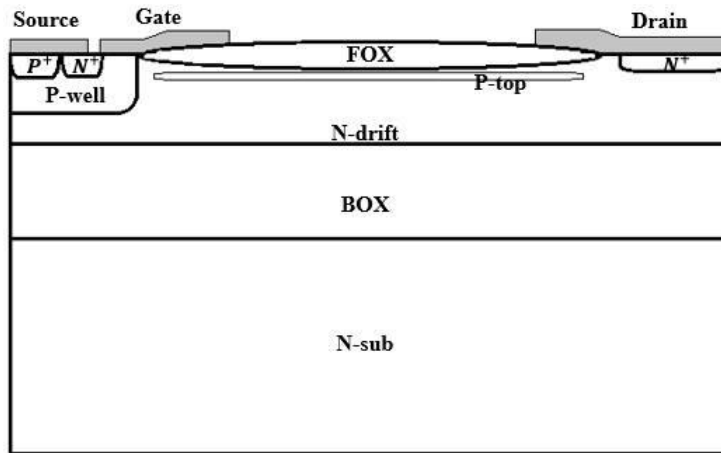


圖. 21 一般結構 SOI LDMOSFET

透過電性模擬結果可以看出，最高電場位置不變的情況下，藉由提升氧埋層厚度，不論是磊晶層表面或者是下方，原先低電場區域電場皆上升。

氧埋層厚度與表面電場及磊晶層下方電場如圖.22、圖.23。

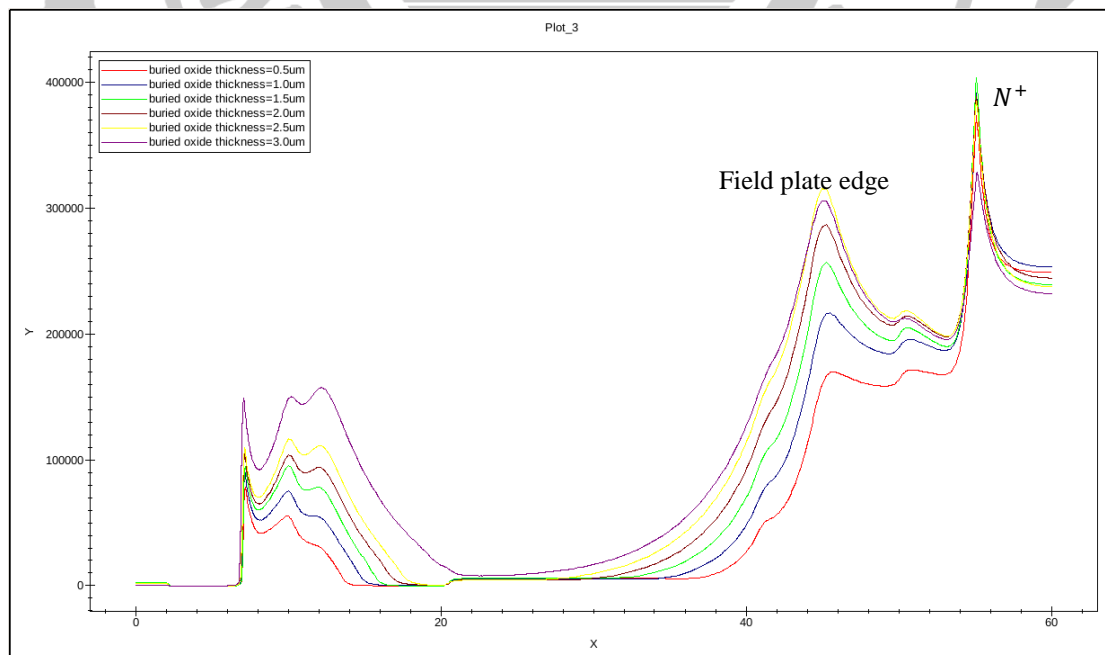


圖. 22 氧埋層厚度與表面電場

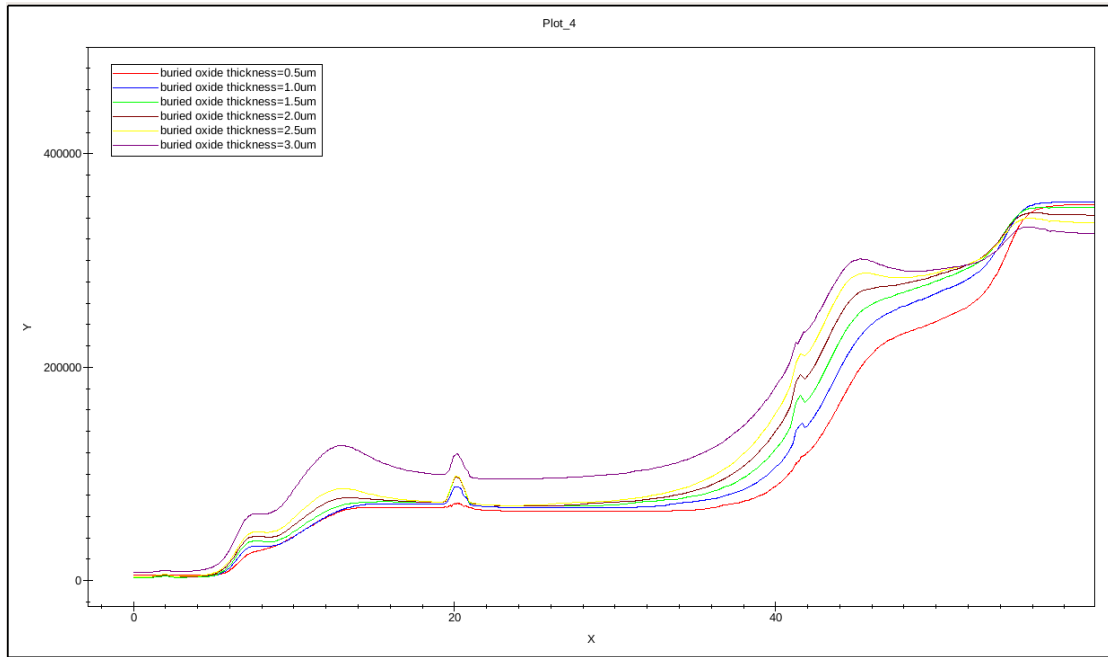


圖. 23 氧埋層厚度與磊晶層下方電場

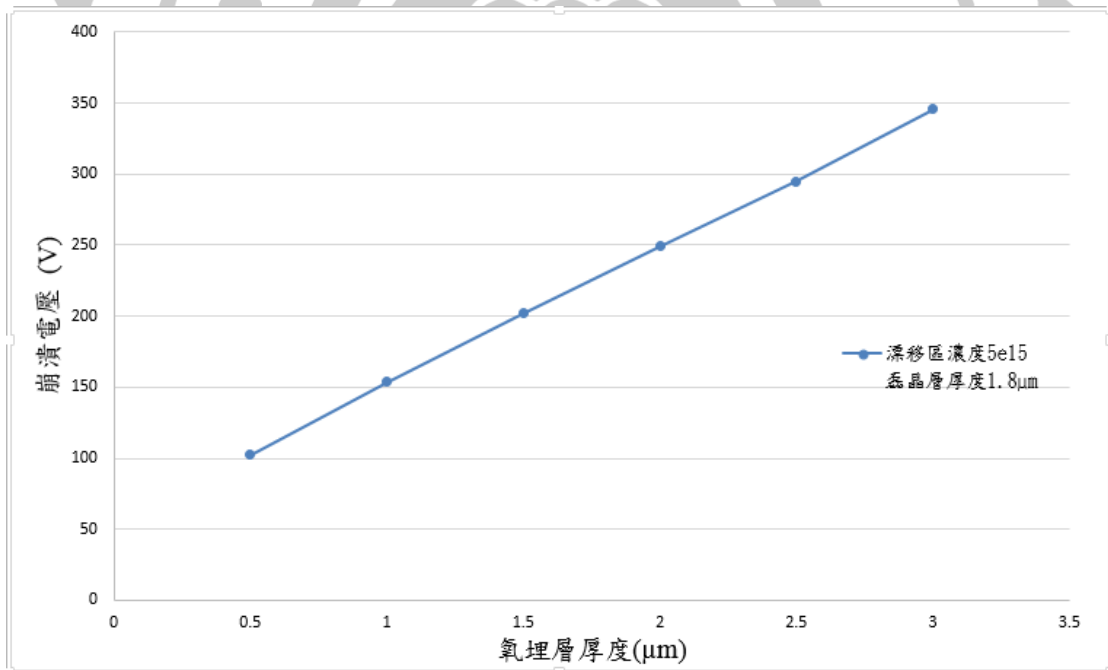


圖. 24 氧埋層厚度與崩潰電壓

由圖.24可知，氧埋層厚度越厚有助於提升元件之崩潰電壓，因此在氧埋層厚度的選擇上，採用SOITEC所能提供的最大厚度 $3\mu\text{m}$ 進行之後的電性模擬。

3.3.2 磊晶層濃度與崩潰電壓電性模擬

根據圖.25磊晶層濃度與表面電場的崩潰電壓電性模擬結果，增加磊晶層的摻雜濃度可以保持最高電場及崩潰點發生在Drain端 N^+ 與漂移區的交接處，並使得P-well與漂移區交接處所產生的p-n界面電場逐漸上升。持續增加磊晶層濃度使最高電場同時發生在上述兩個區域時，電場的分布會更加均勻，這時可以得到最高的崩潰電壓。若是將磊晶層的摻雜濃度再上升，原先的崩潰點將會從 N^+ 與漂移區交接處轉往P-well與漂移區交接的p-n界面，造成崩潰電壓急遽下降。

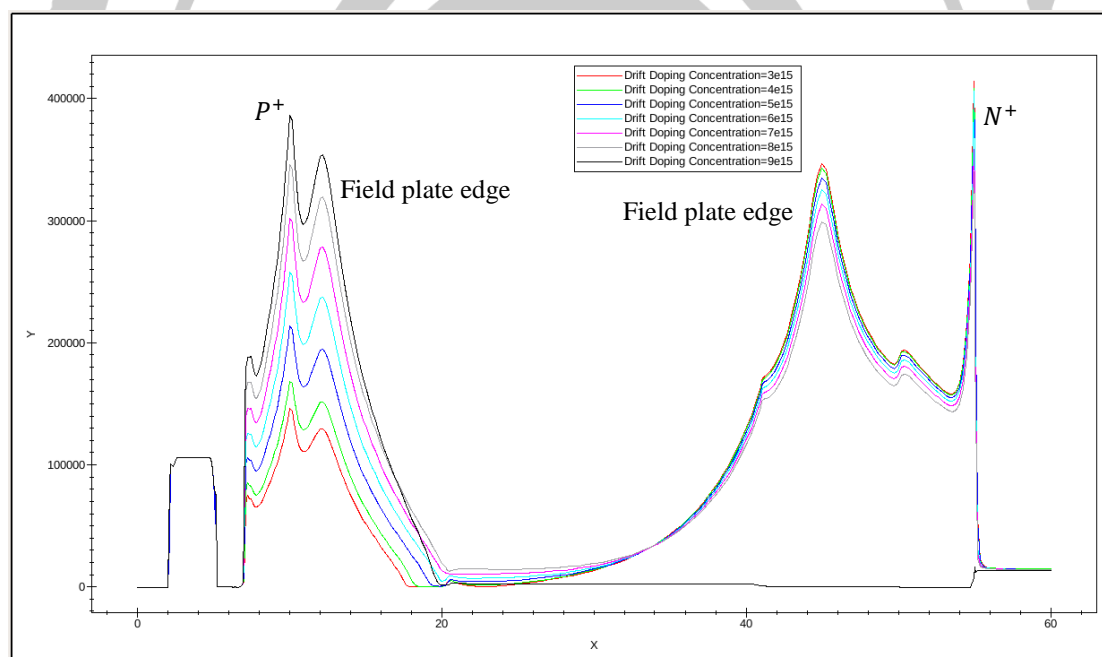


圖. 25 磊晶層濃度與表面電場

透過圖.26可以明顯看出，磊晶層的摻雜濃度若是小於 $8e15$ 時，增加摻雜濃度能使崩潰電壓上升，但摻雜濃度若高於 $8e15$ 時，崩潰電壓則會急遽下降。

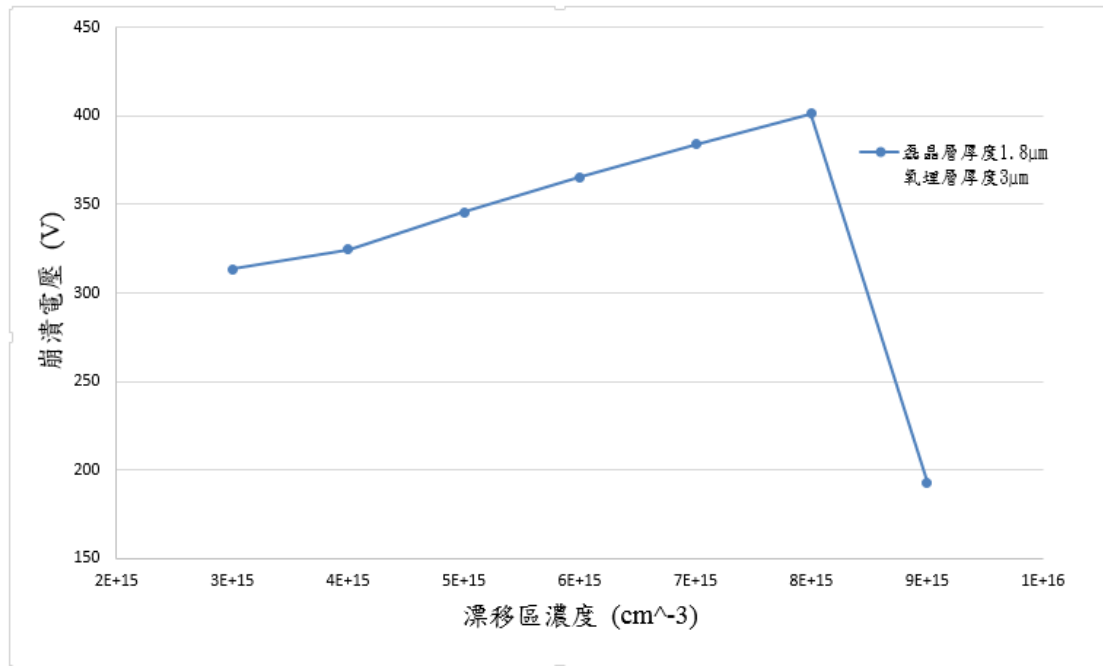


圖. 26 磊晶層濃度與崩潰電壓

3.3.3 BAGS結構下磊晶層濃度與崩潰電壓電性模擬

氣隙埋層(BAGS)結構如圖.27，將氧埋層與氣隙埋層交界處固定於LDMOSFET中央的位置，使兩者各占50%的比例進行崩潰電壓的電性模擬。

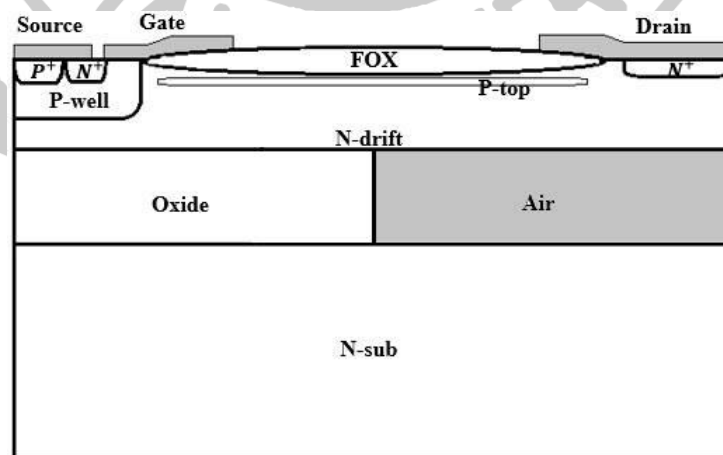


圖. 27 BAGS SOI LDMOSFET

根據第一介質增強理論[38][39]如公式(3.10)，磊晶層下方氧埋層與氣隙埋層的交界處將會產生一個高電場，且因為磊晶層厚度較薄，此高電場會影響表面電場分佈，使表面電場更加均勻。

$$\varepsilon_1 E_1 = \varepsilon_2 E_2 \quad (3.10)$$

由圖.28可以看出，表面電場於氧埋層與氣隙埋層的交界處產生了一個新的高電場，而氧埋層上方的電場分佈與一般結構SOI的結果相同，但氣隙埋層上方的電場則因為埋層材料的轉變介電係數下降的緣故，造成與原先的結構電場比較下明顯降低。因為電場大幅下降的關係，因此在磊晶層摻雜濃度較低的情形下，崩潰點不會像一般結構發生在Drain端 N^+ 與漂移區的交接處。

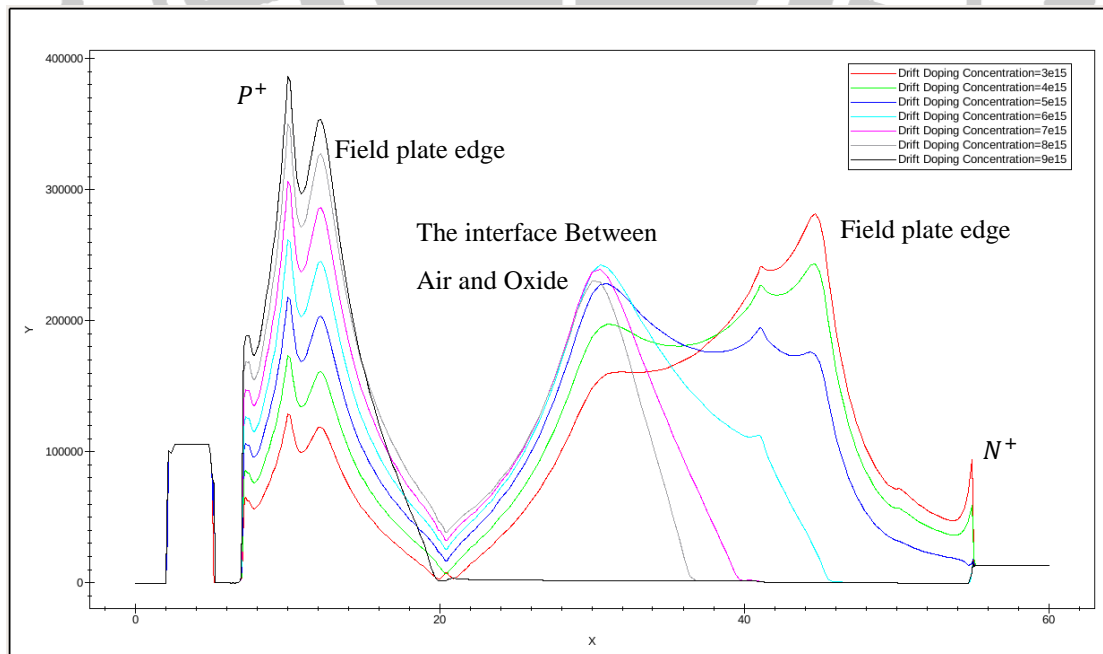


圖. 28 BAGS 結構下磊晶層濃度與表面電場

BAGS結構及一般結構的磊晶層濃度與崩潰電壓比較如圖.29，明顯看出加入BAGS結構後，對於較低摻雜濃度的元件之崩潰電壓有大幅提升的效果，而在較高摻雜濃度下BAGS結構則對崩潰電壓提升上沒有顯著的影響。因此在往後的模擬上將會採用較低的漂移區摻雜濃度進行。

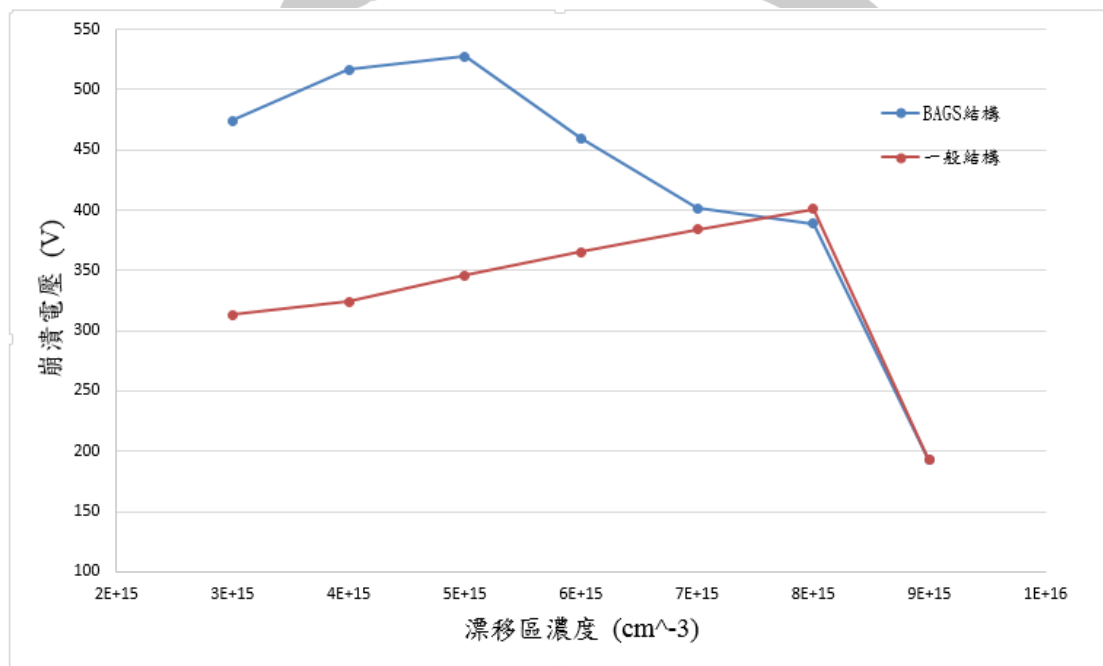


圖. 29 BAGS 結構及一般結構的磊晶層濃度與崩潰電壓比較

第四章 最佳化 SOI 超高壓功率元件及電性模擬

4.1 BOX層圖樣化設計

4.1.1 BOX層圖樣化設計原理

根據BAGS結構下磊晶層濃度與崩潰電壓電性模擬結果，氧埋層與氣隙埋層的交界處會因兩者介電係數不同，而會在磊晶層下方產生一個高電場，依照磊晶層的厚度不同此電場影響表面電場分佈能力也不同。透過改變BOX層特定區域的材料，藉此改變與磊晶層接面的介電係數，根據公式(3.10)進行分析，若是改變後的介電係數相較於之前小，磊晶層所產生出的電場與之前相比會下降。BAGS結構就是將介電係數3.9的二氧化矽及介電係數1的空氣結合，藉此改變磊晶層電場分佈。

BAGS結構只能產生出一個高電場，對於提升崩潰電壓的能力有限，因此本研究將以BAGS結構及其原理加以延伸，BAGS結構在製造的過程中需要在SOI晶圓鍵合前對Seed Wafer上的二氧化矽進行蝕刻，製作出一個氧埋層與氣隙埋層的交界，本研究提出在鍵合前蝕刻的光罩上加入圖樣化的設計，可以在鍵合後產生出複數個氧埋層與氣隙埋層的交界處，藉此產生複數個高電場，且透過改變氣隙埋層所在的區域，可使區域上方的磊晶層電場下降，上述優勢使BOX層圖樣化設計比起BAGS結構，更能增強對於元件電場分佈的調整能力。

4.1.2 元件結構

元件結構方面由章節 3.3 SOI LDMOSFET 元件電性模擬結果，及 SOITEC 所提供 Smart-Cut 產品規格如圖.20，考慮到導通電阻與磊晶層厚度成反比，因此採用 $1.8\mu\text{m}$ 的磊晶層厚度；透過模擬結果可得知氧埋層厚度與崩潰電壓成正比，氧埋層厚度則以 SOITEC 所能提供的最大厚度 $3\mu\text{m}$ 為數值。磊晶層摻雜濃度與崩潰電壓比較，在一般的 SOI 的結構下越高的摻雜濃度能在不提高 Drain 端電場的情況下，使 Source 端的電場提升進而增加崩潰電壓，但考慮到加入圖樣設計將會使得氧埋層區部分的介電系數有所改變，造成磊晶層與氧埋層接面的電場分布有所改變，間接影響磊晶層表面電場的分布，因此選擇加入 BAGS 結構後與一般結構相比，崩潰電壓提升最為顯著的 $5\text{e}15\text{ cm}^{-3}$ 作為磊晶層摻雜濃度。

表.1 元件模擬參數

參數	數值
元件長度 Device Length (μm)	60
磊晶層厚度 T_{epi} (μm)	1.8
氧埋層厚度 T_{ox} (μm)	3
磊晶層摻雜濃度 (cm^{-3})	5e15

P-top濃度 (cm^{-2})	1.5e12
P-top佈植能量 (eV)	25
P-top長度 (μm)	20

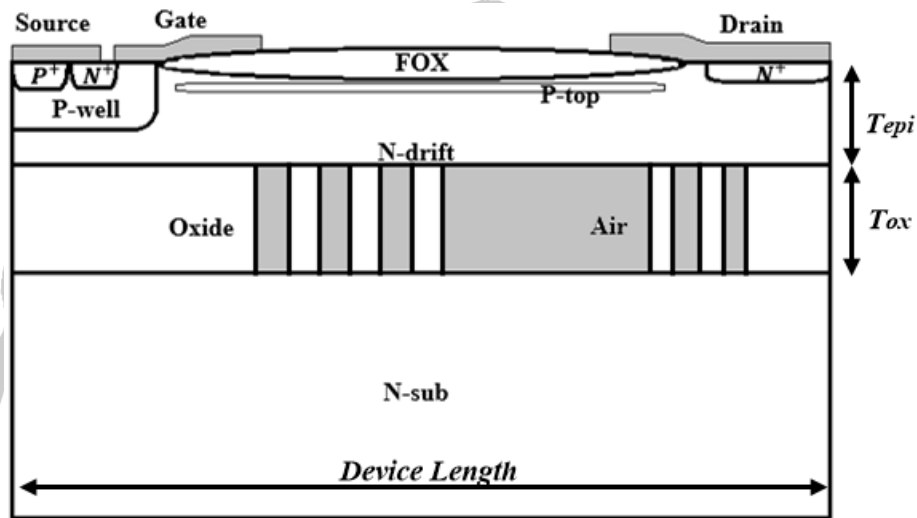
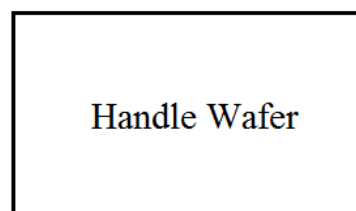
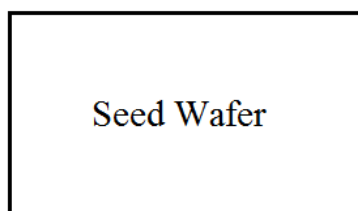


圖. 30 BOX 層圖樣化設計 LDMOSFET 元件結構

4.1.3 製程規劃

首先利用 SOITEC 的 Smart-Cut 技術製作 SOI Wafer，並於鍵合前對 Seed Wafer 上的二氧化矽層做圖樣化的蝕刻，鍵合後可於 BOX 層產生多個氧埋層與氣隙埋層交界處之 SOI 晶圓[41]，步驟如下。

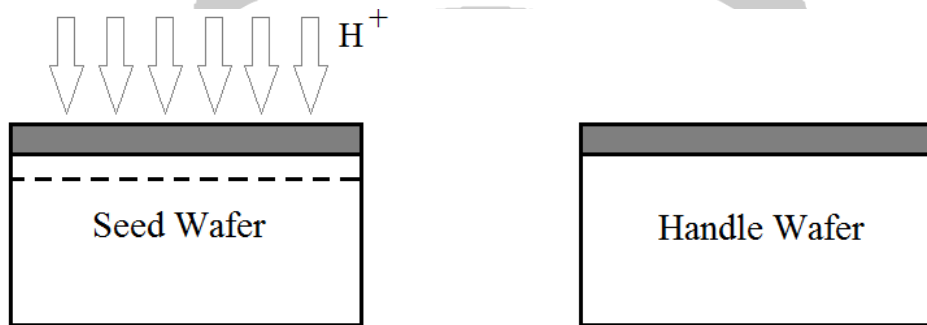
步驟一:準備兩片晶圓分別為 Seed Wafer、Handle Wafer。



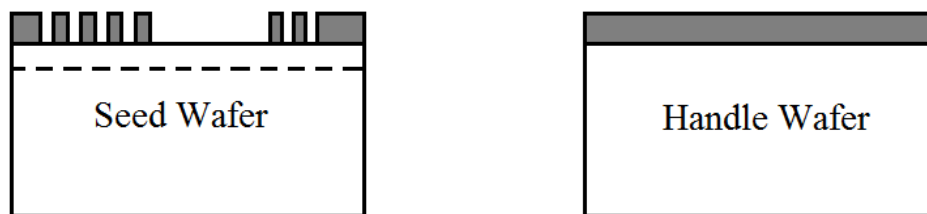
步驟二：於 Seed Wafer 與 Handle Wafer 上長二氧化矽層。



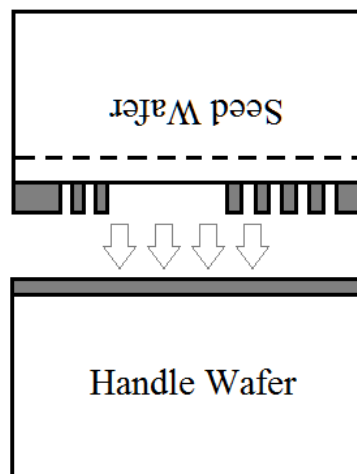
步驟三：利用離子佈植於 Seed Wafer 中植入高濃度的氫離子。



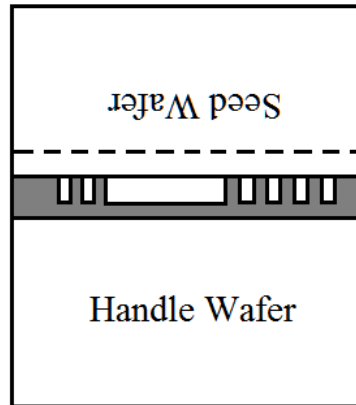
步驟四：對 Seed Wafer 上二氧化矽層進行圖樣化蝕刻。



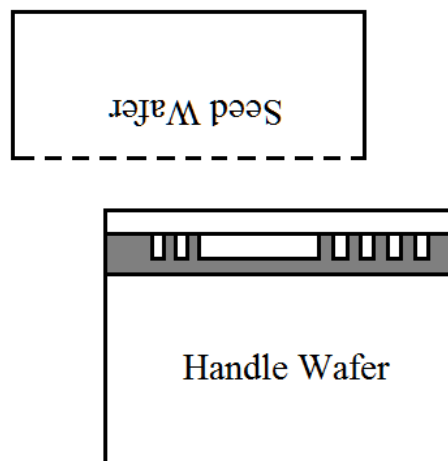
步驟五：將 Seed Wafer 翻轉並與 Handle Wafer 鍵合。



步驟六: 將 Wafer 進行退火，退火過程中植入的氫離子層會破裂，原先於 Seed Wafer 上的二氧化矽層將會轉移到 Handle Wafer 上。

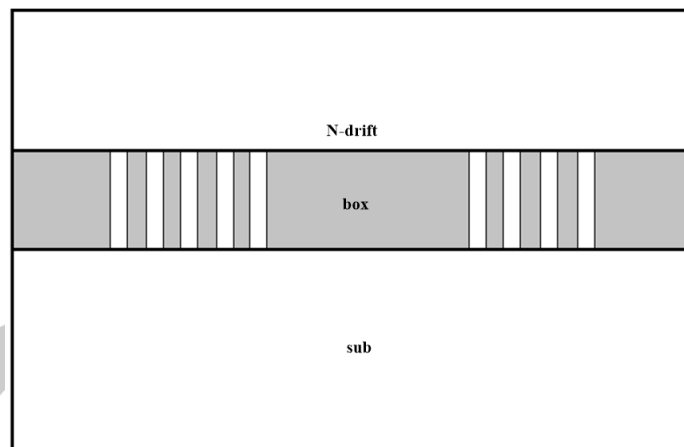


步驟七: 將 Seed Wafer 剝除，利用 CMP 將轉移至 Handle Wafer 的磊晶層磨平至指定厚度，剝除的 Seed Wafer 可於下次的 Smart-Cut 製程中繼續使用。

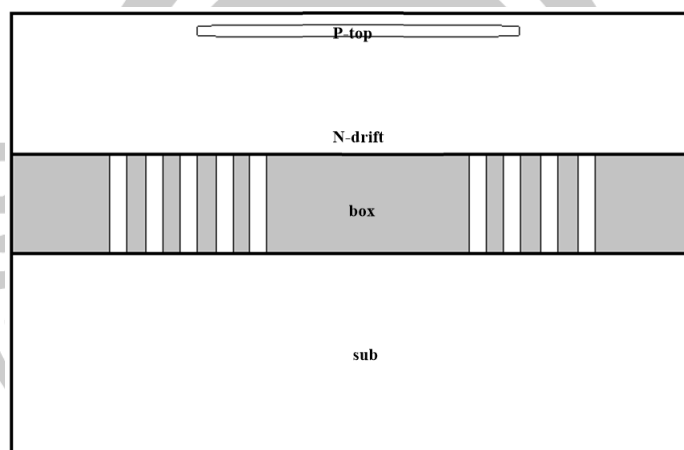


接著於 SOI Wafer 上製作 LDMOSFET，製成步驟如下。

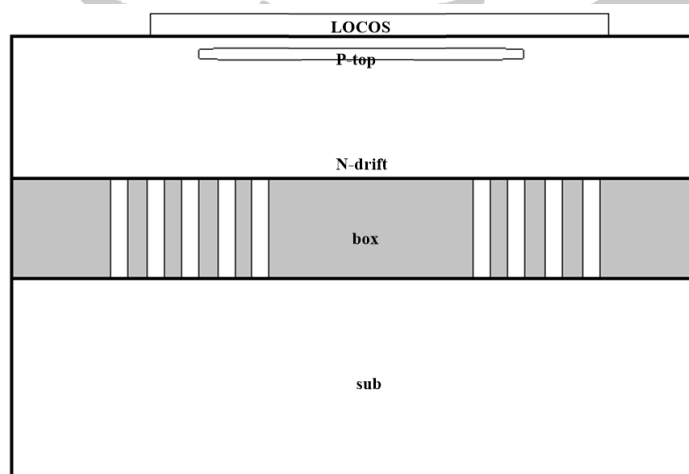
步驟一：將 SOI Wafer 表面做清洗、並利用化學方式去除雜質。



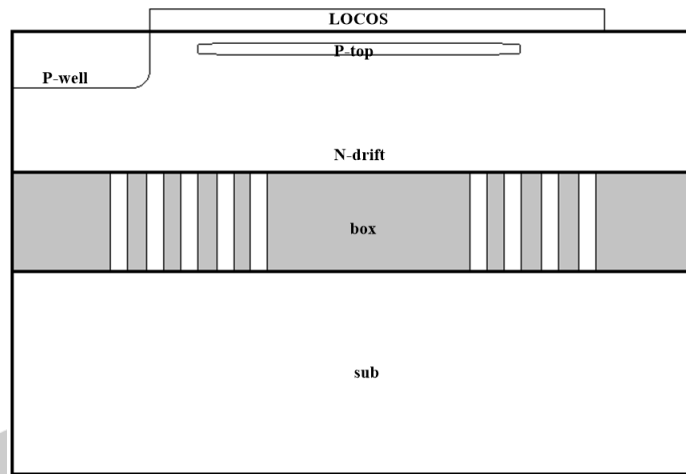
步驟二：利用離子佈植於磊晶層表面植入硼離子製作出 P-top 結構。



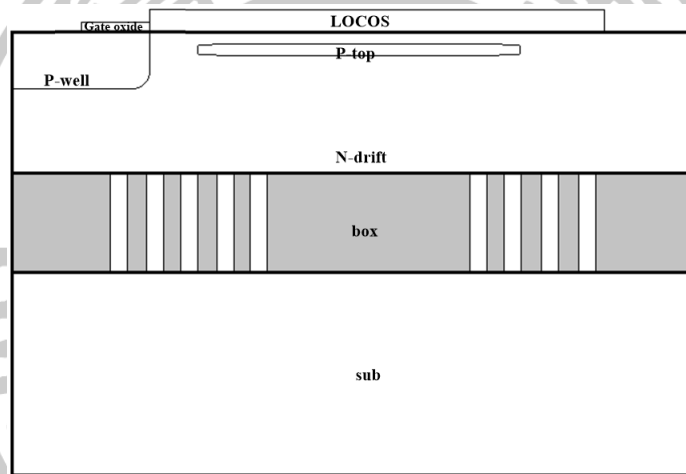
步驟三：於表面製作出局部場氧化層 LOCOS。



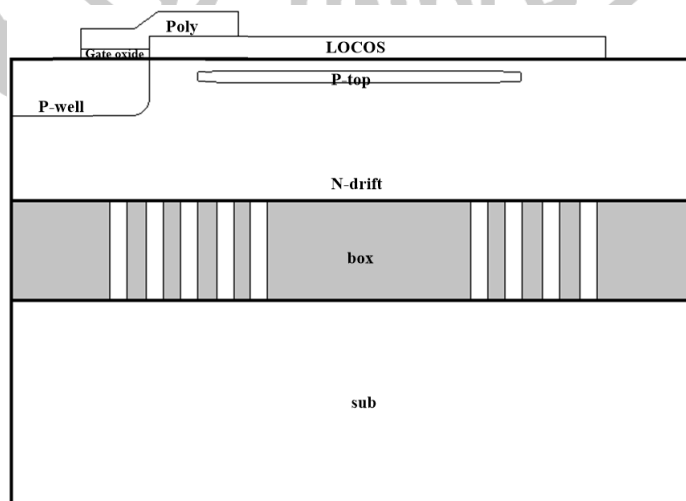
步驟四：離子佈植植入 P-well。



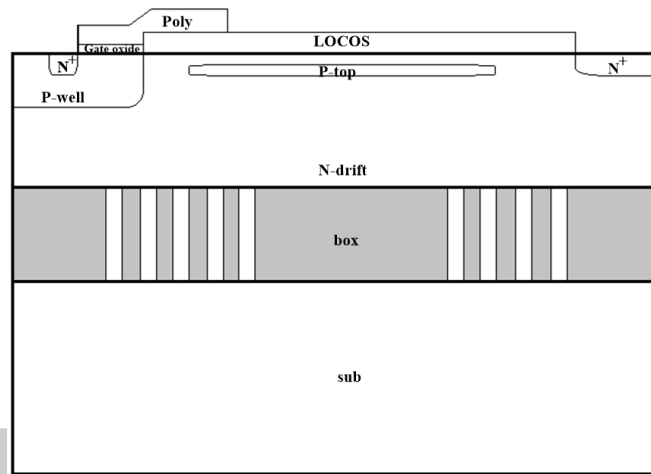
步驟五：P-well 上方長閘極氧化層。



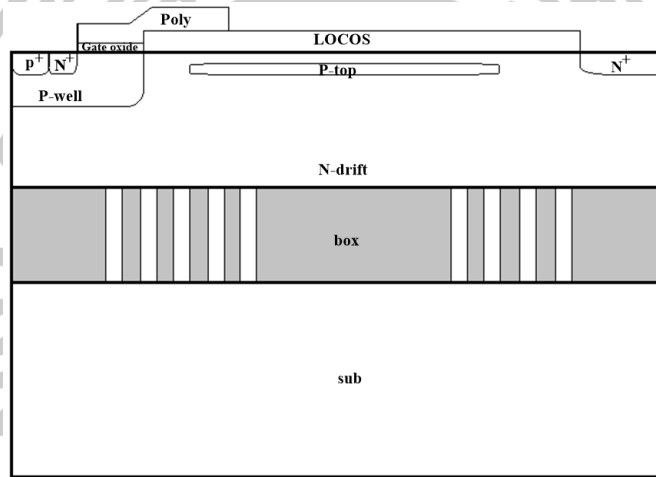
步驟六：於閘極氧化層上蓋上多晶矽。



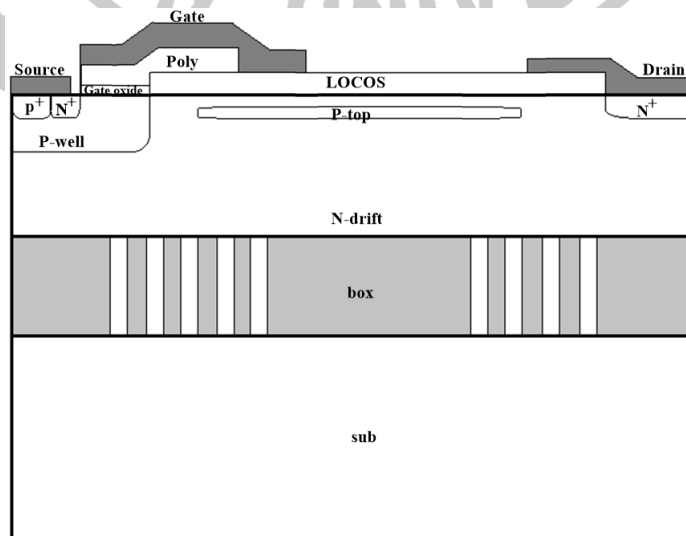
步驟七：離子佈植植入 N^+ 形成 Drain 端及 Source 端。



步驟八：離子佈植植入 P^+ 。



步驟九：覆蓋上金屬製作出場板，並接上電極。



4.2 BOX 層圖樣化設計之最佳化

本章節將針對 BOX 層圖樣化設計進行最佳化的設計，第一階段以 BAGS 結構作為基礎，藉由調整 BOX 層二氧化矽之長度(L_{oxide})如圖.31，改變 BAGS 結構之氧埋層與氣隙埋層交接之位置，藉此得到最高之崩潰電壓，完成 BAGS 結構之最佳化。第二階段利用 BAGS 最佳化之結果加以延伸，採用 BAGS 最佳化的二氧化矽之長度，並於二氧化矽中加入圖樣化設計如圖.32，調整二氧化矽與空氣兩者之間的距離，使得靠近 Gate 與 Source 端下方磊晶層與氧埋層接面處的電場均勻分佈。第三階段則在 Drain 端下方 BOX 層加入多個二氧化矽與空氣交界如圖.33，使得原先因為在氣隙埋層上方所下降的電場，可以因為加入的二氧化矽區域有所提升，使得元件的電場分布更加均勻，達到提升崩潰電壓之效果。

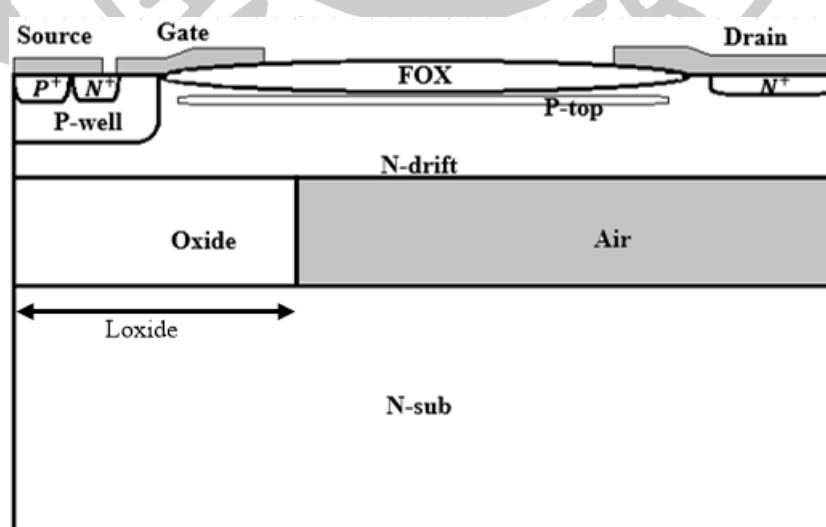


圖.31 調整二氧化矽長度之 BAGS SOI

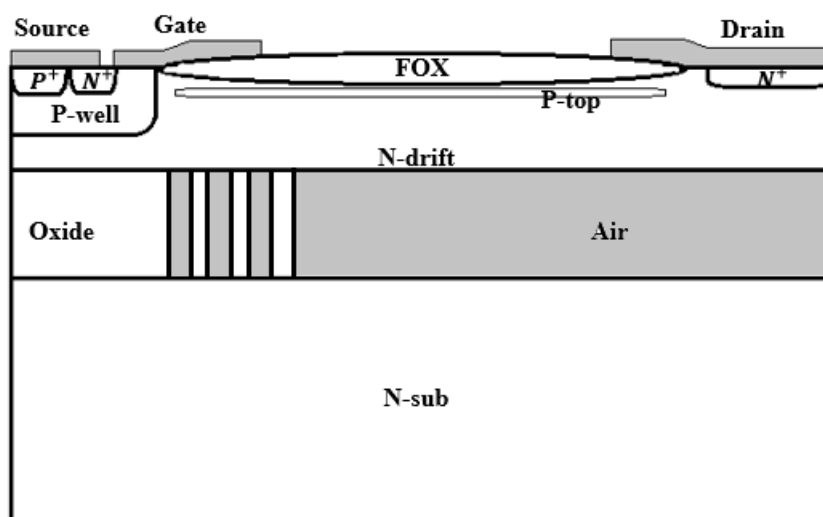


圖. 32 Source 端加入圖樣化設計 SOI

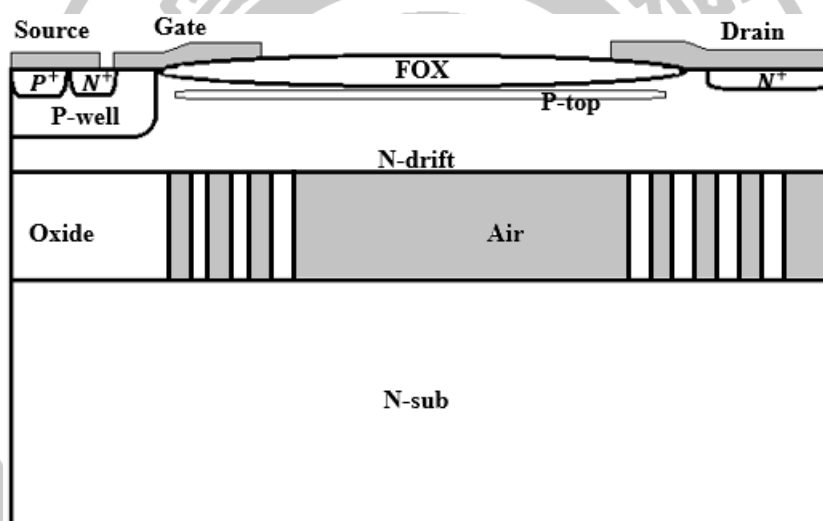


圖. 33 Source 端及 Drain 端皆加入圖樣化設計 SOI

4.2.1 BAGS 結構最佳化

利用圖.31 結構調整 BOX 層二氧化矽的長度(L_{oxide})來改變高電場之位置如圖.34、35、36、37，來尋找最佳二氧化矽與空氣(灰色部分)的交接處，得到最高的崩潰電壓。由圖.38 的模擬結果可以看出，磊晶層下方產生的高電場位置，會隨著二氧化矽與空氣的交界位置改

變。而由交接處產生的高電場可以間接影響到表面電場的分布如

圖.39。

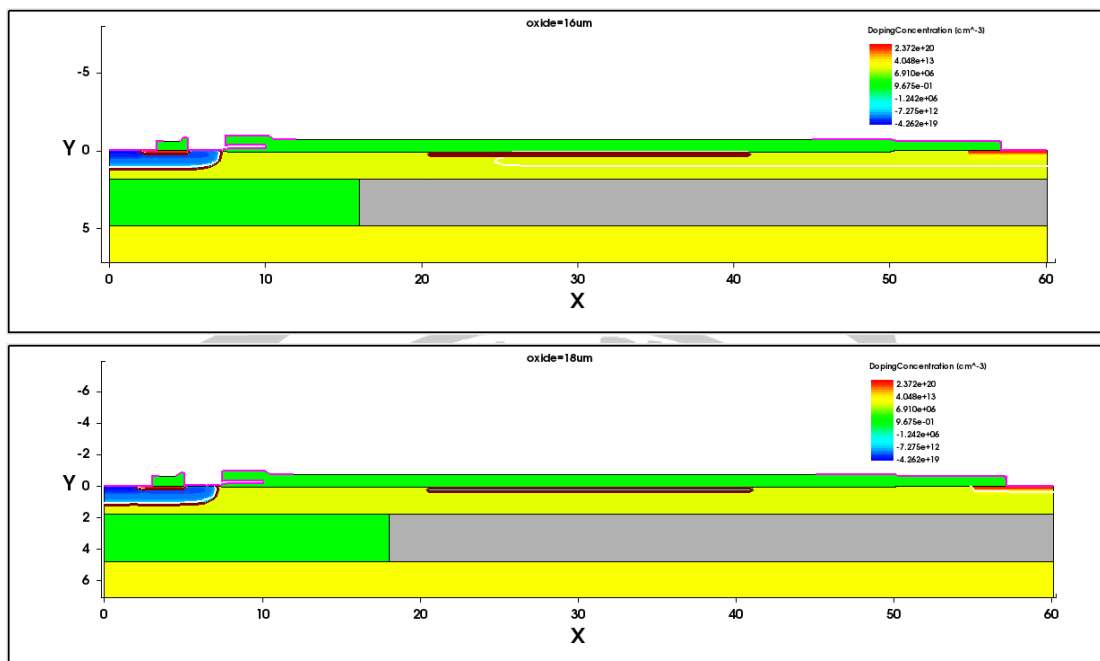


圖. 34 BAGS 結構二氧化矽長度 16、18 μm

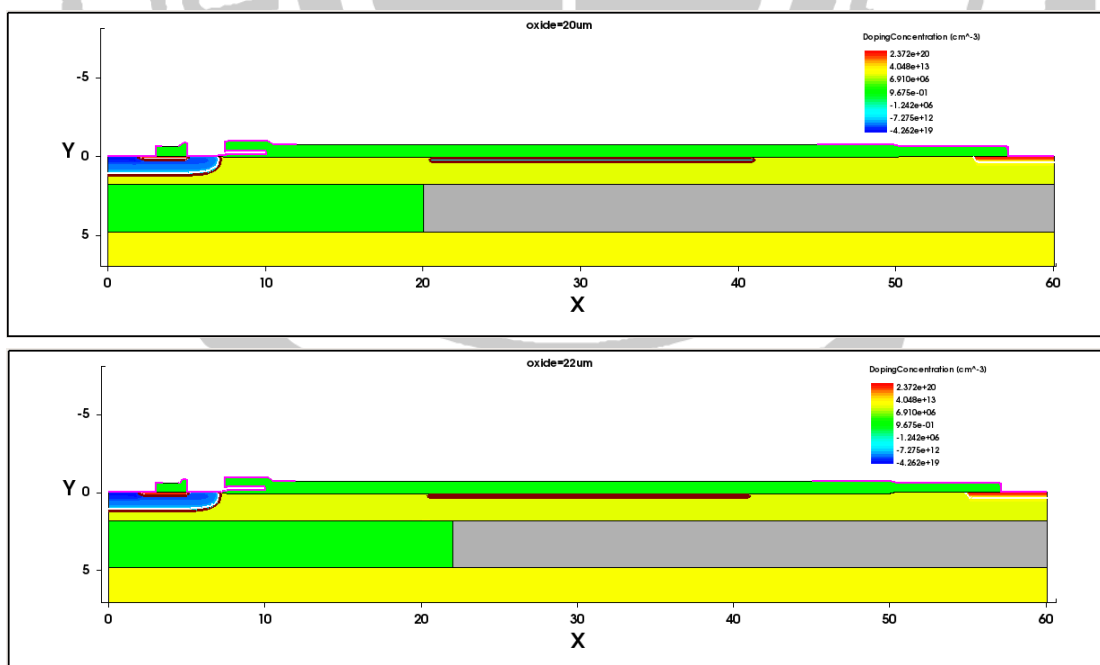


圖. 35 BAGS 結構二氧化矽長度 20、22 μm

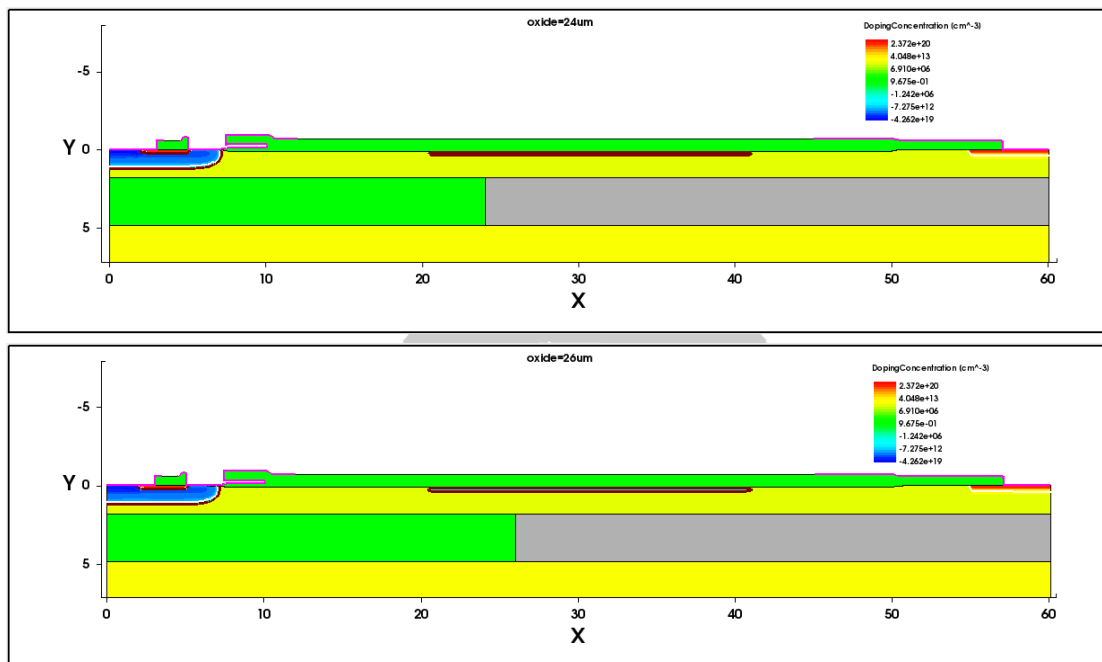


圖. 36 BAGS 結構二氧化矽長度 24、26 μm

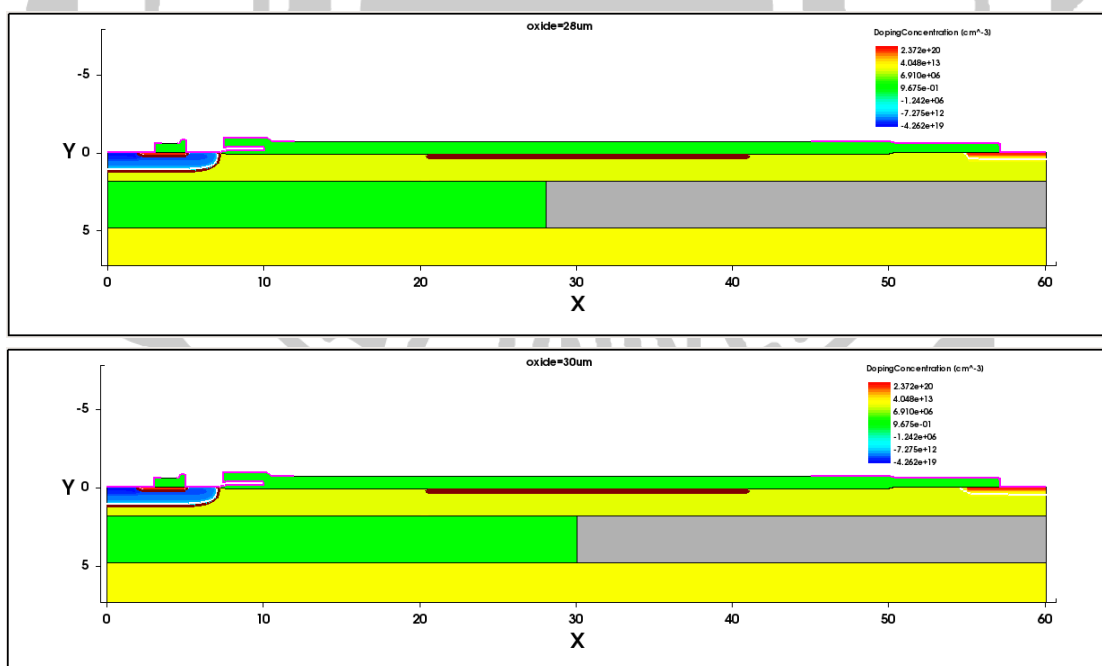


圖. 37 BAGS 結構二氧化矽長度 28、30 μm

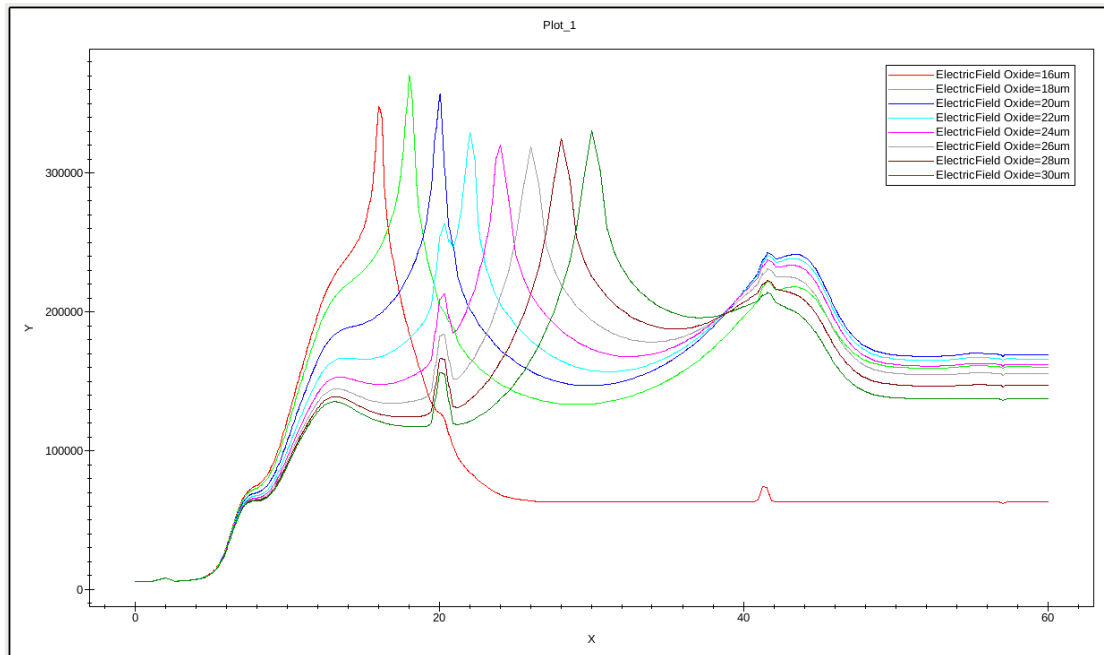


圖. 38 BAGS 結構於不同二氧化矽長度下磊晶層下方電場

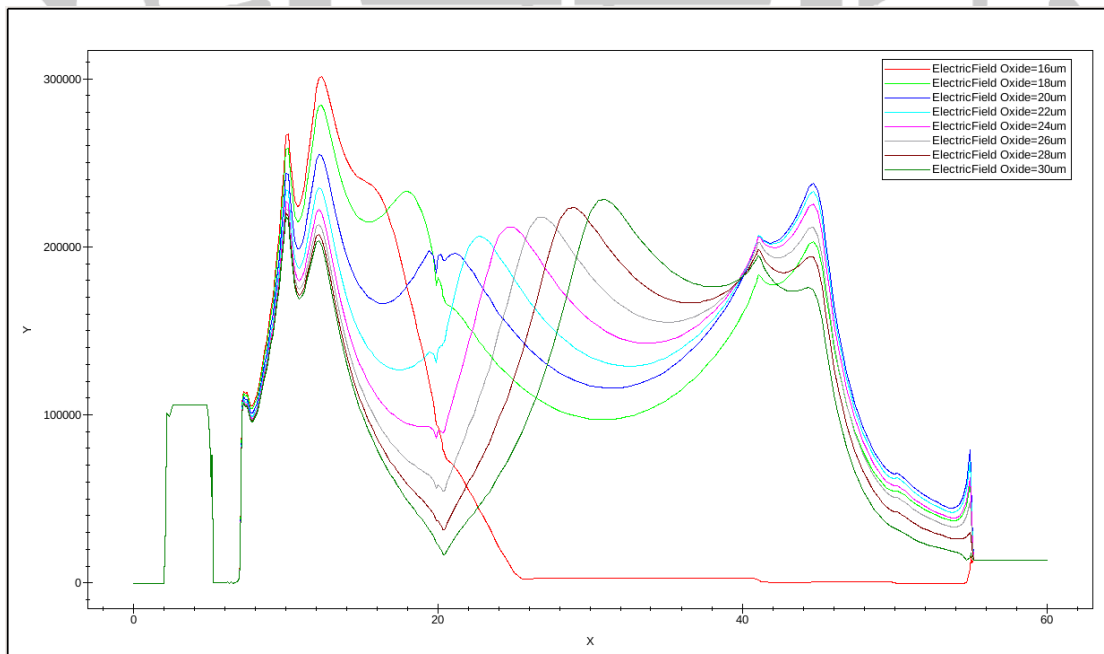


圖. 39 BAGS 結構於不同二氧化矽長度下表面電場

表.2 二氧化矽長度與崩潰電壓

L_{oxide} (μm)	Breakdown Voltage (V)
16	256
18	612
20	644
22	633
24	617
26	593
28	563
30	527

由圖.39 的表面電場結果可以看出，當二氧化矽長度於 $20\mu\text{m}$ 時交接處會與 p-top 左端位置重疊，讓原先下降的電場提升，在不改變最高電場的條件下，使得表面電場更加均勻，進而得到最高的崩潰電壓。後面將採用 $20\mu\text{m}$ 的二氧化矽長度，加入圖樣化設計讓元件結構中 p-top 左端到 Gate 金屬長板中央，不影響高電場分佈的情形下，在原先低電場區域產生出多個高電場，提高元件崩潰電壓。

4.2.2 圖樣化結構最佳化

上個章節利用了 BAGS 結構並改變 BOX 層二氧化矽長度，進行了 BAGS 結構的崩潰電壓最佳化，接下來將於 BAGS 的基礎上加入圖樣化設計如圖.32，於 BOX 層二氧化矽中加入氣隙，並討論加入氣隙之多寡對於電場分佈之影響，及崩潰電壓之關係。

模擬中嘗試在二氧化矽中加入 1 至 4 個氣隙如圖.40、41，形成 $1\mu\text{m}$ 的二氧化矽加上 $0.5\mu\text{m}$ 的氣隙的結構，藉由模擬觀察加入氣隙的數量對於表面電場的分布及崩潰電壓的結果，並將其最佳化。

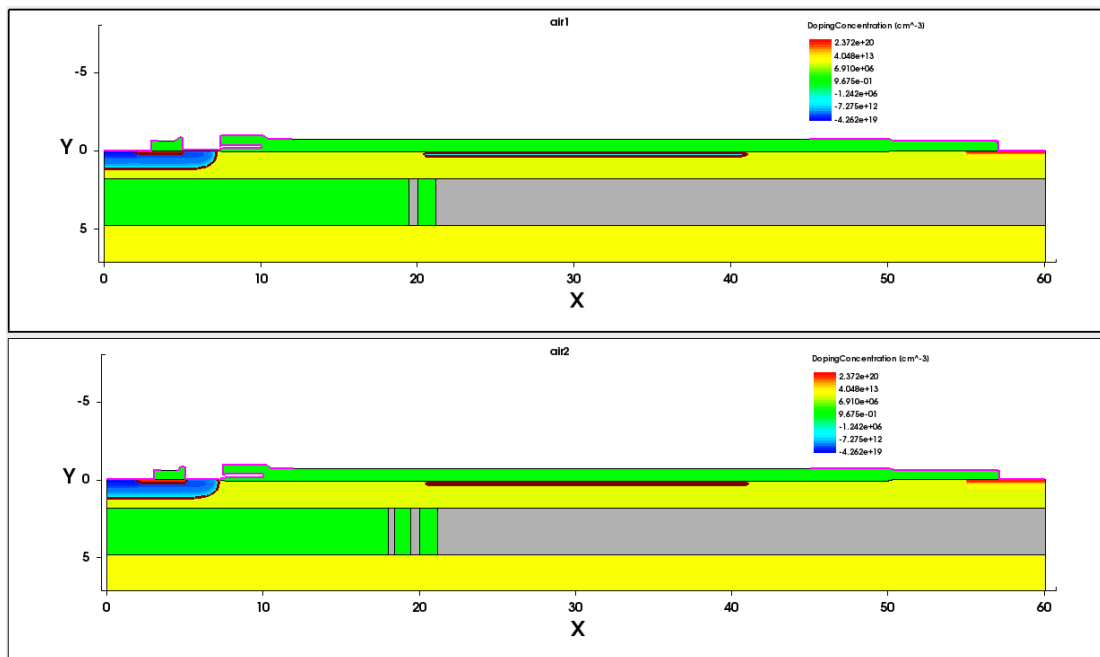


圖. 40 二氧化矽中加入 1 個與 2 個氣隙

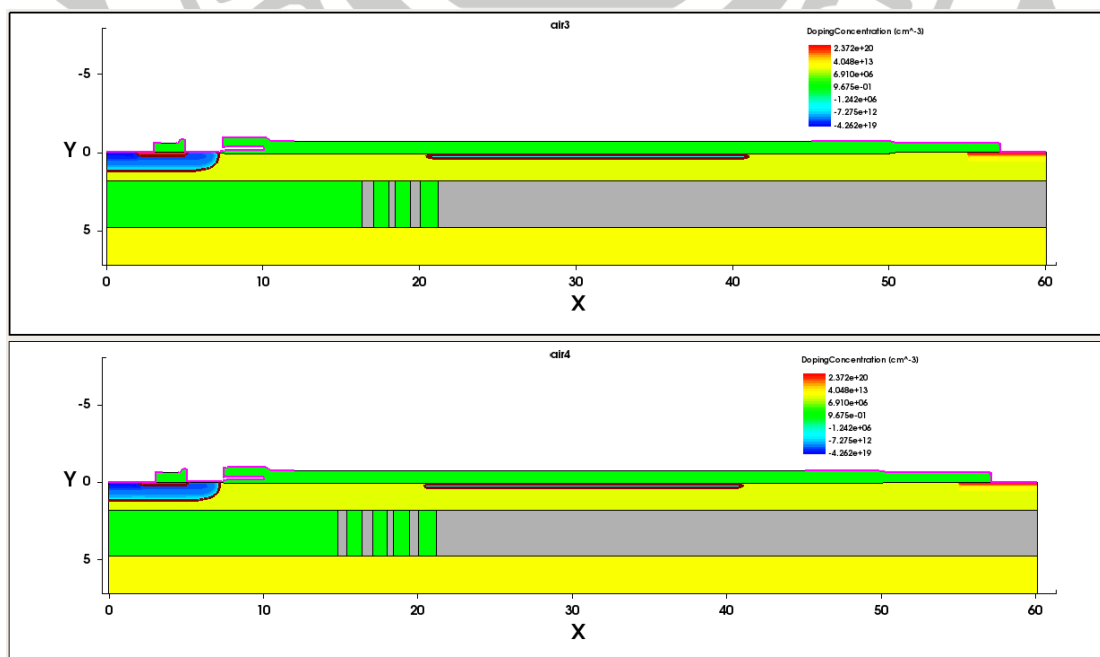


圖. 41 二氧化矽中加入 3 個與 4 個氣隙

透過圖.42 不同氣隙濃度下磊晶層下方的電場明顯可以看出，加入的數量可以於磊晶層下方氣隙相對位置產生出相同數量的高電場，而原先的低電場區域因為氣隙的緣故有所提升。

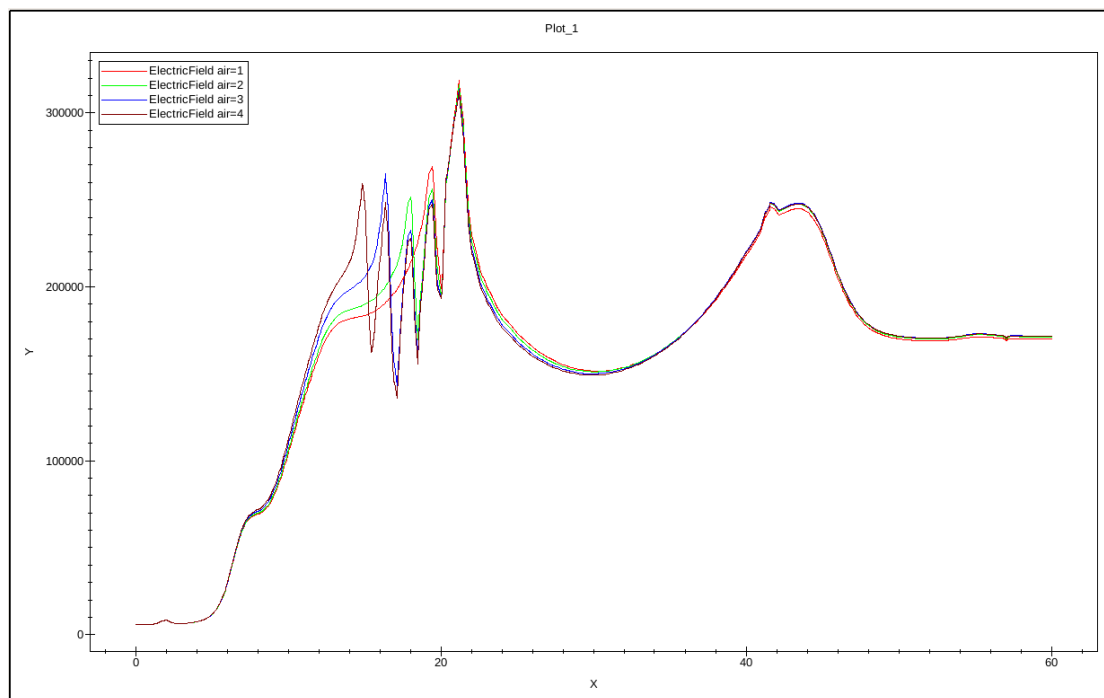


圖.42 不同氣隙數量下磊晶層下方電場

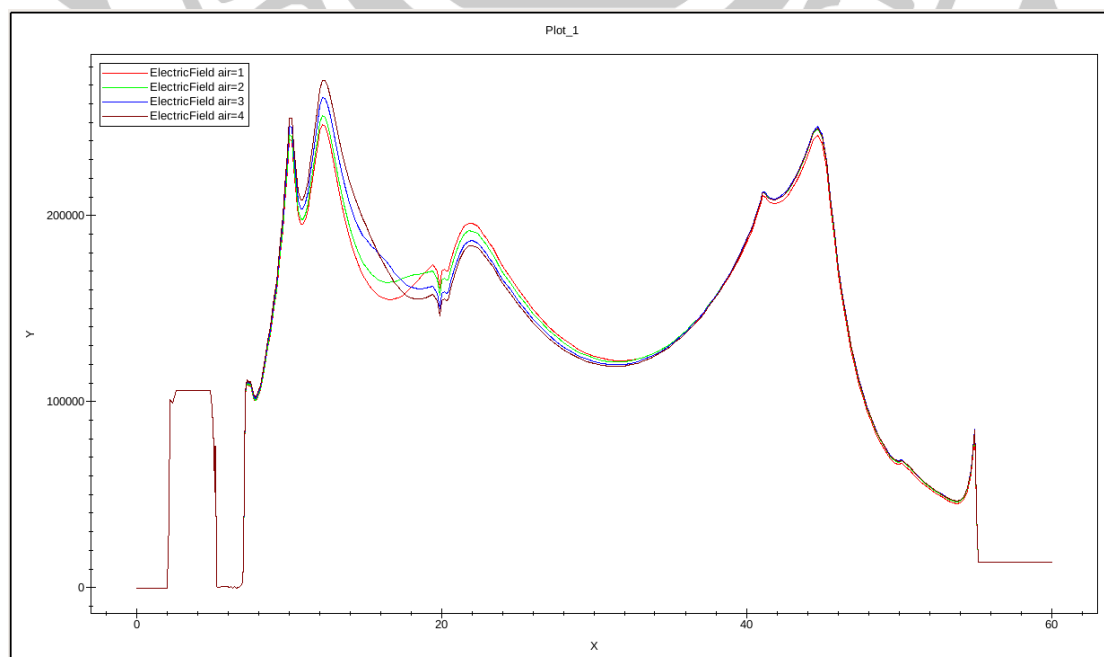


圖.43 不同氣隙數量下表面電場

表.3 氣隙數量與崩潰電壓

氣隙數量	Breakdown Voltage (V)
0	644
1	647
2	651
3	653
4	653

由表.3 可以看出，加入氣隙後崩潰電壓有所提升，但是超過一定的氣隙數量後雖然能增加高電場的數量，可是對於表面電場的分佈則沒有太大的影響，3 個與 4 個氣隙加入後崩潰電壓沒有太大的變化都維持在 653V。

完成 Gate、Source 端下方的圖樣化設計後，接下來將針對 Drain 端下方 BOX 層進行圖樣化設計，目的將圖.43 右方較低的表面電場升高。主要方式是在 Drain 端場板下增加 1 至 6 個二氧化矽柱如圖.44、45、46，形成 1 μm 的二氧化矽加上 0.5 μm 氣隙交接的結構，藉此將 Drain 端場板下較低的電場拉高。模擬將討論加入二氧化矽柱的多寡與崩潰電壓之間的關係及電場變化。

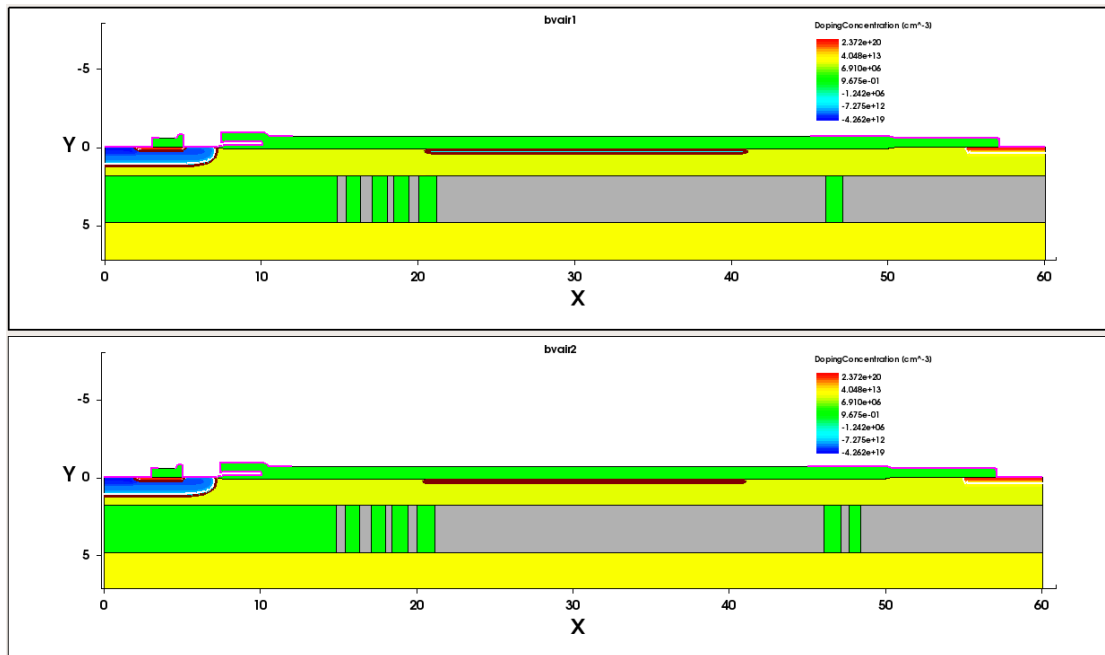


圖.44 空氣中加入 1 個與 2 個二氧化矽柱

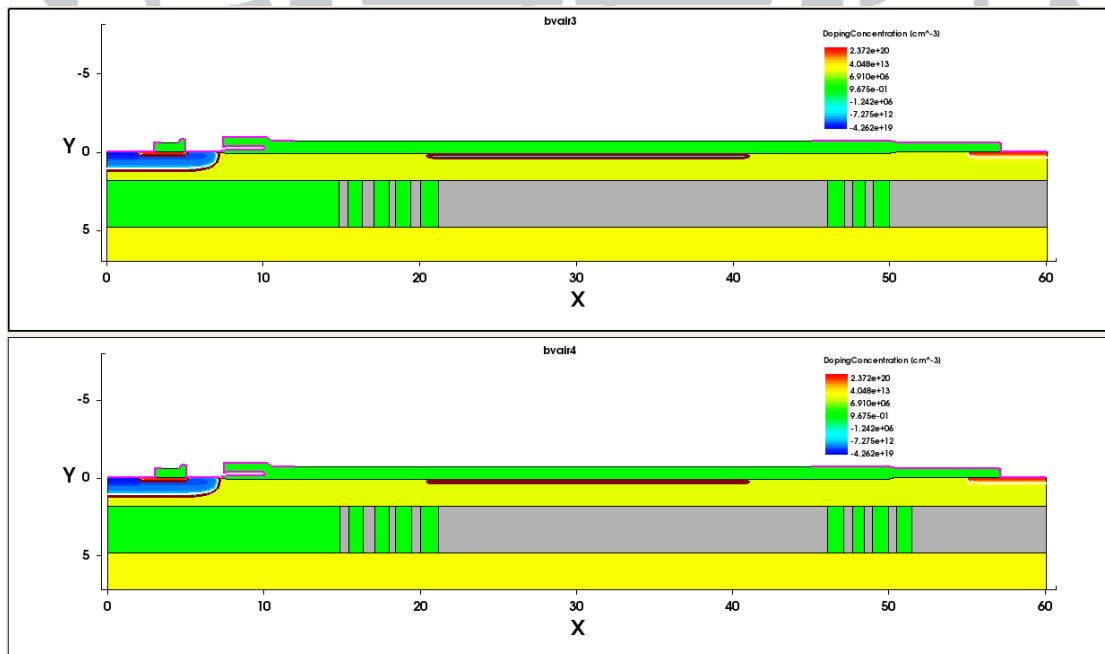


圖.45 空氣中加入 3 個與 4 個二氧化矽柱

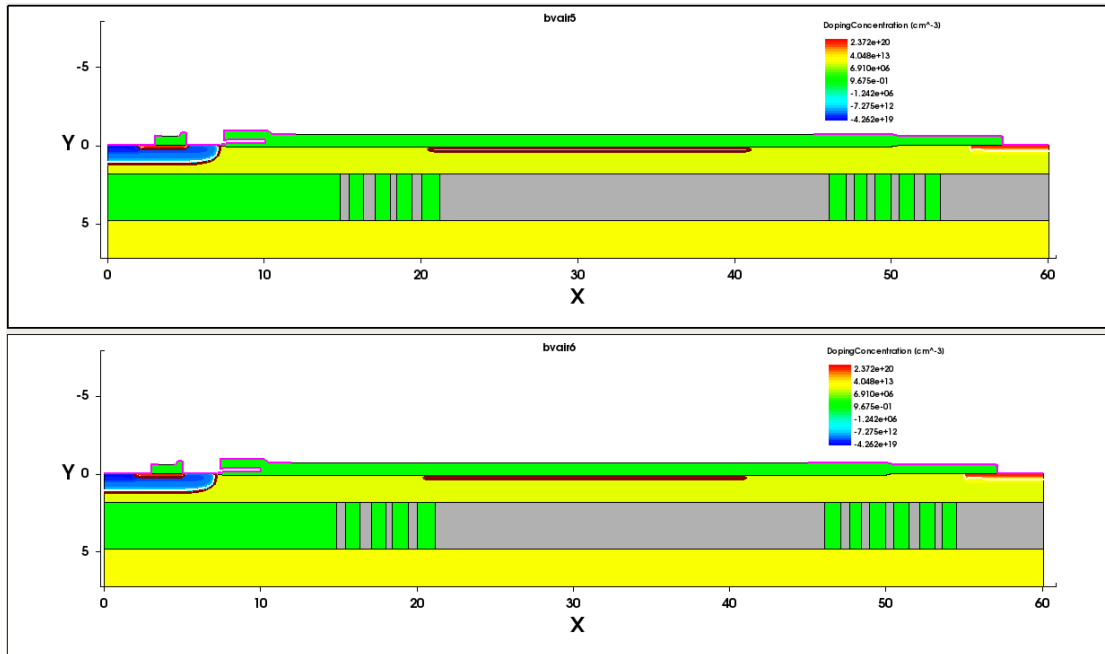


圖. 46 空氣中加入 5 個與 6 個二氧化矽柱

由圖.47 磊晶層下方的電場及二氧化矽柱的數量位置，可以證明加入二氧化矽柱可以於場板下方增加相同數量高電場，並且將電場延伸至 Drain 端下方，同時將圖.48 右方表面電場提高。

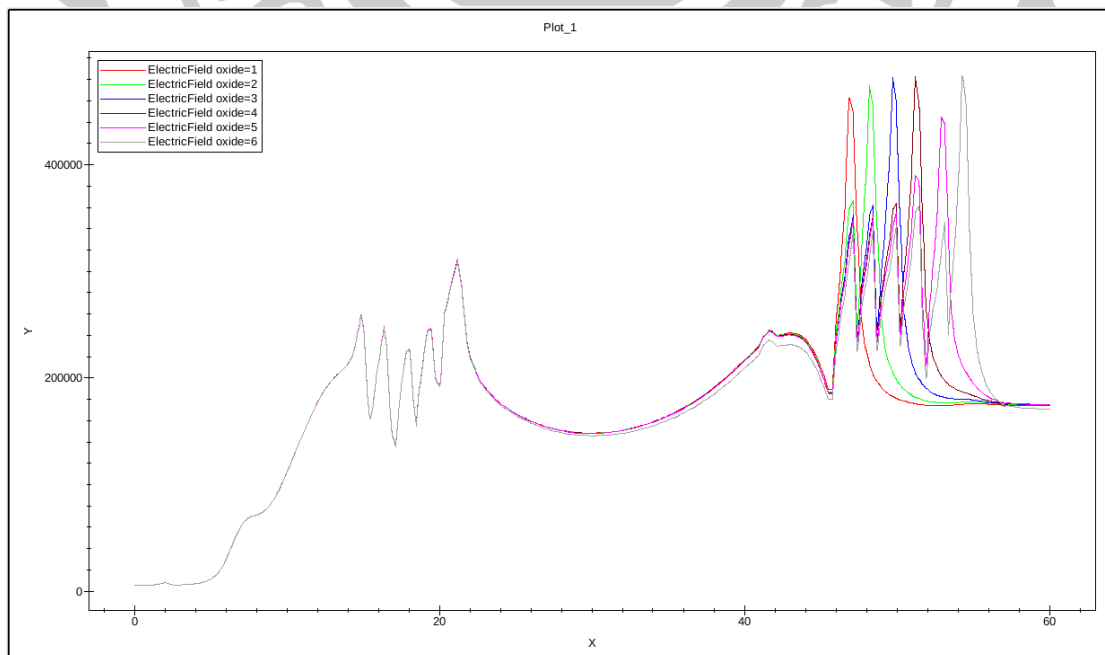


圖. 47 不同二氧化矽柱數量下磊晶層下方電場

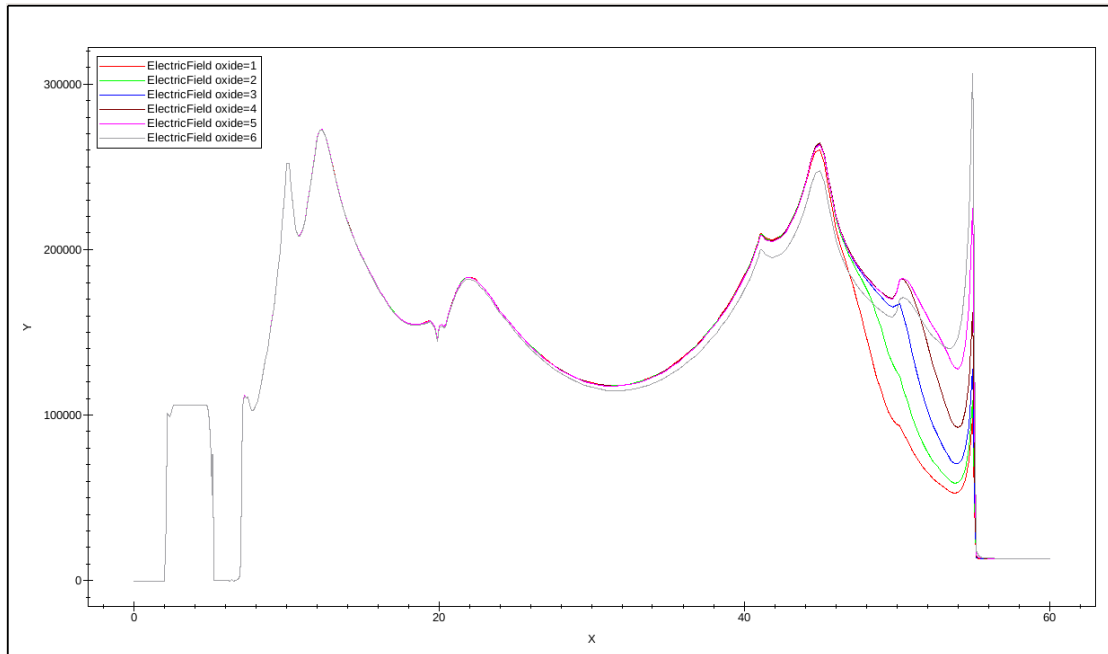


圖. 48 不同二氧化矽柱數量下表面電場

表. 4 二氧化矽柱數量與崩潰電壓

二氧化矽柱數量	Breakdown Voltage (V)
0	653
1	663
2	666
3	667
4	668
5	666
6	650

透過表.4 可以看出最高崩潰電壓發生在有 4 個二氧化矽柱的元件上，而加入 5 個、6 個二氧化矽柱的結果，因為二氧化矽柱的位置接近 Drain 端的 N^+ 摻雜下方，造成表面電場於 N^+ 的邊界產生了一個超高電場，造成元件提早崩潰，因此崩潰電壓下降。

接下來將一般 SOI、BAGS SOI 及加入圖樣化設計 SOI 三個結構的電場分布進行討論，分別於三個結構的表面、磊晶層下方及 BOX 層上方做電場切線，並且進行分析，電場切線的位置如圖.49 所示。

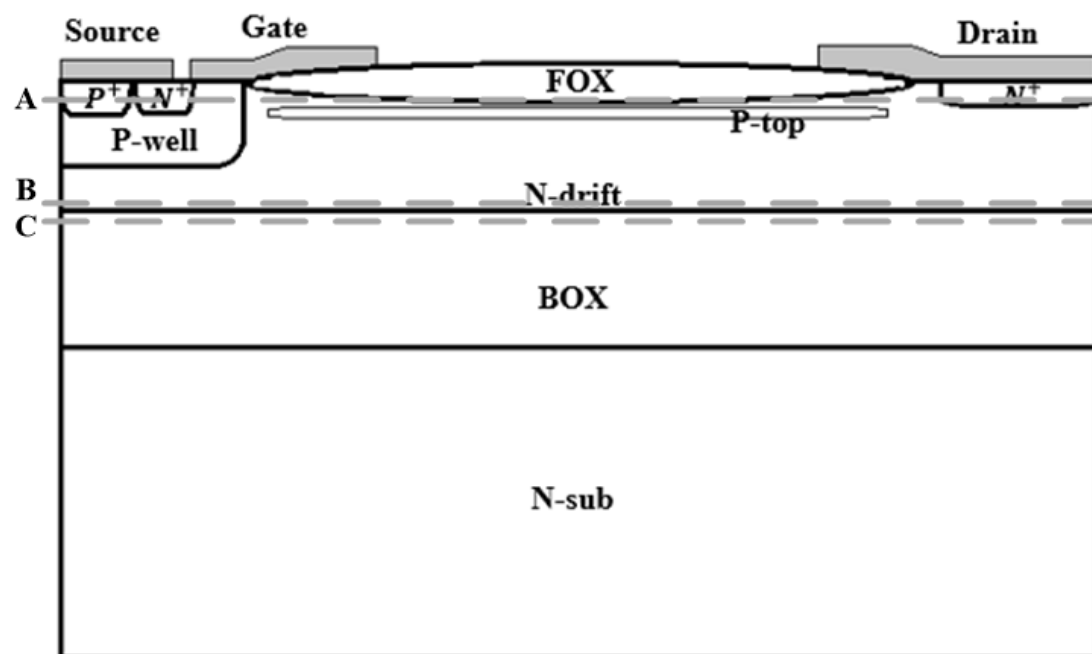


圖.49 不同位置之電場切線

如圖.50 在 BOX 層上方所切的電場所示，根據第一介質增強理論見公式(3.10)，因為空氣與二氧化矽的介電係數不同，所以 BAG 結構能在 BOX 層中藉由空氣與二氧化矽的交接所在位置產生出一個上升的電場，而在圖樣化設計的結構下能夠產生出多個，並且分布在元件的兩端。圖.51 磊晶層下方的電場方面，BAGS 結構只在元件 20 μm 的位置產生出一個高電場，將原先在一般 SOI 結構中左側 Gate、Source 端處的低電場拉高，使得電場分佈均勻，而在圖樣化設計的結構中不僅能在 20 μm 處產生出多個高電場，也能將原先 BAGS 結構下元件右

側 Drain 端較低的電場明顯的拉高，並得到更高的崩潰電壓及更均勻的電場分佈。圖.52 表面電場的分佈，在一般 SOI 結構下由場板及 LOCOS 的邊界處產生了明顯的高電場，而最高電場發生在 Drain 端的 N^+ 的邊界處，而加入 BAGS 結構後因為第一介質增強理論的緣故， $20\mu\text{m}$ 之後的磊晶層下方的介質為空氣，因此電場較原先的略為下降，而在 $20\mu\text{m}$ 位置的電場則受到為磊晶層下方產生的高電場影響而提升，加入圖樣設計之後 Drain 端因為磊晶層下方的多個高電場的影響，造成表面的電場上升，比起 BAGS 結構此處的電場有明顯的提升，使得圖樣化設計的表面電場相較 BAGS 結構更加均勻，崩潰電壓也有所提升。

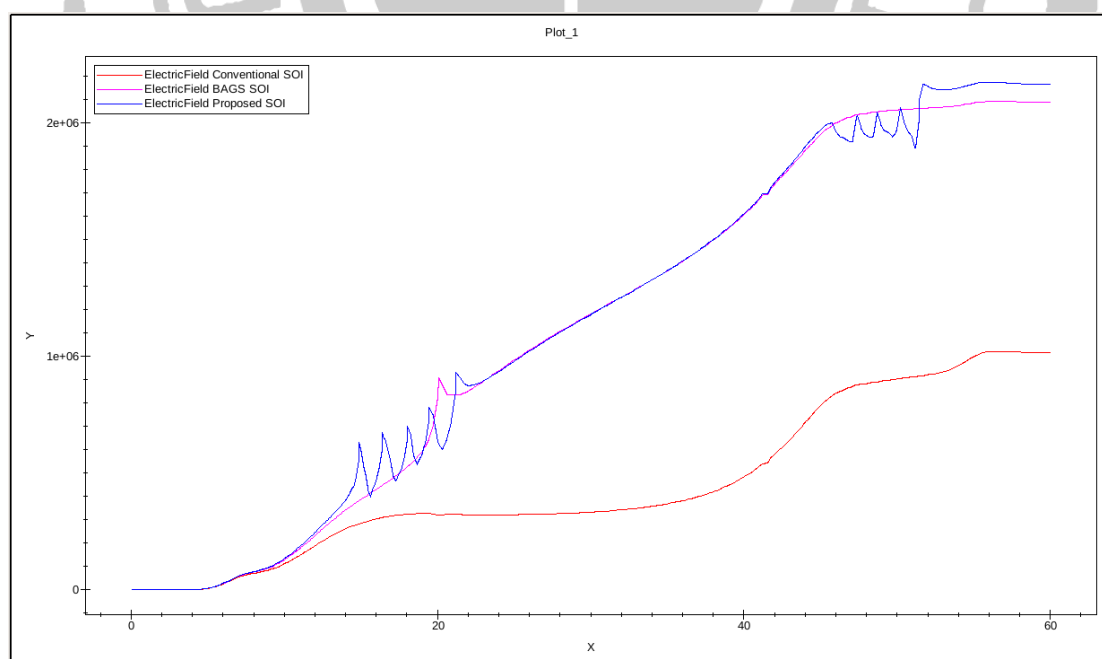


圖. 50 一般 SOI、BAGS SOI 與圖樣化設計 SOI BOX 層上方電場

(圖.49 切線 C)

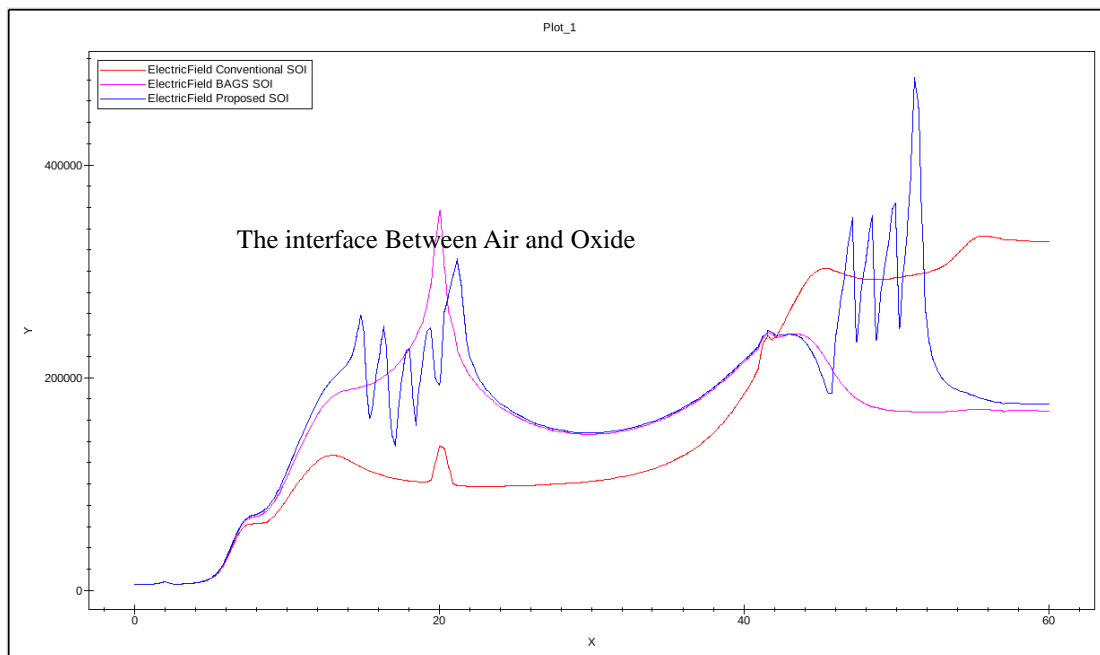


圖. 51 一般 SOI、BAGS SOI 與圖樣化設計 SOI 磊晶層下方電場
(圖.49 切線 B)

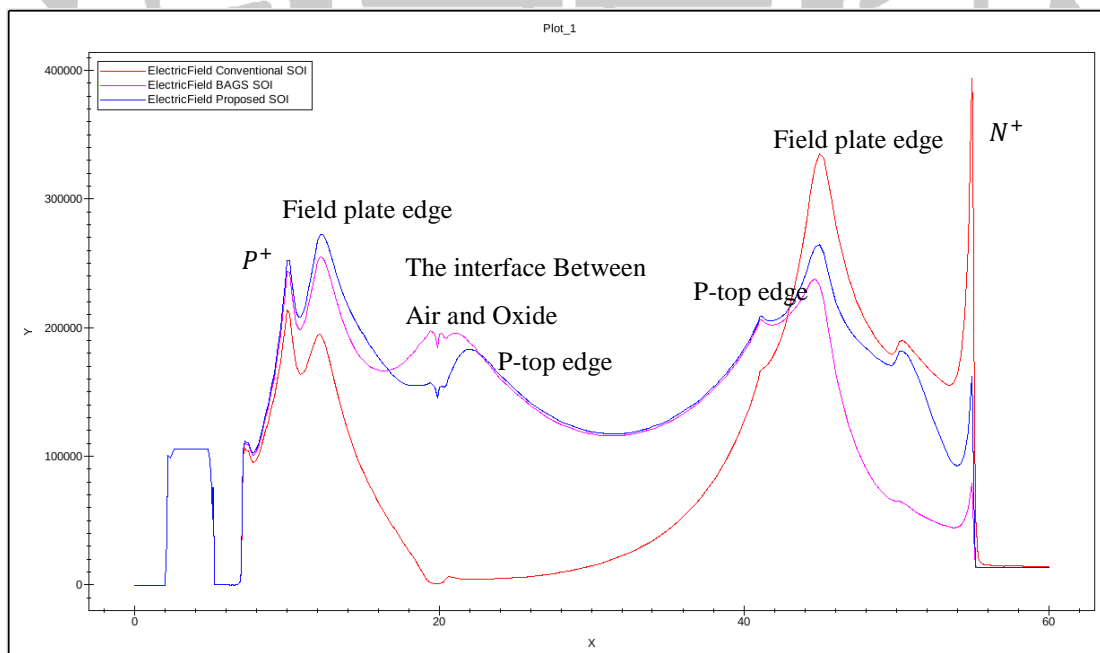


圖. 52 一般 SOI、BAGS SOI 與圖樣化設計 SOI 磊晶層表面電場
(圖.49 切線 A)

由圖.53 離子化碰撞產生率(Impact Ionization Generation Rate, IIGR)的模擬結果可以看出，在一般 SOI 的結構下最高的離子化碰撞產生率發生在元件的右端，也就是一般結構下的高電場區域，而 BAGS 結構則是在 Drain 端場板的邊界及 BOX 層空氣與二氧化矽交界處的上方，比起一般結構分佈更廣，而加入圖樣化設計後則是明顯往元件兩側延伸，也就是往增加空氣與二氧化矽交界處的位置延伸，分佈範圍也較 BAGS 結構更大，因此可以得到更高的崩潰電壓。

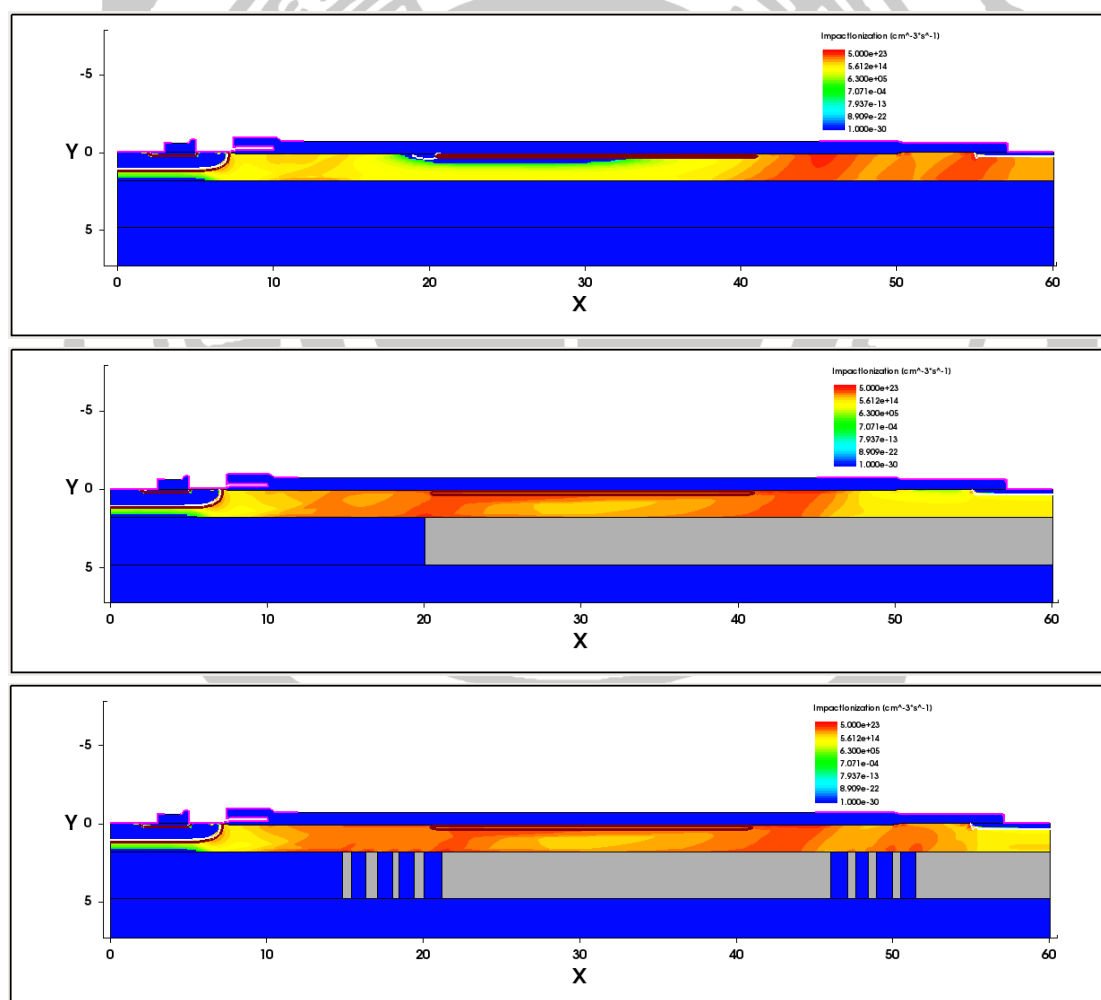


圖.53 一般 SOI、BAGS SOI 與圖樣化設計 SOI IIGR

4.3 導通電阻與效能指標分析

本章節將針對 60 μm 、75 μm 、80 μm 及 120 μm 元件長度的 LD MOSFET，進行崩潰電壓與導通電阻的分析，並比較不同長度下一般結構 SOI、BAGS SOI 及圖樣化設計 SOI 三者結構的崩潰電壓及導通電阻之關係。

4.3.1 元件長度與導通電阻分析

接下來針對 60 μm 、75 μm 、80 μm 及 120 μm 元件長度進行導通電阻的分析。利用 I_D - V_D 曲線求出在不同閘極電壓下的導通電阻，導通電阻即為三極管區的斜率的倒數，求法則是利用 V_D 與 I_D 的變化量相除如公式(4.1)。

$$R_{on} = \Delta V_D / \Delta I_D \quad (4.1)$$

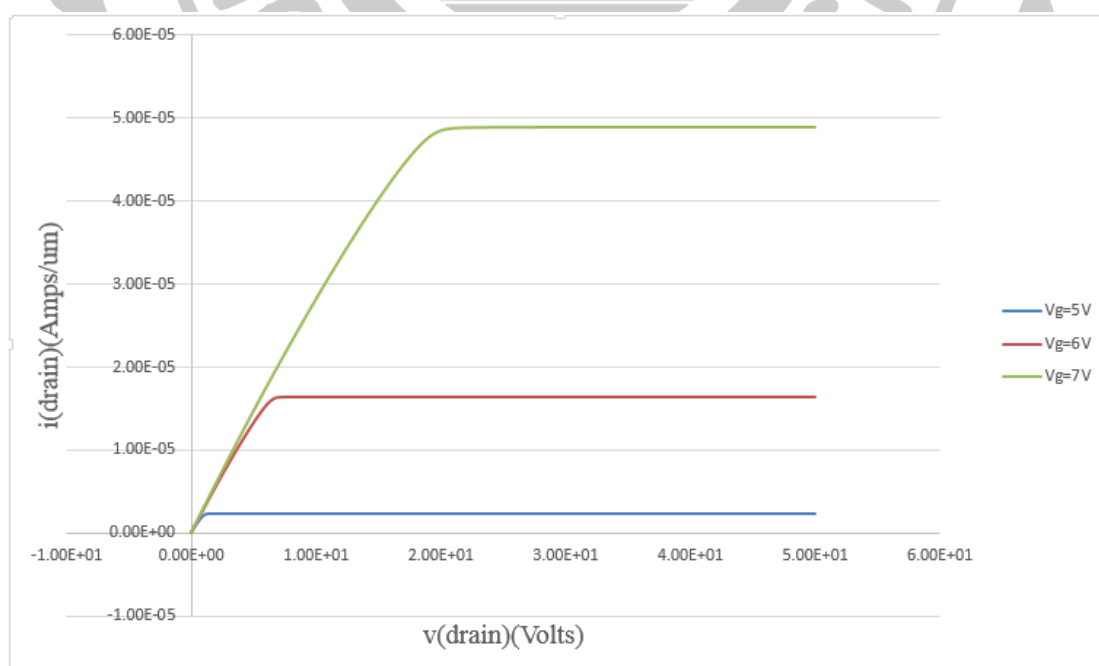


圖. 54 60 μm 元件長度之 I_D - V_D 曲線

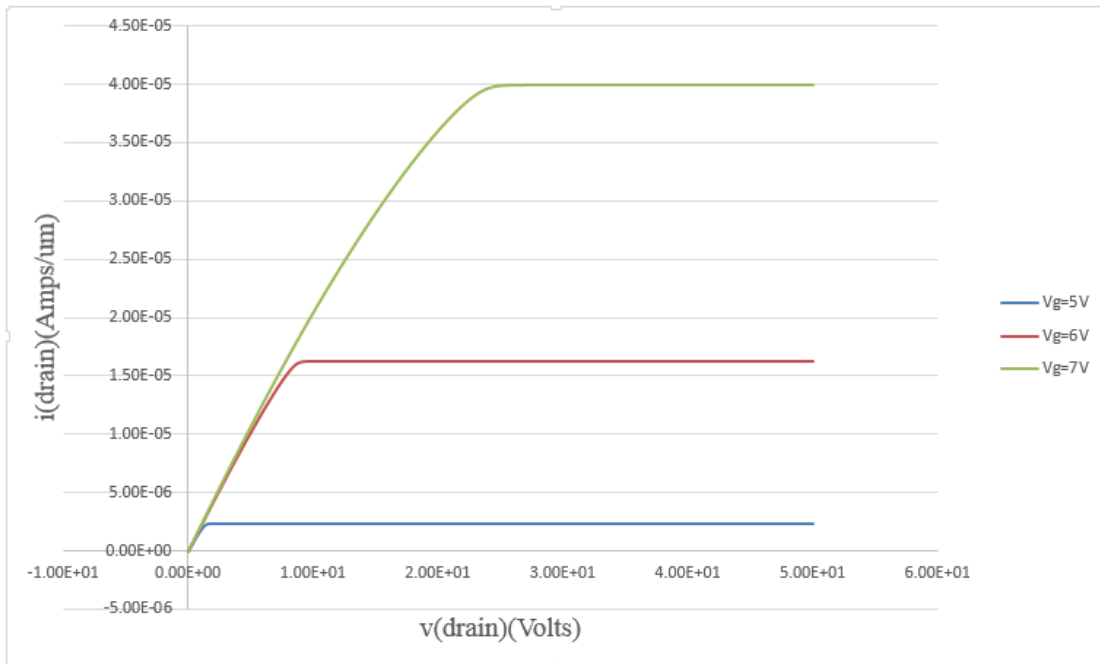


圖. 55 75μm 元件長度之 I_D - V_D 曲線

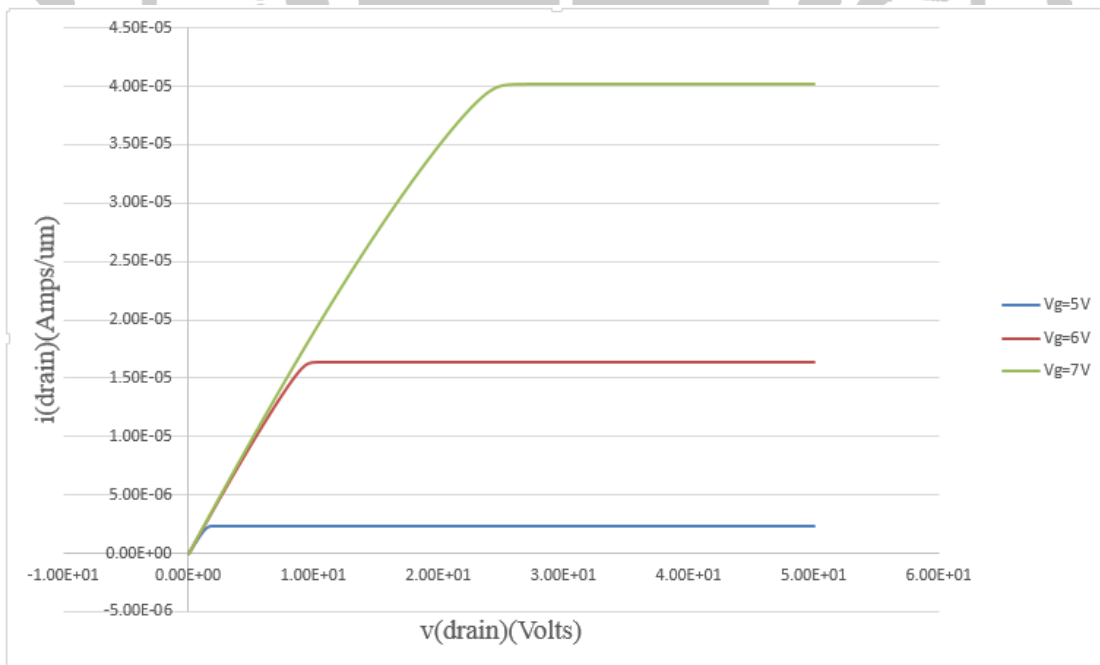


圖. 56 80μm 元件長度之 I_D - V_D 曲線

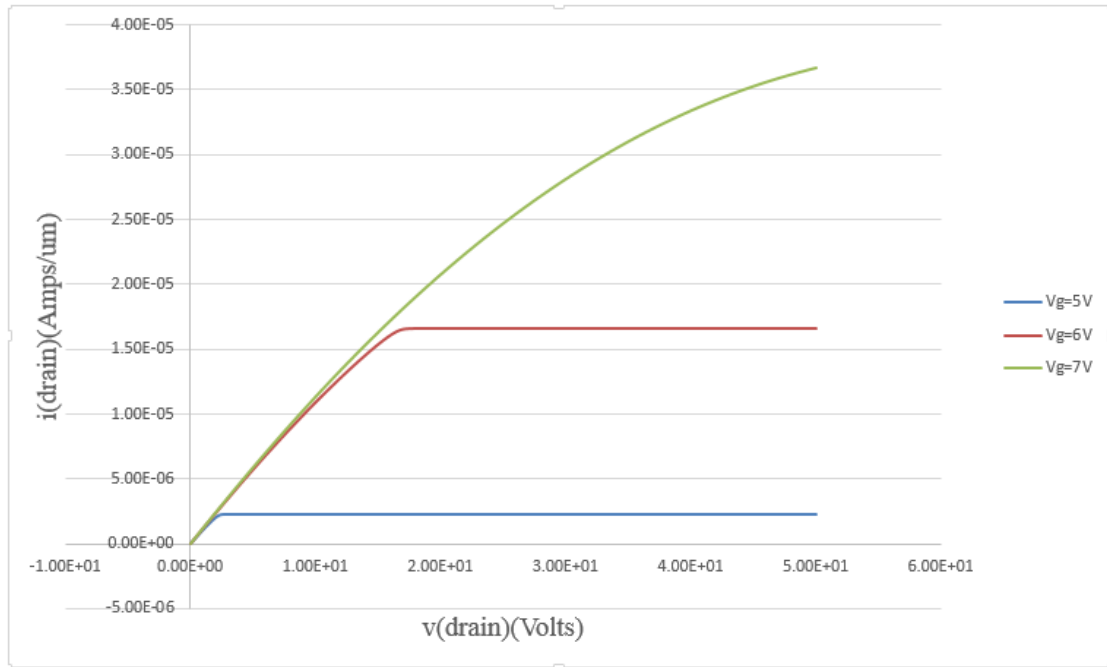


圖. 57 $120\mu\text{m}$ 元件長度之 I_D-V_D 曲線

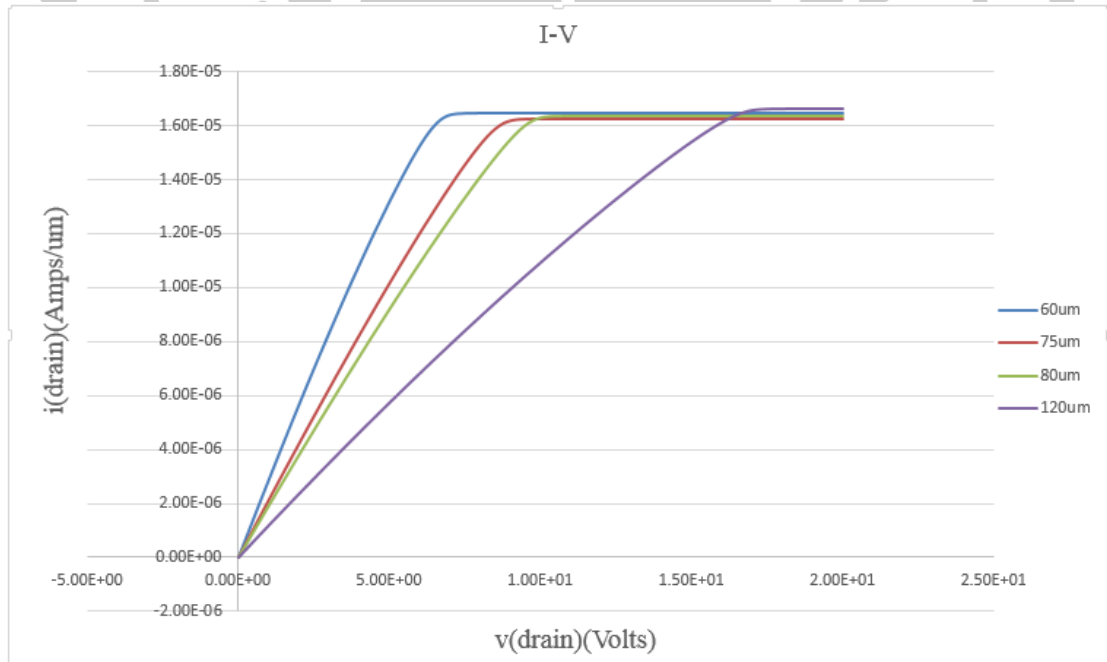


圖. 58 不同長度下 $V_G=6\text{V}$ I_D-V_D 曲線

表. 5 不同元件長度下 R_{on} 與 $R_{on.sp}$ 比較

		60 μm	75 μm	80 μm	120 μm
$V_G=5\text{ V}$	$R_{on}(\text{V}*\mu\text{m}/\text{A})$	483091	564971	609756	917431
	$R_{on.sp}(\text{m}\Omega\text{cm}^2)$	289.8	423.7	487.8	1100.9
$V_G=6\text{ V}$	$R_{on}(\text{V}*\mu\text{m}/\text{A})$	347222	469483	520833	840336
	$R_{on.sp}(\text{m}\Omega\text{cm}^2)$	208.3	352.1	416.7	1008.4
$V_G=7\text{ V}$	$R_{on}(\text{V}*\mu\text{m}/\text{A})$	331125	454545	507614	826446
	$R_{on.sp}(\text{m}\Omega\text{cm}^2)$	198.6	340.9	406.1	991.7

由圖.58 及表.5 結果可以看出，導通電阻的結果為 I_D-V_D 曲線三極管區的斜率倒數，縮短元件長度可以有效的降低導通電阻 R_{on} 及 $R_{on.sp}$ ， V_G 在 7V 的情況下 60 μm 的 $R_{on.sp}$ 則為 120 μm 的 20%左右，但因為兩者的崩潰電壓不同，因此必須將崩潰電壓與導通電阻同時考慮進去，因此導入效能指標(Efficiency Index)來評斷元件的優劣如公式(4.2)。

$$\text{Efficiency Index} = \frac{\text{Breakdown Voltage}}{\text{On Resistance}} \quad (4.2)$$

對於元件的性能，希望是有越高的崩潰電壓及越低的導通電阻，因此效能指標越大則元件的效能越好。下一個章節中將效能指標加入討論，比較一般 SOI 結構、BAGS SOI 及圖樣化設計之優劣。

4.3.2 效能指標分析

由表.6 的結果可以看出，在一般的 SOI 結構下不同元件長度的崩潰電壓大小大約都落在 350V 上下，在 BAGS 結構下崩潰電壓都可到達 600V 以上，而通過將元件長度增加崩潰電壓也可以超過 700V，而本研究提出的圖樣化設計結構則可以進一步將崩潰電壓作提升。若是將導通電阻加入討論，圖樣化設計的結構對於提升元件的效能有顯著的效果，以 60 μm 的圖樣化設計結構來說崩潰電壓為 668V，而 80 μm 的 BAGS 結構則是 676V，兩者的崩潰電壓雖然差了 8V，但是對於 $R_{on.sp}$ 來說則是因為元件長度縮短而降低了 51%，可見圖樣化設計對於提升元件效能有明顯的效果。

表.6 元件長度與崩潰電壓

Device Length	Breakdown Voltage (V)		
	Conventional SOI	BAGS SOI	Proposed SOI
60 μm	345	644	668
75 μm	359	653	696
80 μm	358	676	713
120 μm	354	731	749

透過表.7 的結果能看出，在相同元件長度的情況下，80 μm 的圖樣化設計結構與 BAGS 結構，效能指標由 1.66 上升到 1.75，而在相近的崩潰電壓比較方面，80 μm 的圖樣化設計結構及 120 μm 的 BAGS 結構相比，效能指標由 0.73 提升到 1.75，相較於原本提升了 2.3 倍，在崩潰電壓 670V 的條件下兩個結構相比，圖樣化設計結構的效能指標也較 BAGS 結構提升了 2 倍。

表.7 元件長度與效能指標

	BV=710V		BV=670V	
	BAGS SOI	Proposed SOI	BAGS SOI	Proposed SOI
Device Length (μm)	120	80	80	60
$R_{on.sp}$ ($\text{m}\Omega\text{cm}^2$)	991.7	406.1	406.1	198.6
Efficiency Index	0.73	1.75	1.66	3.36

第五章 結論

本研究所提出的 BOX 層圖樣化設計結構在 LDMOSFET 的元件模擬下崩潰電壓皆有到達 650V 以上，並且能夠在維持崩潰電壓的條件下縮短元件的長度，達到降低導通電阻的效果。與參考的 BAGS 結構的製程步驟上相比，BAGS 在 Smart-Cut 鍵合前必須對 Seed Wafer 上的二氧化矽做蝕刻，而圖樣化設計雖然也要進行蝕刻但不必增加光罩數量，製程步驟與難易度上是與 BAGS 相同的，在電場分佈方面 BAGS 只能在磊晶層中處產生一個高電場，但圖樣化設計結構則通過增加二氧化矽與空氣的交接處增加多個高電場，並且可以透過改變兩介質交界的位置選擇要提升的電場區域，因此與 BAGS 相比圖樣化設計擁有更均勻的電場，並使得元件的崩潰電壓能更進一步的提升。80 μm 的 BAGS 與 60 μm 的圖樣化設計元件做比較，崩潰電壓相近的情況下， $R_{on.sp}$ 降低 51%，在效能指標上提升了 2 倍，對於提高元件效能有顯著的效果。未來可望在 LIGBT 中也加入 BOX 層圖樣化設計結構進行模擬，希望往後高功率效能的高功率元件能夠與 CMOS 製程於 SOI 晶圓上作整合。

參考文獻

- [1] 蘇建仁，國立交通大學，(2004)，功率積體電路之接面隔離研究。
- [2] GU Mei-liang, HU Ming, “New progress and Applications in SOI Technology”, PIEZOELECTRICALS & ACOUSTOOPTICS, Vol. 28 No. 2, Apr. 2006, p.236-239.
- [3] Xiaorong Luo, Zhaoji Li, “SOI lateral high voltage devices and endure voltage models based on ENDIF principle”, University of Electronic Science and Technology of China, Electronic Components and Materials, Vol.27, No. 5, 2008, pp. 71-72
- [4] <http://www.twiki.com/wiki/%E9%96%82%E9%8E%96%E6%95%88%E6%87%89>
- [5] S. Merchant; E. Arnold; H. Baumgart; S. Mukherjee; H. Pein; R. Pinker, “High-breakdown-voltage devices in ultra-thin SOI”, SOI Conference, 1991. Proceedings, 1991., IEEE International, p.150-151.
- [6] 鄭家慧，東海大學，(2015)，以邊界條件調節電場的高壓 SOI 元件。
- [7] Atsuki Matsumura, Isao Hamaguchi, Keisuke Kawamura, Tsutomu Sasaki, Yoichi Nagatake, Seiji Takayama, Toshiyuki Mizutani, “Quality Improvement in SIMOX (Separation by Implanted Oxygen) Wafer Technology” Nippon Steel Technical Report NO.83 January 2001, p.79-84.
- [8] Masaharu Tachimon, “SIMOX Wafers (Silicon wafers with a thin superficial silicon film separated from the body by implanted oxygen)” Nippon Steel Technical Report no.73 April 1997, p.19-25.
- [9] S. S. K. Iyer, Xiang Lu ; Jingbao Liu ; Jing Min ; Zhineng Fan ; P. K. Chu ; Chenming Hu ; N. W. Cheung, “Separation by Plasma Implantation of Oxygen (SPIMOX) Operational Phase Space”, IEEE Transactions on Plasma Science Vol25 , no. 5 October 1997, p.1128 – 1135.
- [10] S. Sundar Kumar Iyer, Xiang Lu, Jingbao Liu, Barry Linder, Chenming Hu, Nathan W. Cheung, Jing Min, Zhineng Fan and Paul Chu, “Operational Phase-Space of Separation by Plasma Implantation of Oxygen (SPIMOX)”, Ion Implantation Technology. Proceedings of the 11th International Conference on 16 Jun 1996-21 Jun 1996, p.764-767.
- [11] W. P. Maszara, G. Goetz ; A. Caviglia ; J. B. McKitterick, “Silicon-on-Insulator by Wafer Bonding and Etch-back” SOS/SOI Technology Workshop, 1988. Proceedings., 1988 IEEE 03 Oct 1988-05 Oct 1988, p.15.
- [12] J. B. Lasky, S. R. Stiffler ; F. R. White ; J. R. Abernathy, “Silicon-on-Insulator (SOI) by Bonding and Etch-Back” Electron Devices Meeting, 1985 International Vol.31 ,p. 684 - 687.
- [13] D. Godbey, M. Twigg ; L. Palkuti ; P. Leonov ; J. Wang ; H. Hughes ; F. Kub, “A $Si_{0.7}Ge_{0.3}$ Strained Layer Etch Stop for the Generation of Bond and Etch Back SOI” SOS/SOI Technology Conference, 1989., 1989 IEEE, p. 143 – 144.
- [14] M. Ito; K. Yamagata; H. Miyabayashi; T. Yonehara, “Scalability Potential in ELTRAN(R) SOI-Epi Wafer” SOI Conference, 2000 IEEE International, p.10-11.
- [15] Takao Yonehara, Kiyofumi Sakaguchi, “ELTRAN® ; Novel SOI Wafer Technology”, ELTRAN Business Center, Canon Inc, JSAP International no.4, July 2001, p.10-16.

- [16]H. Moriceau; C. Maleville; A. M. Cartier; B. Aspar; A. Soubie; M. Bruel; T. Poumeyrol; F. Metral; A. J. Auberton-Herve, "Cleaning And Polishing as Key Steps For Smart-Cut(R) SOI Process", SOI Conference, 1996. Proceedings., 1996 IEEE International, p.152-153.
- [17]B. Aspar; J. -P. Joly; C. Jaussaud; L. di Cioccio; M. Bruel; H. Moriceau; F. Letertre; E. Hugonnard-Bruyere, "New Semiconductor Hetero-Substrates for High Temperature Applications Using the Smart-Cut(R) Technology", High Temperature Electronics, 1999. HITEN 99. The Third European Conference, p. 67 -73.
- [18]C. Maleville; T. Barge; B. Ghyselen; A. J. Auberton; H. Moriceau; A. M. Cartier, "Multiple SOI layers by multiple Smart-Cut(R) transfers", SOI Conference, 2000 IEEE International, p.134-135.
- [19]Florin Udrea, "SOI-based devices and technologies for High Voltage ICs", 2007 IEEE Bipolar/BiCMOS Circuits and Technology Meeting, p.74 – 81.
- [20]Shengdong Zhang; J. K. O. Sin; T. M. L. Lai; P. K. Ko, "Numerical Modeling of Linear Doping Profiles for High-Voltage Thin-Film SOI Devices", IEEE Transactions on Electron Devices 1999, Vol. 46,no. 5, p.1036-1041.
- [21]Hu Xiarong, Zhang Bo, Luo Xiaorong, Yao Guoliang, Chen Xi and Li Zhaoji, "A new high voltage SOI LDMOS with triple RESURF structure", Journal of Semiconductors July 2011. Vol.32. no.7.
- [22]Yang Shaoming Sheu Gene , Guo Jiaming, Tasi Jung Ruey, "Application of Multi-Lateral Double Diffused Field Ring in Ultrahigh-Voltage Device MOS Transistor Design", The Tenth International Conference on Electronic Measurement & Instruments, 2010, p.85-88.
- [23]S. D. Hu; L. Zhang; J. Luo; K. Z. Tan; W. S. Chen; P. Gan; X. C. Zhou; Z. Zhu, "SOI high-voltage LDMOS with novel triple-layer top silicon based on thin BOX", Electronics Letters 31st January 2013 Vol. 49 No. 3, p. 223-225.
- [24]Xiaorong Luo; Bo Zhang; Zhaoji Li, "A Novel E-SIMOX SOI high Voltage Device Structure with Shielding Trench", Proceedings. 2005 International Conference on Communications, Circuits and Systems, 2005, p.140.-1406.
- [25]Qiyu Liu; Zhaoji Li; Bo Zhang; Jian Fang, "The Research on Breakdown Voltage of High Voltage SOI LDMOS Devices With Shielding Trench", Solid-State and Integrated-Circuit Technology, 2001. Proceedings. 6th International Conference Vol.1, p.159-161.
- [26]I. J. Kim; S. Matsumoto; T. Sakai; T. Yachi, "Breakdown voltage improvement for thin-film SOI power MOSFET's by a buried oxide step structure", IEEE Electron Device Letters, Vol.15, no.5, 1994, p.148-150.
- [27]An Tao, Gao Yong, "Breakdown Voltage Analysis of SOI LDMOS with Step Buried Oxide", The Eighth International Conference on Electronic Measurement and Instruments, 2007, p.717-720.
- [28]Samaneh Sharbati; Ali A. Orouji; M. Fathipour, "6H-SiC lateral Power MOSFETs with an Asymmetrical Buried Oxide Double Step Structure", Microwave and Millimeter Wave Technology, 2008. ICMMT 2008. International Conference on, Vol.3, 2008, p1359-1362.

- [29] Baoxing Duan, Bo Zhang, and Zhaoji Li, "New Thin-Film Power MOSFETs With a Buried Oxide Double Step Structure", IEEE Electron Device Letter, Vol. 27, no.5, May 2006, p.377-379.
- [30] Jun Huang; Tingting Hua; Yufeng Guo; Yue Xu; Xiaojuan Xia; Ying Zhang; Gene Sheu, "Numerical Simulation of Static and Dynamic Operation Performance of Sol", Junction Technology (IWJT), 2012 12th International Workshop, p.156-159.
- [31] Sun-Ho Kim, Il-Yong Park, Yean-Ik Choi, Sang-Koo Chung, "Enhancement of Breakdown Voltage for SOI RESURF LDMOS Employing a Buried Air Structure", Journal of the Korean Physical Society, Vol. 39, December 2001, p. S39-S41.
- [32] B. C. Jeon; D. Y. Kim; Y. S. Lee; J. K. Oh; M. K. Han; Y. I. Choi, "Buried Air Gap Structure for Improving the Breakdown Voltage of SOI Power MOSFET's", Power Electronics and Motion Control Conference, 2000. Proceedings. IPEMC 2000. The Third International, Vol.3, 2000, p.1061-1063.
- [33] Donald A. Neamen, "Semiconductor Physics and Devices, Fourth Edition (p.259-262)", Americas, New York, NY 10020, McGraw-Hill.
- [34] B. Jayant Baliga, "Power Semiconductor Device (p.67-70)", 20 Park Plaza, Boston, MA 02116, PWS Publishing Company.
- [35] Donald A. Neamen, "Semiconductor Physics and Devices, Fourth Edition (p.465-469)", Americas, New York, NY 10020, McGraw-Hill.
- [36] S. Merchant, E. Arnold, H. Baumgart, S. Mukherjee, H. Pein, and R. Pinker, "Realization of high breakdown voltage (>700 V) in thin SOI devices", in Proc, ISPSD, 1991, p.31-35.
- [37] M. Yoshimi; M. Takahashi; T. Wada; K. Kato; S. Kambayashi; M. Kemmochi; K. Natori, "Analysis of the drain breakdown mechanism in ultra-thin-film SOI MOSFETs", IEEE Transactions on Electron Devices, Vol.37, no.9, p.2015-2021.
- [38] SOITEC, <http://www.soitec.com/en/products-and-services/microelectronics/>
- [39] Bo Zhang; Zhaoji Li; Shengdong Hu; Xiaorong Luo, "Field Enhancement for Dielectric Layer of High-Voltage Devices on Silicon on Insulator", IEEE Transactions on Electron Devices, Vol.56, no.10, 2009, p.2327-2334.
- [40] X. M. Yang; B. Zhang; X. R. Luo, "Double Enhance Dielectric Layer Electric Field high voltage SOI LDMOS", Electron Devices and Solid-State Circuits (EDSSC), 2011 International Conference, p.1-2
- [41] Chia-Hui Cheng; J. Gong, "The pattern engineering before wafer bonding in smart-cut SOI for high voltage applications", Solid-State and Integrated Circuit Technology (ICSICT), 2014 12th IEEE International Conference, p.1-3.