

東海大學高階經營管理碩士在職專班(研究所)  
碩士學位論文

運用限制理論與總合設備效率改善 IC 封裝生產流程

The Improvement of IC Packaging Process Production

by Using TOC & OEE

指導教授：王本正 博士

研究生：趙明鴻 撰

中華民國 106 年 05 月

論文名稱：運用限制理論與總合設備效率改善 IC 封裝生產流程

校所名稱：東海大學高階經營管理碩士在職專班（研究所）

畢業時間：2017 年 05 月

研 究 生：趙明鴻

指導教授：王本正 教授

## 論文摘要：

近幾年來半導體封裝產業因為大環境的不景氣，加上客戶對於生產成本、產品品質及交貨期限的要求越來越嚴苛，造成同業間競爭越來越激烈，唯有提升訂單交期能力，才能與其他封裝廠做出區隔。若能改善訂單交期能力則能獲得差異化的競爭優勢，所以如何快速接近與滿足客戶需求，以降低時間成本，已經成為在這競爭激烈的環境中致勝關鍵。

故本研究希望能透過限制理論生產方式，可以提高企業產出量、降低週期時間(cycle time)，消除瓶頸、可生產少量多樣化產品，進而提供給客戶更多選擇，提高公司獲利及企業競爭優勢。以限制理論改善觀點，幫助管理階層以綜觀全局的角度，找出生產流程中的限制，並以限制驅導式排程觀念，結合現有的工業工程改善手法，如總合設備效率 OEE 改善計畫，進行持續改善，將企業組織推向另一個高峰，這才是面對大環境不景氣，企業保持競爭力的不二法門。

【關鍵字】限制理論、設備總合效率、封裝製程、限制驅導式排程

Title of Thesis : The improvement of IC packaging process production by using  
TOC & OEE

Name of Institute : Tunghai University

Executive Master of Business Administration Program

Graduation Time : ( 05 / 2017 )

Student Name : Ming-Hung Chao

Advisor Name : Ben Wang

## **Abstract :**

Recent years, in addition to Taiwan's sluggish economic growth, the client's strict requirements on the production cost, the product quality, and delivery term have caused the acute competition in the semiconductor packaging industry. The difference among the current packaging plants is how they enhance the delivery capacity. If the packaging plants develop the delivery capacity, they will obtain the distinguished competitive advantage. For this reason, how to approach and meet the client's expectations in a timely manner in order to reduce the time cost has become the key to success in the competition.

This study aims to apply the Theory of Constraint (TOC) to elevate the enterprise's quantity of output, reduce the cycle time, and eliminate bottlenecks. It is also a small-volume-large-variety production model that both provides the client options and increases the enterprise's profits and competitive advantage. Using TOC is to change the management's perspective by taking a broad view in order to find out limitations in the production process. Integrating the current innovation in the Industrial Engineering (IE) such as the improvement plan Overall Equipment Effectiveness (OEE) with the concept of Drum-Buffer-Rope (DBR) is to make a continual advancement that allows the business organization moves toward the next peak. This is the key to maintain the competitiveness of the business organization while facing the recession.

Key words: Theory of Constraints 、 OEE 、 Assembly process 、 DBR

# 目 次

目 次 .....	III
表 次 .....	V
圖 次 .....	VI
<b>第一章 緒論 .....</b>	<b>1</b>
第一節 研究背景 .....	1
第二節 研究動機與目的 .....	2
第三節 研究流程 .....	3
<b>第二章 文獻探討 .....</b>	<b>4</b>
第一節 限制理論 .....	4
第二節 限制理論相關研究 .....	10
第三節 生產流程改善(BPR) .....	11
第四節 總合設備效率 OEE.....	13
<b>第三章 個案研究分析與探討 .....</b>	<b>16</b>
第一節 個案公司簡介 .....	16
第二節 IC 封裝製程介紹 .....	20
第三節 覆晶製程封裝 .....	25
第四節 IC 封裝代工產業特性 .....	37
<b>第四章 個案公司導入實證 .....</b>	<b>39</b>
第一節 個案導入之改善過程 .....	39
第二節 限制理論五個核心步驟持續改善 .....	43
<b>第五章 結論與建議 .....</b>	<b>48</b>
第一節 研究結論 .....	48
第二節 管理意涵 .....	50
第三節 後續建議 .....	51

參考文獻 .....	53
一、    中文文獻 .....	53
二、    英文文獻 .....	55

## 表 次

表 一 OEE 六大主要損失種類 .....	14
表 二 標準 OEE .....	15
表 三 傳統封裝製程與 Flip Chip 製程差別 .....	24
表 四 客戶需求與工廠產出量 Gap 比較 .....	42
表 五 2015 1~5 月 OEE .....	44
表 六 稼動率提升 .....	45

## 圖 次

圖 一 TOC 持續改善程序 .....	5
圖 二 限制驅導式現場排程方法 .....	11
圖 三 半導體製程介紹 .....	21
圖 四 IC 封裝型態 .....	22
圖 五 導線架產品封裝側視圖 .....	23
圖 六 球柵陣列產品封裝側視圖 .....	23
圖 七 覆晶產品封裝側視圖 .....	24
圖 八 覆晶產品封裝流程圖 .....	26
圖 九 晶圓/基板實物示意圖 .....	27
圖 十 晶圓貼片站作業示意圖 .....	27
圖 十一 晶圓切割站作業示意圖 .....	28
圖 十二 晶圓 UV 站作業示意圖 .....	28
圖 十三 晶圓 A31 站作業示意圖 .....	29
圖 十四 元件表面黏著站作業示意圖 .....	29
圖 十五 上片站作業示意圖 .....	30
圖 十六 助焊劑清洗站作業示意圖 .....	30
圖 十七 預烤站作業示意圖 .....	31
圖 十八 電漿清洗站作業示意圖 .....	31
圖 十九 點膠站作業示意圖 .....	32
圖 二十 烘烤站作業示意圖 .....	32
圖 二十一 元件檢查站作業示意圖 .....	33
圖 二十二 散熱片站作業示意圖 .....	33
圖 二十三 印字站作業示意圖 .....	34
圖 二十四 植球站作業示意圖 .....	34

圖 二十五 電性測試站作業示意圖 .....	35
圖 二十六 腳平面檢查站作業示意圖 .....	35
圖 二十七 最終外觀檢驗站作業示意圖 .....	36
圖 二十八 包裝站作業示意圖 .....	36
圖 二十九 組織圖 .....	40
圖 三十 2015 1~5 月 C/T 實績 .....	42
圖 三十一 DB~LS 各站日產能分析(改善前) .....	43
圖 三十二 DB~LS 各站 C/T 分析(改善前) .....	43
圖 三十三 OEE 分析圖 .....	44
圖 三十四 LE 站 UPH 改善 .....	46
圖 三十五 DB~LS 各站日產能分析(改善後) .....	47
圖 三十六 DB~LE 各站 C/T 分析(改善後) .....	47
圖 三十七 LE 站 OEE trend Chart .....	48
圖 三十八 LE 站 C/T trend Chart .....	49

# 第一章 緒論

## 第一節 研究背景

台灣半導體產業自從張忠謀先生創立了台灣積體電路公司後，半導體產業開始如雨後春筍般的蓬勃發展起來，進而發展出了半導體製造代工模式，將台灣半導體製造供應鏈成功的串聯起來。從前端的 IC 設計開始，到中段的晶圓代工製造以及後端的 IC 封裝、IC 測試，在全球的半導體供應鏈中佔著非常重要地位。而位屬供應鏈後端的 IC 封裝業，更是在半導體製造供應鏈中不可或缺的一員。然而，最近幾年半導體封裝產業因為經營環境的變化快速以及同業之間競爭激烈，再加上客戶端不論是對於成本、品質及交期等要求更是嚴苛。部分的封裝大廠雖然有大客戶訂單的挹注，但目前也只能維持著相當低的利潤，因此各家 IC 封裝廠，逐步將營運方向調整為多種少量化的精緻服務，如此一來，同業之間競爭激烈可想而知。故訂單交期能力已是目前封裝廠間唯一的差異，若能改善訂單交期能力則能獲得差異化的競爭優勢，如何快速接近與滿足客戶需求，以降低生產成本，已是在這競爭激烈環境中的獲勝關鍵。

IC 封裝以往對於產線問題，往往都是使用工業工程的改善方式，導入多項資訊系統進行改善，針對人員、原物料、生產設備以及生產成本等四大面向來進行改善。如利用動作單元時間研究 (Time and Motion Study)，透過動作整合及刪除來提高人員機台比率 (Man-Machine Ratio, MMR)，進而提升生產力。利用總合設備效率 (Overall Equipment Effectiveness, OEE) 改善手法，找出機台人員效率損失，進行生產效率改善。建立物料需求系統 (Material Requirement Planning, MRP) 來降低庫存成本，建立生產規劃系統 (Capacity Requirement Planning, CRP) 提升設備產能增加產出，不過這些改善手法都只著重於單點的工程改善，對於管理階層沒有一個長久且完整計劃性的改善，也無全面性觀點的改善手法。

目前全球企業的經營環境也同時在快速變遷中，來自同業或是異業之間的競爭，使得企業經營面臨前所未有的挑戰，尤其是以製造產業相關為甚。除了必須要不斷強調產品本身研發創新以及加強行銷策略外，更是必須努力提升製造生產效率。

## 第二節 研究動機與目的

綜合以上說明，IC封裝業面對日益競爭的環境，生產成本節節升高，是目前IC封裝產業所面臨的重要課題，應思考如何進行持續性改善，引進不同的改善觀念與手法，並對於生產流程加以改善BPR(Business process reengineering)，進而提升生產效率，降低生產成本，以強化企業競爭力及提高企業獲利。

而限制理論生產方式是以有效產出以及整體最佳化的觀念之下，所發展出來符合生產系統的合理化生產方式，進行各項制約因素的消除，進而提昇產出量。本研究動機希望能透過，限制理論生產方式改善生產流程、提高產出量、降低週期時間C/T(cycle time)，消除瓶頸、可生產少量多樣化產品，進而提供客戶更多選擇，提高公司獲利及企業競爭優勢，以限制理論改善觀點，幫助管理階層以綜觀全局的角度，找出生產流程中的限制，並以限制驅導式排程觀念，結合現有的工業工程改善手法，如總合設備效率 OEE 改善計畫，進行持續改善。

故本研究主要是透過限制理論導入 IC 封裝產業進行個案研究，本研究欲達成研究目的如下：

- (1)找出個案公司在生產流程上的瓶頸限制，並以限制理論方式加以改善。
- (2)採用限制理論結合總合設備效率 OEE 改善計畫，改善個案公司生產效率。

### 第三節 研究流程

本研究將以限制理論為主要研究基礎，共分成五個章節：

第一章：緒論。說明研究背景、研究動機以及研究目的。

第二章：文獻探討。整理限制理論相關文獻、生產流程改善BPR及總合設備效率OEE簡介，目的是了解限制理論、生產流程改善及總合設備效率應用狀況來當作本研究之基礎與主要架構。

第三章：個案研究分析與探討。IC封裝製程介紹、覆晶製程封裝各站作業說明。

第四章：個案公司導入實證。針對限制資源(瓶頸站)提出個案公司之生產線改善。

第五章：最後結論與改善建議。根據限制理論改善後的結果與分析資料做出總結，並且提出後續研究建議。

## 第二章 文獻探討

限制理論TOC (Theory of Constraints)是一種用來管理企業組織的直覺架構(Intuitive Framework)。限制理論的管理重心即放在組織最弱的環上，這是由於最弱的環決定了整條鍊的強度，而整條鍊中最弱環的數目是有限的，在現實系統中之績效往往受限於這些限制中。限制理論中提到任何企業組織在成立的之時，都會制定出組織目標，然而在這企業組織中，必然存在著許多限制，阻礙著該企業達成這個目標。因此為了讓企業組織達成其更高的績效水準，就必須一一檢視各項限制，做到持續性的改善。TOC主要是藉由產能的分析，找出整個製程中的瓶頸限制，而瓶頸站決定了整個生產流程的產能，瓶頸站資源決定整個生產系統的產出和庫存。瓶頸資源損失一小時就是相當於整個系統損失一小時。非瓶頸資源節省一小只是一種假象並非真的節省。局部最佳的總和並不會等於整個系統的最佳狀況。TOC的基本原理就是藉由對瓶頸的控制與管理，達成增加產出、降低庫存及作業費用的目標。

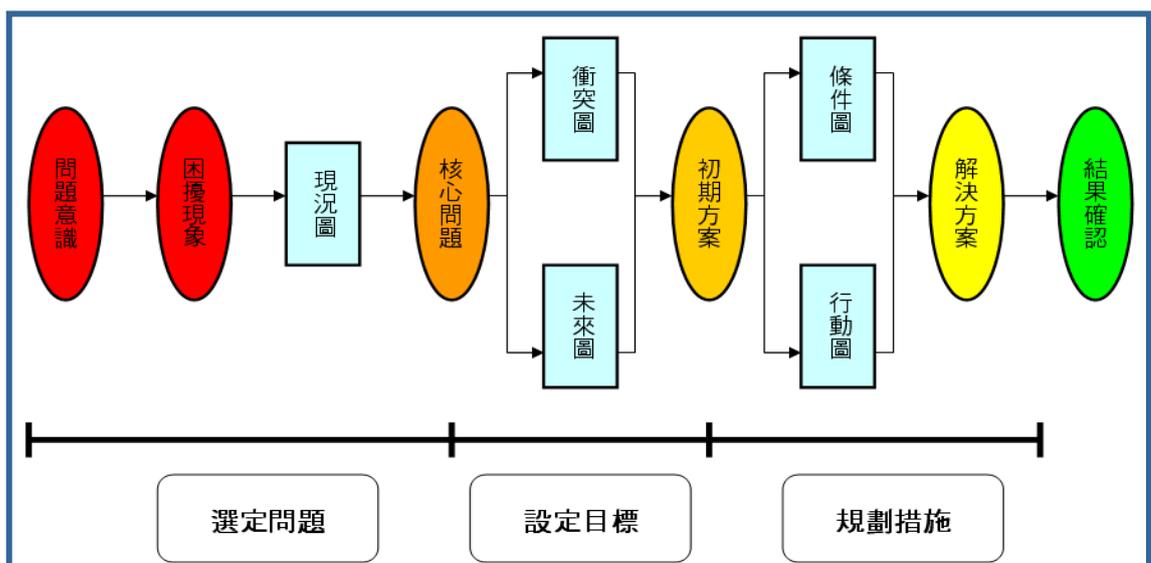
### 第一節 限制理論

限制理論是一個整體的管理理念，1984年以色列物理學家Dr. Goldratt於《目標》(The Goal)著作中所提出，限制理論的主旨是在幫助組織不斷實現自己的目標。書中是以小說的方式述說著製造工廠內廠長與重要幹部在管理上發生的問題，及在他們面臨工廠的生死存亡之關鍵時刻，是如何在種種壓力之下化險為夷。Dr. Goldratt還寫出《仍然不足夠》(Necessary But Not Sufficient)、《關鍵鍊》(Critical Chain)、《絕不是靠運氣》(It's Not Luck)等多本以小說形式分別闡述TOC運用在生產管理、市場行銷、專案管理、及科技資訊上，如何以嶄新的思維與觀念穩健地解決核心問題、衝突與突破瓶頸。考慮資源的生產負荷與最大可用產能，若有任何資源的總生產負荷大於其最大的可用產能，則此資源即為“瓶頸”(Bottleneck)，其中產能缺乏最多的資源即為產能限制資源。限制理論強調一個組織中必定存在著影響其達成目標的限制因子，這個限制因子可能是人員、機具或資源等實體限制，

甚至有可能是無形的政策或法令，此限制因子也稱為瓶頸，在瓶頸站損失一小時相對的系統也損失一小時，在非瓶頸部分提昇效能其實對系統是完全沒有幫助的。所以Dr. Goldratt發展出一套思維程序(Thinking Process)：

- 一、 想要改變什麼？(What to Change?) 透過確認組織限制之所在來定義真正核心問題或關鍵之所在。
- 二、 想要改變成什麼？(What to Change to?) 透過強化/改善組織之限制來尋找組織未來成長之空間及方向。
- 三、 要如何做改變？(How to Cause the Change?) 透過克服組織從現況轉移至未來的阻力而達成變動管理之效果。

如果能嚴謹地回應這三個問題，將能達成顯著與持續改善的效果。限制理論將這思考步驟稱之為持續改善程序 POOGI(Process of On Going Improvement)。



圖一 TOC 持續改善程序（資料來源：《目標-簡單而有效的常識管理》）

限制理論三個思考流程

第一階段：想要改變什麼？

目的說明：找出隱藏在困擾現象背後的核心問題。

使用工具：現況圖。

第二階段：想要改變成什麼？

目的說明：找出核心問題後，針對核心問題，激發出構想。

使用工具：未來圖及衝突圖。

第三階段：要如何做改變？

目的說明：規劃導入構想執行準則，以及可能會遇到的障礙，找出障礙的解決之道。

使用工具：條件圖、行動圖。

### 2.1.1 限制理論的工具-現況圖

現況圖用於分析系統的現況，尋找系統限制。

在一個系統中會有許多的不良現象，然而，真正造成不良現象產生的原因往往有一個或是兩個核心問題，現況圖利用不良現象間的因果關係分析，找出所有不良現象的「因」，也就是核心問題，用來了解哪一些東西需要改變。

現況圖共有三個組成要件：

- 1.不良現象，影響系統達到目的的各種現象；
- 2.核心問題，造成所有不良現象產生的核心因素，也就是所有不良現象的「因」；
- 3.中間問題，用來協助解釋圖形中不良問題間的因果關係，也有可能成為核心問題。

### 2.1.2 限制理論的工具-衝突圖

在找到系統的核心問題後，衝突圖用於分析核心問題所造成的矛盾提出雙贏的解決方案。它包含四個組成要件：

- 1.目標，透過需求達到的理想目標
- 2.需求，必要條件所要達到的需求
- 3.必要條件，達成需求所提出的必要條件,也可以是決策或行動事項

4.激勵方案，解決系統中問題所提出的解決方案。

### 2.1.3 限制理論的工具-未來圖

未來圖的目的是為了要測試並確認衝突圖提出的激勵方案。

未來模擬模型（Simulation Model）包含三個組成要件：

- 1.激勵方案，來自衝突圖的分析結果；
- 2.預期現象，指還未發生的現象
- 3.事實，系統中已經存在的現象

圖中激勵方案和系統中存在的現象造成了預期現象的發生

未來圖就是利用這樣的方式，分析激勵方案的效果，建立未來的模擬模型。

### 2.1.4 限制理論的工具-條件圖

條件圖最主要的目的是要判斷導入策略構想時可能會遇到的障礙，在實作條件圖時往往會使用未來圖、衝突的策略構想作為條件圖的目標，分析這些策略構想如何被具體的實行以及各個中間目標可能會遇到的障礙。

其共有三個組成要件：

- 1.目標、或是策略構想；
- 2.中間目標，要達成策略構想前各個中間步驟
- 3.障礙，各個中間目標可能會遇到的障礙。

條件圖建立的方式是由上至下，分析目標或是策略構想達成前要經過的中間目標。箭頭所代表的涵義是先後關係，起頭起始處代表先有這個中間目標達成，才會造成後面那個中間目標的發生。障礙所指向的箭頭則代表這個中間目標的障礙。

### 2.1.5 限制理論的工具-行動圖

行動圖是為了將策略構想轉換成具體行動，並克服條件圖上的障礙。

它共有三個組成要件：

目標或是策略構想；

- 1.具體行動，針對各個中間目標、障礙，所採用的具體行動；
- 2.預期影響，經過具體行動後所產生的影響，通常為各個中間目標。
- 3.行動圖的箭頭涵義同於現況圖，都表示「因果關係」，箭頭起始為箭頭終點的「因」。

依據《目標》一書中，限制理論所提出的主要觀念：在任何企業組織或系統中必定存在著一個以上的限制瓶頸，限制住其有效產出。所以若是要有效的提昇其績效水準，管理者可以運用下列五項步驟打破其限制。

#### 第一步驟：定義出系統限制瓶頸

限制瓶頸，就是指影響了企業組織獲得更高績效的主要因子。以《目標》一書舉例說明，書中童子軍健行的例子，有些童子軍走得比較快，有些童子軍走得比較慢，使得整個健行隊伍被拉得很長，不容易被管理，況且就算第一位童子軍很快就抵達了終點，但整個童子軍的完成時間是以最慢到達的童子軍時間為準。而讓童子軍健行隊伍快不起來的原因就是小胖子賀比，這就是這個童子軍健行隊伍系統中的限制瓶頸。

#### 第二步驟：充分的利用限制瓶頸

找出系統中的限制瓶頸後，我們就必須將管理重點放在限制瓶頸的產能上，因為它已經是造成企業組織達到更高績效的阻礙因子，所以我們就得協助它激發出它的產能極限。所以當童子軍健行隊伍的限制瓶頸定義為小胖子賀比時，我們開始瞭解讓小胖子賀比快不起來的原因，發現其背包放了許多不必要的東西，所以我們移除賀比背包內的部分物品，減輕他的負擔，以提升童子軍健行隊伍的整體績效。

### 第三步驟：非限制瓶頸資源充分配合

企業組織裏限制瓶頸通常每次只會有一個，其他資源則都屬於非限制資源，所以我們必須調整其他非限制資源來全力配合限制瓶頸的狀況，將限制瓶頸發揮到最佳的狀況。所以童子軍隊伍裡其他人都必須配合小胖子賀比的行進速度前進，並在大家的能力範圍內來幫助賀比。從這裡我們可以發現，個人表現凸出，並無法讓整個隊伍的成績最佳化，這是個團體競賽，個人最佳表現，在這裡是用不到的，所以企業組裡最需要追求高效率的地方，只有限制瓶頸站，而其他非限制瓶頸為了充分配合瓶頸站，或許績效看起來會比較差一些，但對於整個企業組織績效是最好的。團體比賽的精神是強調團體隊伍的整體表現，並非個人成績，舉例：划龍舟比賽亦是如此，如果在隊伍內有個人划槳速度很慢，那龍舟就會偏向一邊，甚至一直打轉根本無法前進，在企業組織管理裏，也是同樣道理。

### 第四步驟：打破系統限制瓶頸

我們將瓶頸站產能發揮到極致後，它可能已經不再是影響組織績效主要因子了，這時候，如果組織績效仍未達到最佳狀況，那表示瓶頸站已經轉移。

第五步驟：打破瓶頸站的限制後，必須再重新回到第一步驟，重新尋找系統內的限制瓶頸站。

## 第二節 限制理論相關研究

最佳生產技術 OPT (Optimized Production Technology)，主要是說可以提升企業組織產能的方法，原稱為最佳生產時間(Optimized Production Timetable)，直到1980年開始改稱為最佳生產技術。Dr. Goldratt將OPT應用於工廠生產上的人力和物料的調度計劃方法，之後Dr. Goldratt持續研究改善，最終成為著名的限制理論(Theory of Constraints,TOC)，限制理論最終目的是要增加產能以及減少浪費，讓組織不管當下或以後都能持續獲利。

### 2.2.1 限制驅導式排程方法 DBR (Drum-Buffer-Rope)

DBR生產排程法是由限制理論的理念發展出來一套排程方法，是由三個部分組成，分別為生產節奏(Drum)、緩衝(Buffer)、與投料時程(Rope)。Dr. Goldratt以行進中的軍隊來說明DBR生產排程理論，「生產節奏」可以代表鼓聲，就好像行軍隊伍中的鼓手利用鼓聲來引導軍隊的行進節奏。「緩衝」就好像士兵與士兵之間的距離，保持適當的間距，剛好可以用來應付突然發生的緊急狀況。「投料時程」代表的是軍隊中的紀律，規範著軍隊，讓隊伍井然有序不混亂，使得隊伍能同步前進的到達目的地。

將限制驅導式排成方法應用至企業組織生產現場中說明如下：

#### (1) 生產節奏(Drum)

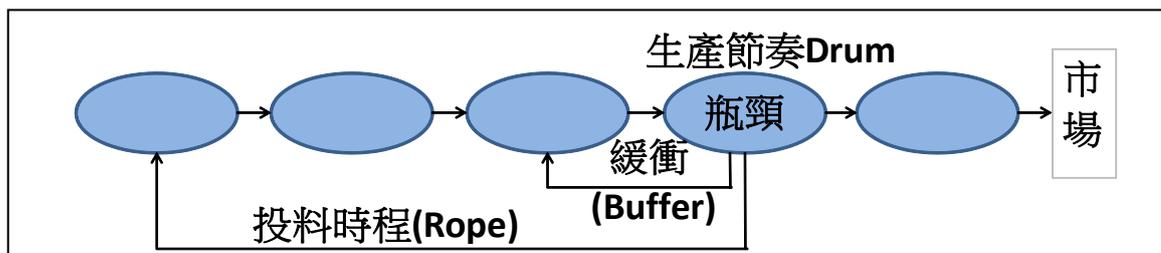
在生產排程上前後製程是有相關性，為了讓限制瓶頸站有充份發揮的機會，我們在生產排程系統上，會讓瓶頸站有較優先的排程順序，因為系統最佳的績效是決定於系統內的瓶頸站，所以瓶頸站是否能充分的發揮它的最佳績效，將是決定生產系統最佳表現的關鍵因子。簡單來說，在安排生產排程時必須先決定瓶頸站最佳利用的「生產節奏」，而這個「生產節奏」是依照瓶頸站的生產能力及需求所設計出來的，而且要讓生產系統可以順利運作，所以我們稱之為「生產節奏」(Drum)。

## (2) 緩衝(Buffer)

DBR生產排程法是利用「緩衝」時間的方法來達到保護限制瓶頸站的目的，為了能夠讓DRB「生產節奏」可以順利執行，我們必須採取一些適當的保護措施與系統上的配合。主要目的有二：第一、讓限制瓶頸站不會發生斷料或是排程不順問題；第二、確保排程訂單能夠及時到達瓶頸站出貨時間不會延遲。

## (3) 投料時程(Rope)

生產系統投料時機必須要依照 DBR「生產節奏」的需求，所以由 DBR「生產節奏」來回推出適當的「投料時程」，方法如下：由該排程訂單於 DBR「生產節奏」上預計開始作業時間減去受限瓶頸「緩衝」時間，就可以得到該排程訂單的適當「投料時程」。



圖二 限制驅導式現場排程方法

## 第三節 生產流程改善(BPR)

BPR 是生產流程改善"Business Process Reengineering" 的縮寫。企業組織面對激烈的市場競爭，不僅要能加強程序控制管理，更要不斷地對原有的生產流程進行根本性的思考和徹底的改造，使得代表企業競爭能力的相關指標：成本、品質、服務和交期，得以明顯的改善和提升，以適應市場競爭的需要。

### 2.3.1 BPR 的主要內容：

1. 觀念重建：要有全面性的思考邏輯，要從整體上確認企業的生產流程，追求全面性的優化，而不是個別最優化。

2. 流程重建：診斷出企業的核心流程和瓶頸環節，完全推翻原有作業模式，重新建構新的作業模式，重整流程使其優化運作流暢、更高效率。
3. 組織重建：必要時進行企業組織機構調整，使企業組織更能趨於合理、完善。

### 2.3.2 BPR 的優點：

1. 優化生產流程和組織結構，提高工作效率。
2. 透過過程創新，員工之間協調工作，減少冗員和浪費。
3. 敏捷化的組織結構，實現企業的高效運作。

從企業生產流程改善理論發現，限制理論與企業生產流程改善存在著一定共通性：

1. 強調整體效果：流程改造後的企業，改善了以往各部門只追求各自的效益目標，開始追求企業流程的整體效益目標，而限制理論更是強調整體效益最佳化為目標的思考邏輯，明確指出有些部門優化不但不能改善企業整體效益，反而會增加企業負擔。

2. 持續優化改善：企業生產流程改善不可能一次就完成，而是持續性長期的改善活動，需要建立不斷改善機制，持續改造評估與提升，而限制理論就是不斷的尋找限制，不斷的打破限制，再重新尋找限制，持續不斷的循環改善。

生產流程改善主要是對經營過程進行徹底的構思改造，以達到成本、品質、服務和交期等企業指標的顯著改善。而限制理論強調的是「抓出重點，以點帶面」逐步改善企業整體績效。

企業流程改善(BPR)是企業為了追求突破所運用之方法，而限制理論之基本概念，是透過找出限制、打破限制、流程重建與流程控制四大階段，進行跨組織整合，使得企業組織能夠有效破除主要流程所受企業內部體質限制。並藉由跨組織

整合破除限制後，再重新建構新的組織流程，以使得主要流程的效能能夠有更進一步之提升。故限制理論是企業流程改善的最佳方案。

## 第四節 總合設備效率 OEE

在半導體產業中，機台設備佔總成本額之最大部份，因而自動化程度高，避免因搬運或是人為因素減少了機器設備生產的時間，而設備產能是否能被充分利用成為實務上最被關注的議題之一。在這邊所說的充分利用產能，具備兩種意義，一是填滿生產線上所有機器設備的使用率，使其處於產能滿載的狀態，另一則是為有效利用機器設備，使其效率最大化，以達到最佳生產狀態。

OEE (Overall Equipment Effectiveness) 即

「機器以最快速度生產可賣產品之時間效益」

OEE 是由三個指標組成：

1. 時間稼動率(Availability)
2. 性能效率(Performance Efficiency)
3. 合格品率(Yield)

設備總合效率 = 稼動率 × 性能效率 × 合格品率

$OEE = Availability \times Performance Rate \times Yield$

由半導體製造技術協會(SEMITECH, Inc.設於美國德州奧斯汀)推廣的 OEE 設備效率衡量方法，正是可以針對設備的產能利用是否有效率加以衡量，並進而判定六大主要損失種類，這六大種類有：當機、調整、降速、暫停、低生產率(重製品)、良率，它改良一般純以單一層面來界定效率的方式，進而以三大構面綜合探討效率問題，這三大構面有：時間面、性能面、品質面，以避免使用單一指標會造成整體效率不升反降的缺點。例如，若純以設備之利用率為效率的衡量，則相關負責單位可能設法將填滿產能，不謹慎考慮過度生產對企業整體所產生的效益

或負面影響，例如對產品的品質減損等。又例如若單純以品質面為衡量指標，則相對負責單位可能在排程的設計上，多設立檢驗站或放慢生產速度，以確保良率提高，如果能夠以這三個構面去執行，就不會有任何遺漏的地方。

表一 OEE 六大主要損失種類(本研究整理)

總類	六大損失	範例
稼動率損失	機器當機	1. 機器設備故障
	機器設置與調整	1. 改機/修機時間 2. 作業員/原物料更換時間 3. 暖機時間
效率損失	機器閒置	1. 等待換線 2. 待機
	速度損失	1. 機台耗損 2. 機台過載
合格率損失	不合格品	1. 產品報廢 2. 重工品
	低生產率	1. 機器操作錯誤 2. 製程中產品損壞

OEE 之所以稱為設備「總合」效率，係指它考量了時間、績效及品質的因素，進而得出設備效率水準，使用OEE 得出衡量結果後，將可以產生以下效益：

1. 可得知理想設備效率與實際設備效率的差異，並確認效率損失及改進機會。
2. 辨識出改良作業對設備效率之提高是否有所助益，亦可知改良之效果。
3. 可回饋結果給設備供應商，供其研發或改進設備之設計。
4. 可作為確認與監控瓶頸機台之工具。

表 二 標準 OEE(本研究整理)

OEE指標	標準
OEE	85%
Performance Rate	95%
Availability	90%
Yield	99.90%

## 第三章 個案研究分析與探討

### 第一節 個案公司簡介

#### 3.1.1 公司背景

矽品精密成立於1984年5月，主要服務項目有各項積體電路封裝以及IC測試。2008年該公司營業額突破約達新台幣六百零五億元，目前全球員工人數大約有兩萬四千名。該公司股票（矽品：2325）在台灣證券交易所掛牌上市，在美國也有掛牌上市全國存託憑證（代號為SPIL）。

該公司提供一元化服務，以滿足客戶對積體電路封裝及測試之需求，從晶圓凸塊、晶圓測試、IC封裝、IC測試到配送等服務，並且經由不斷的品質改善以及技術創新，使該公司成為創造高附加價值之專業封測供應商，發展至今已成為全世界第三大封裝測試廠。

#### 3.1.2 主要技術簡介

##### (1) FCCSP(Flip Chip-CSP) 晶片尺寸覆晶封裝：

##### 產品特色：

- 適合需要高可靠度、高密度 I/O 的產品使用。
- 高電性需求及封裝體積小的產品。

##### 應用產品：

- 消費性電子產品、智慧型手機、行動裝置、手持式產品。
- 網通設備、數位視訊廣播(DTV)。

##### 產品優勢：

- 良好電性需求(Short Interconnects)、以及高接腳數(High I/O Count)
- 符合新世代晶片設計需求--高密度 I/O 設計。
- 製作成本降低以及晶片尺寸縮小。

由於高階手機功能越來越強大，使用的晶片越來越小，所需 I/O 數越來越高，傳統的打線難度越來越複雜，造成打線 CSP 封裝產品的整體成本高於覆晶封裝產品，故封裝技術也逐漸由打線封裝製程走向 FCCSP 製程。

## **(2) FCBGA(Flip Chip-BGA) 覆晶球柵陣列封裝：**

### **產品特色：**

- 良好電性功能、阻抗小降低雜訊干擾
- 高可靠度、高密度 I/O 需求的產品使用

### **應用產品：**

- 電腦內的繪圖卡晶片 GPU、晶片組、中央處理器 CPU。
- 基地台及網通等設備。

### **產品優勢：**

- 擁有高密度 I/O 設計優勢，可以減少晶片的尺寸以及大幅降低成本。
- 低電信干擾、電性功能佳。
- 高效率的散熱能力。

整體來說，覆晶球柵陣列封裝製程，可以擁有最佳的電性功能，低信號干擾、低電性損耗以及高效率散熱功能，並且低微距製程 I/O 密度大幅地提高，相對的縮小封裝尺寸，更能符合高性能、高階產品需求，目前為封裝製程的主流產品。

## **(3) CSP(Chip Scale Package) 晶片尺寸封裝：**

### **產品特色：**

- 晶片尺寸與封裝尺寸接近 1:1
- 封裝尺寸小而且相當薄
- 通過高可靠度認證 Drop Test

#### **應用產品：**

- 高敏感 IC 產品及 ASIC 音訊
- 數位介面，USB，HDMI，DVI，S-ATA
- 圖像處理器、應用處理器、能源管理、多媒體控制器。

#### **產品優勢：**

- 重量輕、尺寸輕薄短小、厚度薄。
- 較佳的電性，電容性低、電感應性低。

CSP 產品優點是體積輕薄短小，晶片尺寸幾乎與封裝面積形成約為 1:1 的大小，是一般 BGA 封裝的 1/3，所以 CSP 產品主要可以應用在消費性及通訊產品，如手機、PDA、藍芽耳機、平板電腦等。

#### **(4) WLCSP(Wafer Level Chip Scale Packaging) 晶圓級晶片尺寸封裝技術：**

WLCSP 是指直接在晶圓上進行 IC 封裝和 IC 測試，再切割成 IC 單體，並將 IC 使用機台以 pick up 方式將其放置於 tape 中，再提供後段 SMT (Surface Mounting technology) 廠進行上板作業，放置於 PCB 上。

WLCSP 與一般 BGA/QFF 產品更為輕薄，而且輕，可有效地縮減封裝尺寸，適合用於輕薄的行動裝置產品，而且因為不需要再進行封裝，故產品價格可以較一般封裝產品更為低廉。

#### **(5) SiP(System in Package) 系統級封裝：**

SiP 封裝指的是將一個或數個系統的全部或大部份電子功能配置成一個整合型基板產品，SiP 封裝可以依據不同功能的晶片進行系統封裝，如簡單的 Side by Side 晶片佈局，也可採用複雜的晶片堆疊(Stack Die)、多晶片封裝 MCP(Multi-chip Package) 技術、多晶片模組 MCM(Multi-chip

Module)技術、PiP(Package in Package)、PoP(Package on Package)、等不同方式進行系統封裝。

其主要應用於行動通訊產品、記憶卡、平板電腦、基地台、數位相機、個人電腦、伺服器、數位錄影機等。

### 3.1.3 生產基地

矽品目前擁有四座生產中心分別位於台中潭子：大豐廠、中山廠、彰化的彰化廠及中部科學園區的中科廠。此外，位於新竹科學工業園區內也有提供專業測試服務。

### 3.1.4 S.W.O.T分析

#### 1. Strengths 優勢：

- 已取得多家國際客戶認證。
- 提供客戶 IC 後段全程服務。
- 先進封裝技術已達量產階段。
- 全球第三大專業封測大廠。

#### 2. Weaknesses 劣勢：

- 投注資金高，學習曲線不易縮短。
- 龐大資本支出折舊率，回收期長。
- 高技術人才培養不易。
- 組織龐大，溝通協調不易。

#### 3. Opportunities 機會：

- 一元化之服務增加議價之空間。
- 親近大陸半導體市場、更有效率地配置生產要素。
- 專業半導體製造服務，協助客戶以最精簡的成本獲得最佳商業收益。

- 晶片製造商為了降低成本，委外代工趨勢勢必越來越明顯。

#### 4. Threats 威脅：

- 產品多樣化，使得客製化的封測設計越來越複雜。
- 封裝與測試技術成本越來越高，促使封測研發費用隨著上升。
- 中國大陸的新起。

個案公司雖身為全球前三大IC封裝廠，仍受到外部環境變化及內部限制問題，使得經營越來越困難，再加上客戶對於交期與品質要求越來越高，國內外競爭封裝廠的品質良率逐漸提升，如果只是想靠技術及品質上的優勢來做客戶服務看來已經不夠，企業組織需做好內部流程改造，提供給每位顧客優良的品質及快速交貨能力來提高市場佔有率，尤其公司的願景是成為世界級封裝測試標竿，更需要做好每個製造流程及品質控管才能達到公司的願景。

## 第二節 IC 封裝製程介紹

IC的製造流程，由IC設計開始；而從事IC設計的單位有IC設計公司（無晶圓廠，Fabless）及整合型半導體廠（Integrated Device Manufacturer，IDM 廠，從IC設計、IC製造、封裝測試到銷售全部包辦）的IC設計部門。IC依照客戶需求設計後，再依照IC晶片製造的流程，將IC電路設計圖轉印在玻璃的表面上，而這塊玻璃就是我們所謂的IC光罩，光罩就好像製造IC的模具。IC光罩製造完成後，再利用微影成像技術，以化學品光阻劑為主，將IC光罩上細微的電路圖一層層將其複製在矽晶圓上，再使用化學品硝酸清洗、蝕刻，就可以完成IC晶圓的製造。緊接著就是IC晶圓測試，然後再將測試合格的晶片經由切割取下，接著再進行封裝、測試，即完成IC製造。

# 半導體製程介紹



IC封裝後可讓IC與電子元件間訊號傳遞更可靠，並且藉由封裝材料(如液態膠、樹脂、銀膠)，將電子線路間傳遞所產生之熱量去除，以避免IC晶片因作業中所產出的高熱而燒損。當然，IC封裝除了能夠提供上述的功能外，也可以使IC產品具有美觀的外型，並且為客戶提供了簡便的操作步驟以及安全的使用。

目的主要有下列四項：

1. 提供機械強度保護IC內部晶片。
2. 隔離外在環境影響（水氣、電性干擾），確保IC功能正常。
3. 提供效率較高之散熱（散熱片製程）。
4. 提供可挾持之形體安裝對應載板上。

隨著電子產品特性與功能多元化，並在IC晶片朝向「輕、薄、短、小、多功能性、價廉及環保」的高標準要求下，IC封裝技術須持續向上提昇，以符合電子產品需求以充分發揮其功能。依照目前IC元件與電路板接合方式封裝型態可分為兩大類型：

一、引腳插入型PTH(Pin Through Hole)：IC元件引腳通常設計成針狀或是薄板形狀金屬片，以供插入預製腳座或電路基板的貫孔進行焊接將其固定，主要的封裝型態為PDIP(Plastic Dual-In-Line Packaging)。

二、表面黏著技術SMT(Surface Mount Technology)：IC元件利用其金屬引腳或是電極凸塊引腳利用助焊劑先黏貼於電路基板上再以焊接方式固定，主要的封裝型態為SOP(Small Outline Package)、TSOP(Thin Profile Small Outline Package)、BGA(Ball Grid Array)、SOJ(Small Outline J-leaded)與QFP(Quad Flat Package)。

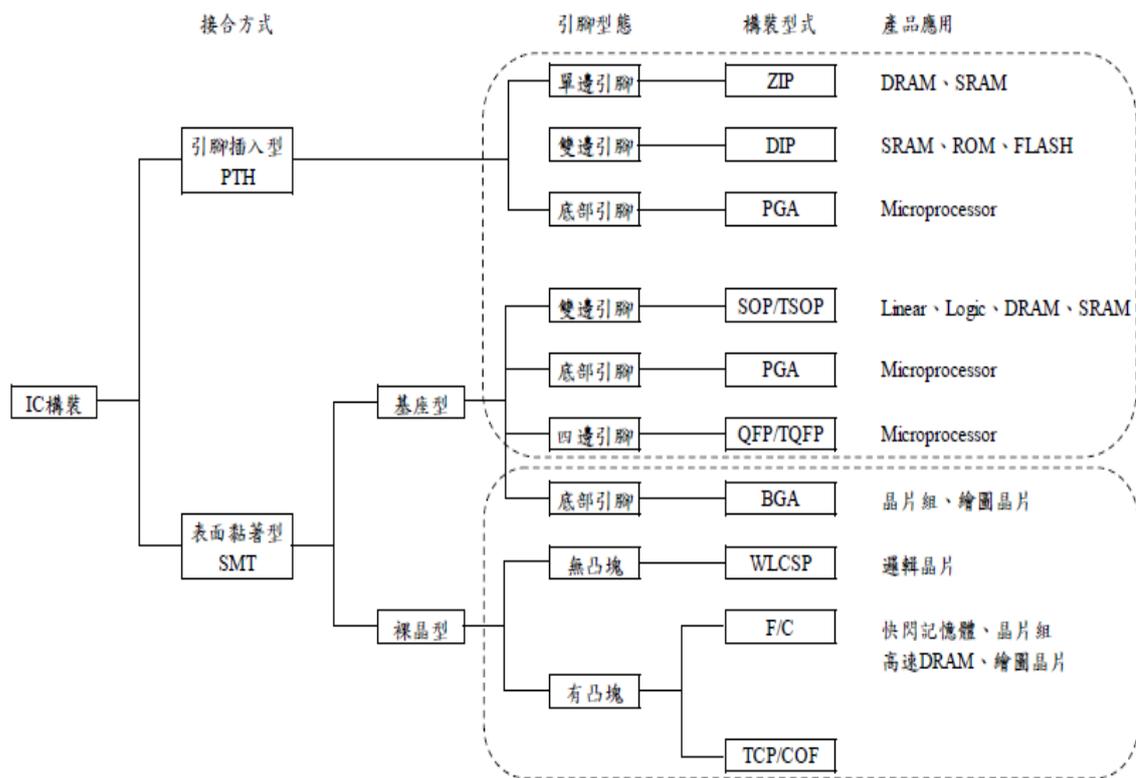


圖 四 IC 封裝型態(資料來源：工研院經資中心 ITIS 計畫)

依封裝方式可分為下列三種：

一、導線架封裝(Lead Frame Package)：以金屬打線(一般以金線為主)方式將晶片上的接點連接到對外的引腳上，這些引腳主要功能讓晶片與外界電路可以連通，這

些引腳則位於在封裝體的側邊，這種類型的封裝包括有ZIP單邊引腳、DIP、SOP、TSOP雙邊引腳及QFP四邊引腳等。

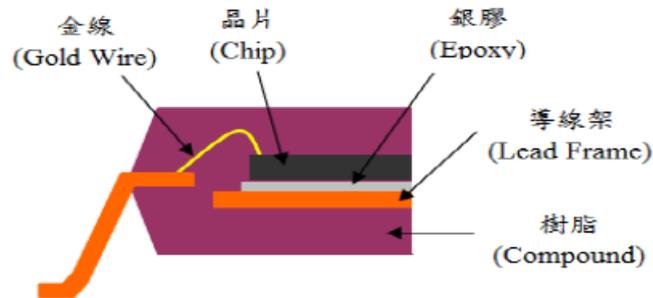


圖 五 導線架產品封裝側視圖

二、球柵陣列封裝BGA(Ball Grid Array)：半導體封裝製程技術越來越進步，資料處理速度越來越快，資料處理頻率越來越高，元件也越做越小，因此，導線架封裝已無法滿足新產品的需求，而擁有高腳位、高頻的基板封裝就此產生。與導線架封裝不同的是，基板封裝是以基板的下方對外接腳（連通電路），因面積遠大於晶片的四個側邊，因此，能容納的接腳數也遠大於導線架封裝。此外，對外電路的連通也改用錫球。

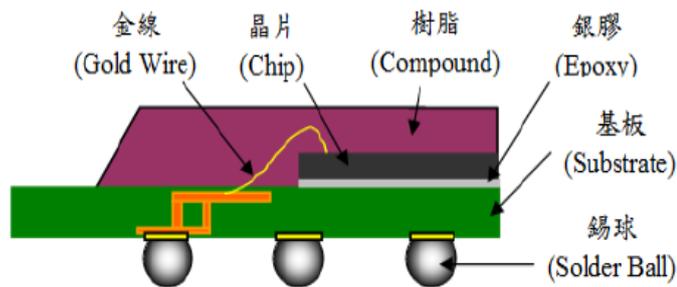


圖 六 球柵陣列產品封裝側視圖

三、覆晶封裝FCBGA (Flip-Chip)：是將晶片翻轉向下，並藉由晶片上金屬凸塊與承載基板接合的封裝技術，前段製程必須先在晶圓上進行晶圓植凸塊(Wafer Bump)。因為覆晶封裝具有大幅縮小封裝體積的優點、降低電流干擾，符合電子產品小型化的趨勢，發展潛力相當看好。尤其，隨著覆晶封裝技術越來越成熟，相對的成

本快速降低，目前已有不少產品使用覆晶封裝技術，其中以晶片組、可程式邏輯晶片、繪圖晶片、微處理器等，都是成長潛力最強的封裝產品。

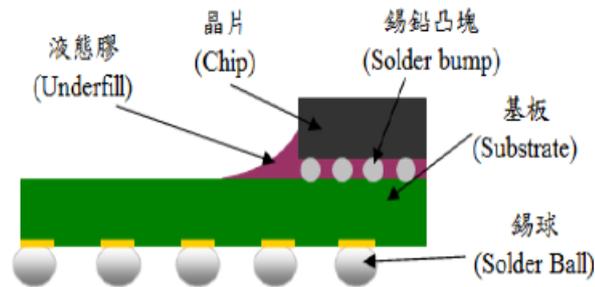


圖 七 覆晶產品封裝側視圖

以往封裝主流以導線架封裝為主，但是隨著IC晶片接腳數愈來愈多、傳輸速度越加越快，尺寸要求輕薄短小，基板封裝就立即成為半導體封裝市場的主流，然而隨著科技越來越進步，晶片很快的微縮至奈米世代，覆晶封裝技術也開始漸漸受到重視。傳統導線架封裝製程與覆晶封裝製程差異，如表四所示。

表 三 傳統封裝製程與 Flip Chip 製程差別

產品別	項目	I/O連接方式	外部連接	封裝方式	產品應用
Wire Bonding		Gold Wire	L/F:金屬導腳 Substrate:Solder Ball	樹脂模壓	記憶卡、網路卡、一般電子產品等
Flip Chip		Solder Bump	Solder Ball	液態膠	CPU、繪圖處理器(GPU)、晶片組等

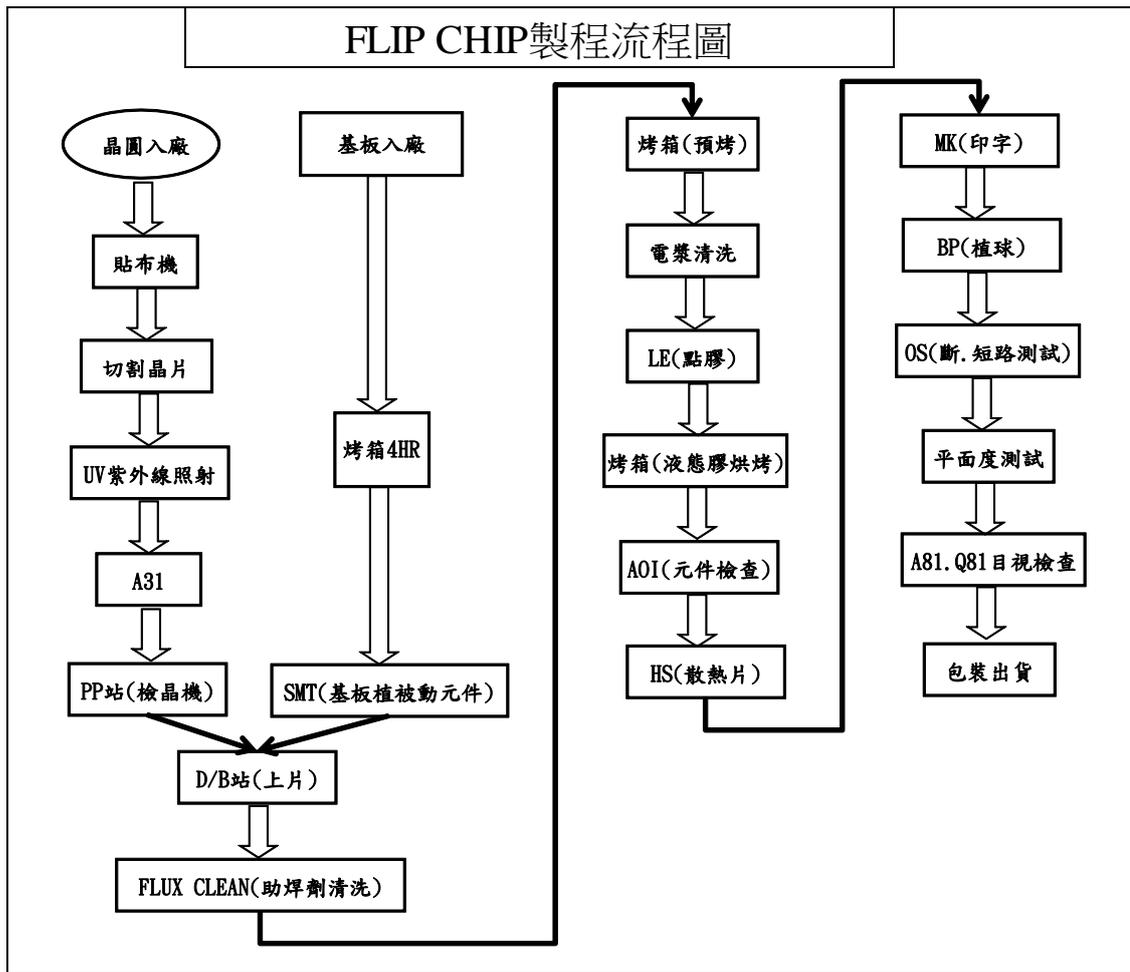
### 第三節 覆晶製程封裝

覆晶封裝技術 (Flip-Chip)，又稱「倒晶封裝法」，此種封裝技術主要不同於過去晶片封裝的方式，早期半導體封裝方式是將晶片放置於基板上(中間使用銀膠黏著)，再用金屬打線技術(wire bonding)將晶片與基板上之金屬連結點連接起來。而覆晶封裝技術則是在晶片上連接點直接長凸塊 (bump)，然後再將晶片翻轉過來使凸塊與基板上的預錫(Pre-Solder)熔融連結而得名。

Flip Chip 封裝技術是由 IBM 在 1960 年所開發出的封裝技術，IBM 最早在大型主機上研發出覆晶封裝技術。由於覆晶封裝技術比其它球柵陣列封裝技術在與基板或襯底的互連形式要方便得多，覆晶封裝技術已發展多年，「覆晶」二字是表示將 IC 晶片反轉置正面與基板電路接合的技術；IC 使用覆晶封裝技術可以降低晶片與基板間電子訊號傳輸距離，可適用於高速 IC 元件的封裝，也能縮小 IC 晶片封裝後的尺寸，使得晶片封裝前後大小近乎相同。整體來說，覆晶封裝技術可以降低訊號干擾、達到高傳輸速度、訊號密度高、最低連接電路損耗、高效率散熱、電性傳導佳等優點；此外，在高頻 IC 設計上和微細線距製程，當 IC 晶片 I/O 密度大幅提高，更可顯現出覆晶封裝技術的優點，目前大多應用在較高階產品，範圍包含微處理器、繪圖晶片、高速晶片組、無線高頻通訊產品等。其高性能的優點足以證明「覆晶」技術對封裝的重要性。

覆晶封裝製程與鉚線封裝製程主要不同的特點，就是利用晶片上的錫鉛凸與有被動元件之基板，作接點的連通。此一製程將比鉚線封裝製程具有更良好之傳遞電性並有高接點密度，使得此項產在相同運作功能下，有較小之產品尺寸以符合未來發展的趨勢。覆晶封裝製程步驟包括：入料檢驗 (IQC)、晶圓貼片(Wafer Mount, WM)、晶圓切割(Die Sawing, DS)、紫外線照射(UV)、晶圓切割後檢查(A31)、表面黏著(Surface Mounting Technology, SMT)、上片(Die Attach, DA)、助焊劑清

洗(Flux Cleaning, FC)、點膠前預烤(Pre-bake, PB)、電漿清洗(Plasma Cleaning, PN)、點膠(Under-Fill, UF)、烤箱(Curing, UFC)、元件檢查(AOI)、上散熱片(Heat Sink, HS)、印字(Marking, MK)、植球(Ball Placement, BP)、電性測試(Open-Short Test, OS)、腳平面度檢查(Lead Scan, LS)、最終外觀檢查(Final Visual, FV)、包裝(Packing)等相關製程。由上述可知，覆晶產品封裝流程說明與流程圖如圖八所示：



圖八 覆晶產品封裝流程圖

## 一、晶圓入料檢驗IQC(Wafer Incoming Inspection)

晶圓來自晶圓製造商，對晶圓做入料檢驗，主作業為資料核對、晶圓外觀檢驗、晶粒外觀檢驗、晶圓厚度量測，並依照客戶需求進行研磨作業與檢查紀錄是否有不良的晶圓，同時基板（substrate）也入烤箱烘烤，以下線至下一製程作業。

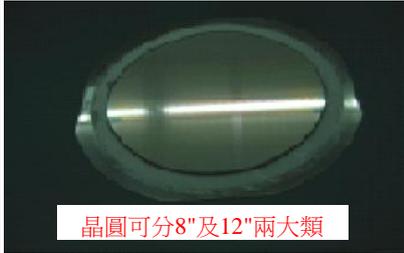
編號	作業流程	圖示及機台(Wafer線)	圖示及機台(Substrate線)
1	晶圓入廠 基板入廠	 晶圓可分8"及12"兩大類	 基板來料時的包裝
	功用及注意事項	(1)Wafer由IQC目視檢查晶圓外觀有無破片.資料面是否符合.BUMP部份. ... (2)Substrate由基板室人員負責檢查並拆封 (3)兩線同時進行作業	

圖 九 晶圓/基板實物示意圖

## 二、晶圓貼片(Wafer Mount, WM)站

將晶圓背面貼上貼布(Tape)與鐵圈固定晶圓，增加晶圓割片時之穩定性，防止晶圓因割片移動，造成切割誤差與晶片崩缺，並方便人員拿取，減少因人為疏失而造成損害，以利於下一製程。

編號	作業流程	圖示及機台(Wafer線)	圖示及機台(Substrate線)
2	WAFER MOUNT (貼布)	 貼布機	 基板烤箱
	功用及注意事項	1.當晶圓正在貼布時,此時基板也進入烤箱烘烤 2.貼布機是將鐵圈.晶圓.貼布黏在一起,以承載切割後的晶片	

圖 十 晶圓貼片站作業示意圖

### 三、晶圓切割(Die Sawing, DS)站

晶圓需使用晶圓切割機將晶圓切割成一小顆獨立之晶片(Chip)，以下線至下一製程作業。

編號	作業流程	圖示及機台(Wafer線)	圖示及機台(Substrate線)
3	D/S切割晶片	 晶片切割機	 基板烤箱
	功用及注意事項	當晶圓正在依客戶指定尺寸進行切割至適當大小的晶片時,此時基板在烘烤中	

圖 十一 晶圓切割站作業示意圖

### 四、UV照射紫外線(UV)站

使用紫外線照射晶圓貼布，使貼布黏性降低，方便D/B站吸取晶片上片作業。

編號	作業流程	圖示及機台(Wafer線)	圖示及機台(Substrate線)
4	UV照射紫外線	 UV光照射機	 基板烤箱
	功用及注意事項	<ol style="list-style-type: none"> <li>1.UV照射紫外線可分為8"及12"兩種:其功用是為了使貼布黏性降低,方便D/B站吸取晶片上片作業</li> <li>2.基板仍在烘烤中</li> </ol>	

圖 十二 晶圓 UV 站作業示意圖

### 五、A31外觀檢驗(A31)站

晶圓在A31作外觀檢查破片、刮傷、正面崩缺、缺凸塊…等等的目視品質檢查。

編號	作業流程	圖示及機台(Wafer線)	圖示及機台(Substrate線)
5	A31	 晶片檢查	 基板烤箱
	功用及注意事項	1.晶圓在A31由QC作破片.6U(刮傷).28(正面崩缺).6S(缺凸塊)…等等的目視檢查 2.基板仍在烘烤中	

圖 十三 晶圓 A31 站作業示意圖

### 六、元件表面黏著 (Surface Mounting Technology, SMT) 站

此時基板出烤箱，使用錫膏將元件（電阻、電容）銲接於基板銲墊上，以利下一製程作業。

編號	作業流程	圖示及機台(Wafer線)	
6	SMT站 基板植被動元件	 錫膏印刷機	 基板植被動元件區
	功用及注意事項	SMT站上被動元件主要目的是保護及穩定電路,此站與PP站屬同步作業,兩站完工後一起送D/B站	

圖 十四 元件表面黏著站作業示意圖

七、上片(Die Attach, DA)站

將晶片正面(有錫球凸塊)先沾附助焊劑(Flux),並將其置於基板(Substrate)上,使其Bump與基板上之預錫(Pre-solder)結合,並經過迴錫爐(Reflow)固定於基板上。

編號	作業流程	圖示及機台(Wafer線)	
7	D/B上片站		
	功用及注意事項	主要功能是先將晶片上到基板上,再經由流焊爐使晶片與基板結合為一	

圖 十五 上片站作業示意圖

八、助焊劑清洗上片(Flux Clean, FC)站

主要功能是清洗上片站後殘留的助焊劑及錫珠。

編號	作業流程	圖示及機台(Wafer線)	
8	Flux Clean 助焊劑清洗		
	功用及注意事項	其主要功能是清洗上片站後的助焊劑及錫珠	

圖 十六 助焊劑清洗站作業示意圖

### 九、預烤 (Prebake, PB)站

主要是點膠前將FC清洗後的材料烘乾，避免品質異常。

編號	作業流程	圖示及機台(Wafer線)
9	預烤Prebake	
	功用及注意事項	此站主要是將清洗後的材料烘乾

圖 十七 預烤站作業示意圖

### 十、電漿清洗(Plasma Cleaning, PC)站

利用電漿（固定比率之氮、氧氣或是氮、氫氣混合氣體）中正負離子交互撞擊表面，去除雜物及增加表面附著力，確保晶片與基板間清潔，以利下一製程作業。

編號	作業流程	圖示及機台(Wafer線)
10	LE前電漿清洗	
	功用及注意事項	主要是清洗基板表面清潔,使其增加點膠附著性

圖 十八 電漿清洗站作業示意圖

### 十一、點膠(Under-Fill, UF)站

將液態樹脂塗於晶片周圍，利用虹吸原理使其填滿晶片與基板之間隙，避免後續製程污染及外力破壞以保護內部Bump，再將點膠完成的IC 送入烤箱中，強化點膠後液態樹脂的穩定性。

編號	作業流程	圖示及機台(Wafer線)
11	點膠LE	
	功用及注意事項	目的是加強晶片附著於基板上的強度及保護晶片四周

圖 十九 點膠站作業示意圖

### 十二、烘烤 (Curing, UFC)站

主要是將點在晶片內的膠材烘乾、固化。

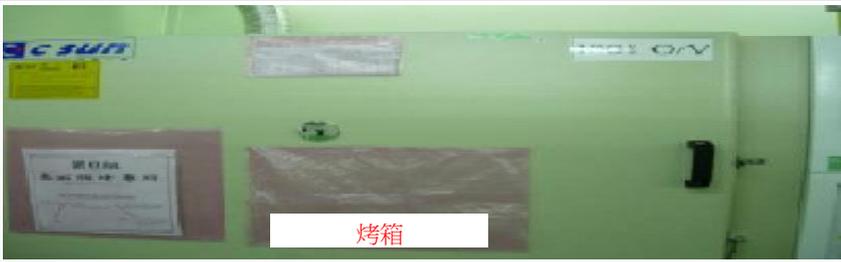
編號	作業流程	圖示及機台(Wafer線)
12	液態膠烘烤 UF Cure	
	功用及注意事項	將晶片上的膠烘乾

圖 二十 烘烤站作業示意圖

### 十三、元件檢查 (AOI)站

主要是檢測材料上的被動元件位置是否正確、有無缺件、立件、偏移、空錫…等等的檢測。

編號	作業流程	圖示及機台(Wafer線)
13	元件檢查	 AOI自動光學檢測機
	功用及注意事項	主要是檢測被動元件位置是否正確.有無缺件.立件…等等的檢測

圖 二十一 元件檢查站作業示意圖

### 十四、散熱片(Heat Sink，HS)站

先於晶片上塗佈散熱膠與基板四周塗佈絕緣膠，之後再覆蓋散熱片，送入烤箱中，將強化絕緣膠與散熱膠的穩定性並連接更緊密、堅固的固定於基板上。

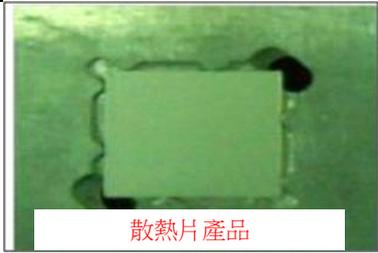
編號	作業流程	圖示及機台(Wafer線)
14	散熱片站 H/S	 散熱片機  散熱片產品
	功用及注意事項	晶片上加上散熱片加強產品散熱功能

圖 二十二 散熱片站作業示意圖

### 十五、印字(Marking, MK)站

目的為印上廠商Logo 及編號，賦予每個IC身分識別，使客戶與使用者能辨別封裝體資訊內容與意義。

編號	作業流程	圖示及機台(Wafer線)
15	正印 M/K	
	功用及注意事項	將晶片印上批號.客戶批號.LOGO.製造地點.廠家,以利材料辨識

圖 二十三 印字站作業示意圖

### 十六、植球(Solder Ball Placement, BP)站

於基板背面的植球墊(Solder Paste)上塗佈一層助焊劑，利以加強錫球與植球墊接合作用，除去表面氧化物，並於植球進行檢測。再到迴錫爐中將錫球熔融與錫球墊產生共金接著，並利用刮球機檢測植球是否有虛錫的狀況，接著再到清洗機除去助焊劑殘留，並使用靜電消除器去除靜電。主要將錫球植於基板以完成球狀導腳，與外部做資訊的連通。

編號	作業流程	圖示及機台(Wafer線)
16	植球 BP	
	功用及注意事項	主要是將錫球植於IC背面

圖 二十四 植球站作業示意圖

十七、 電性測試(Open/Short test, OS)站

本站目的主要為一連串的生產製程後，做初步的品質驗證。電性測試治具中的頂針將與基板後每一個錫球接觸，藉由通過電流，進而測試基板或晶片中是否有Open或Short 的問題。

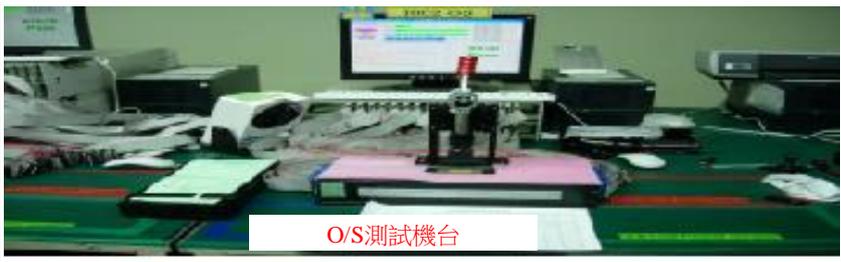
編號	作業流程	圖示及機台(Wafer線)
17	O/S	
	功用及注意事項	檢測材料是否短路或斷路

圖 二十五 電性測試站作業示意圖

十八、 腳平面檢查(Lead Scan, LS)站

使用3D影像擷取技術，判斷植球面是否有缺球、多球及植球平面度不良檢測；印字面檢測是否印字缺畫、明暗及身分識別。

編號	作業流程	圖示及機台(Wafer線)
18	平面度測試	
	功用及注意事項	檢測材料平面度.球面.及被動元件有無異常

圖 二十六 腳平面檢查站作業示意圖

十九、 最終外觀檢驗(Final Visual, FV)站

利用視覺針對IC成品作最終的外觀檢查，將不良品進行修改，以確保產品出貨時品質能符合顧客需求。

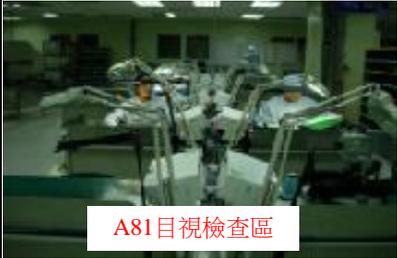
編號	作業流程	圖示及機台(Wafer線)	
19	A81.Q81 目視檢查		
	功用及注意事項	ICOS檢測完後經由A81全檢.Q81抽檢詳細檢查確認材料外觀有無異常	

圖 二十七 最終外觀檢驗站作業示意圖

二十、 包裝(Packing)

依照客戶需求進行出貨前的包裝作業。

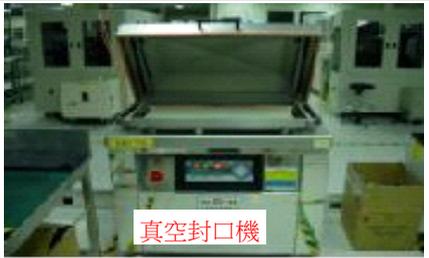
編號	作業流程	圖示及機台(Wafer線)	
20	包裝出貨		
	功用及注意事項	1.最後經由打包機將材料固定,並依客戶指示方式打線,防止材料鬆脫掉落 2.再到真空封口機包裝後出貨	

圖 二十八 包裝站作業示意圖

## 第四節 IC 封裝代工產業特性

IC封裝測試屬於半導體的後段製程，工作站別區分多、工作特性為勞力密集製造、產品多樣化、生命週期短，多為代工為主。

IC封裝廠主要有下列幾點特性(李嘉柱，李佳穎，1999)：

### 1. 客戶導向

IC 封裝廠大部分都是接受客戶訂單委託製造，所以完全要照客戶的需求進行封裝生產。客戶對於每個產品規格都會指定其規格，如封裝方式、指定物料或指定特定的生產設備等相關作業條件。

### 2. 生產管制條件多

為了確保產品品質，IC封裝生產過程中，實施很多的管制條件以避免人為失誤造成產品損失影響客戶。這些管制條件包括生產參數管制、生產批量管制、生產環境管制、原物料使用管制等等。

### 3. 產品多樣化

在同一條生產線上經常會存在著許多不同的產品型態，主要是因為封裝產品種類繁多，且每批批量有大有小，使得生產線相對變得比較複雜。

### 4. IC產品生命週期短

電子產品屬消費性產品加上發展速度快，以至於生命週期很短，數個月就會有新產品推出。所以IC封裝型態也需朝向更高封裝技術發展，以保持企業競爭優勢。

### 5. 生產批量大小不一

IC封裝生產並無標準批量，批量有大有小，一切都以客戶需求為主。

### 6. 資訊交流透明快速

由於半導體封裝業的競爭激烈，業者間的競爭除了降低生產成本、提昇品質之外，也提供客戶充分的資訊服務。例如：提供生產批品質報表、每日WIP 報表，以及網際網路查詢功能給予客戶。

由以上特點可看出，IC封裝設備精密且汰換快速、IC封裝製程複雜。IC封裝廠的努力方向為縮短交貨時間、降低生產成本、提高良率等等，以增加其利潤。而要達成此目的，尚須管理者掌握正確且快速的資訊，以供決策者做出合理的決策。本研究即使用限制理論手法，改善生產效率，縮短生產交期。

## 第四章 個案公司導入實證

### 背景說明

個案公司為半導體封測產業全球前三大公司，其客戶及產品組合繁雜、多樣，如何在競爭激烈的半導體封測產業中持續保持領先地位，交期與品質是重要的課題，其中以交期為各家半導體封測廠中競賽的重要項目之一，其結果可影響客戶訂單量多寡甚至投單的意願，進而影響公司營收。

本研究以該公司覆晶製程封裝(Flip-Chip)部門為研究對象，此部門主要生產高階覆晶封裝產品為主，繪圖晶片、中央處理器、手機晶片等高階產品，該部門生產線分別有八個主要生產站點：DB/FC/LE/AOI/HS/MK/BP/LS，每日最大出貨產能約200K~250K pcs，平均C/T為5.4D，H客戶急單需求每日出貨產能287K，C/T需求5D，產能需求遠高於該部門最大出貨產能，C/T也超出客戶需求，故需要在最短時間內將產能擴充15%，每日出貨產能由250K-->287K，C/T縮短到5D內。故本研究將以限制理論改善手法，引導該部門完成客戶需求，達到客戶滿意。

### 第一節 個案導入之改善過程

#### 一、推行組織

本次改善小組是由該部門最高主管從各部門中徵選經驗豐富的主管或是具有相關經驗的資深同仁參與，提供其專業面的建議與經驗交流，由生產管制工程師、品管工程師、設備工程師、製造課長等相關人員所組成的專案改善小組，並從該小組中推選出一位專案經理，主導整個專案計畫之進行、負責各部門溝通協調、控制與跟催進度，在經過挑選過後以對生產流程及製程最具專業知識且經驗豐富的製造課課長擔任此次的專案經理，如圖二十九所示，為此次改善小組的組織圖

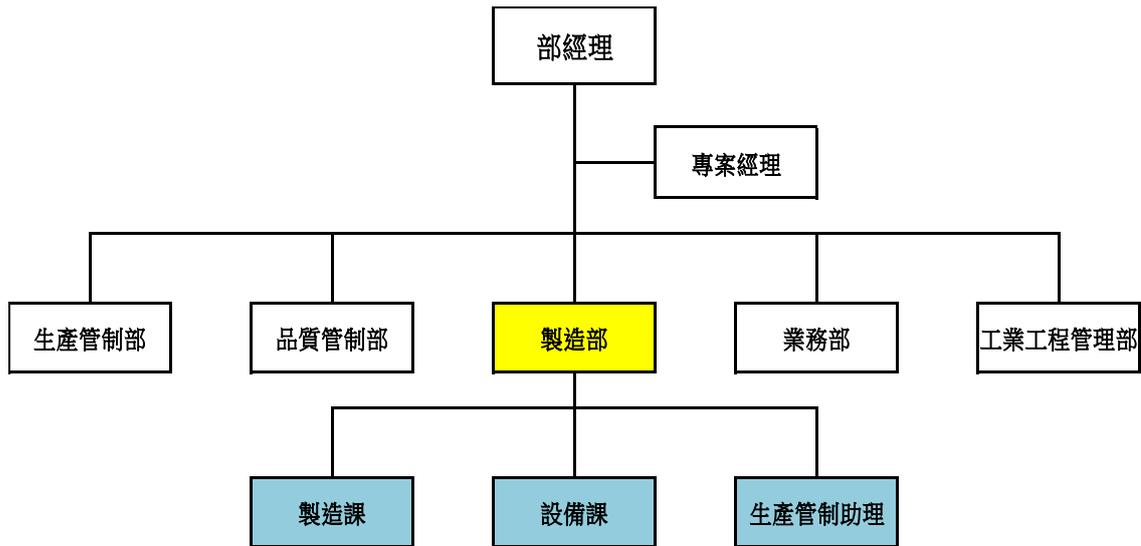


圖 二十九 組織圖

本研究專案組織由部經理領導，其各單位功能如下：

部經理：負責引導各部門團隊順利完成專案。

專案經理：運用限制理論技巧分配任務進行專案。

生產管制部：負責前端產品與投入量安排，並與客戶達成交期承諾。

品質管制部：負責專案進行過程中品質把關，不因生產變更而影響品質。

製造課：負責作業人員、機台、原物料、貨品生產順暢。

設備課：負責維護保養機台、改機及修機。

生產管理助理：為工廠與生產管制部之連繫窗口，負責承接訂單並排程至工廠作業。

業務部：負責取得穩定的業務量，與客戶達成訂單承諾。

工業工程管理部：負責現場人、工、料、機改善及效益驗證。

## 二、問題思考

限制理論是以一個系統為導向改善過程的方法，為了增加系統的有效產出（可以視有效產出為最後加工完成的產品數量），故改善小組應該要找到該部門的瓶頸站點或機台，並針對瓶頸站點或機台以限制理論手法提出改善方法。

依照限制理論的思維程序，改善小組首先要思考的是，此個案需要改變什麼？先找出個案計畫中所遇到的問題是什麼？蒐集常遇到的各項問題，將彙整繁瑣的表象問題具體陳述，並找出核心問題。運用限制理論首先思考3個問題

### 1. 要改變什麼？

資源閒置是最大浪費

### 2. 要改變成什麼？

Drum-Buffer-Rope & Buffer Management

### 3. 如何做改變？

- a. 找出限制
- b. 決定buffer大小
- c. 產生排程(DRUM)
- d. 控管投料

再根據限制理論所提出的五個改善步驟，第一步驟就是找出系統內的限制瓶頸，第二個步驟充分的利用限制瓶頸，第三個步驟非限制瓶頸資源充分配合限制瓶頸，第四個步驟打破系統限制瓶頸，第五個步驟再找出系統內下一個限制瓶頸，重新回到第一個步驟，如此持續不斷地進行改善。

## 三、提出對策

事件：a. 客戶需求每日出貨產能 287K

b. C/T 縮短至 5D

問題：a. 該部門目前每日產出量(250K) < 客戶需求量(287K)

b. 平均 C/T 為 5.4D > 客戶需求 5D

表 四 客戶需求與工廠產出量 Gap 比較

Date	Before 6/15	6/15~6/21	6/22~6/28	After 6/29
客戶需求	250	260	270	287
Gap	0	10	20	37
百分比	0%	4%	8%	15%



Year 2015	JAN	FEB	MAR	APR	MAY	Avg
Target	5.50	5.50	5.50	5.50	5.50	5.50
C/T	5.42	5.33	5.31	5.61	5.35	5.40

圖 三十 2015 1~5 月 C/T 實績

解決方案：運用 TOC 之觀念進行改善

TOC 之思考程序

1. 要改變什麼？

符合客戶需求每日出貨產能 287K，C/T 縮短到 5D

2. 要改變成什麼？

一個作業相當流暢、產能最佳化作業產線，每日產能最大化 > 287K，C/T < 5D

3. 要如何改變？

施行 TOC 持續改善流程

## 第二節 限制理論五個核心步驟持續改善

### 1. 找出系統限制

由 IE 工程師至該部門生產線實際量測各站作業工時以及 C/T，找出該部門瓶頸限制站點，經過實際量測 D/B~LS 各站日產能及 C/T 分析結果，如圖 三十/三十一 所示

→ 確認該部門限制瓶頸站點在 LE 站（產能最小 250K/D，C/T 最長 1.5D）

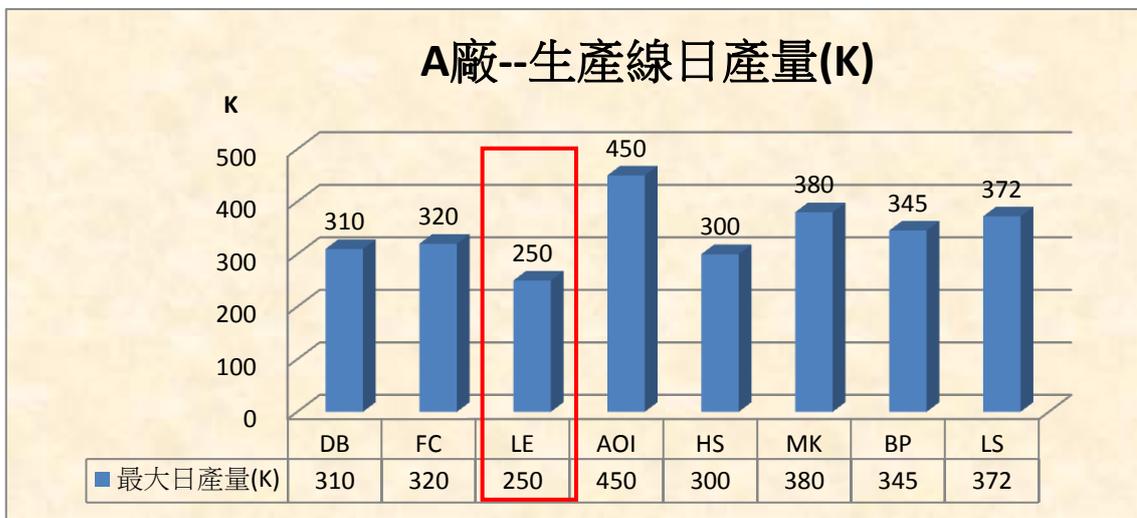


圖 三十一 DB~LS 各站日產能分析(改善前)

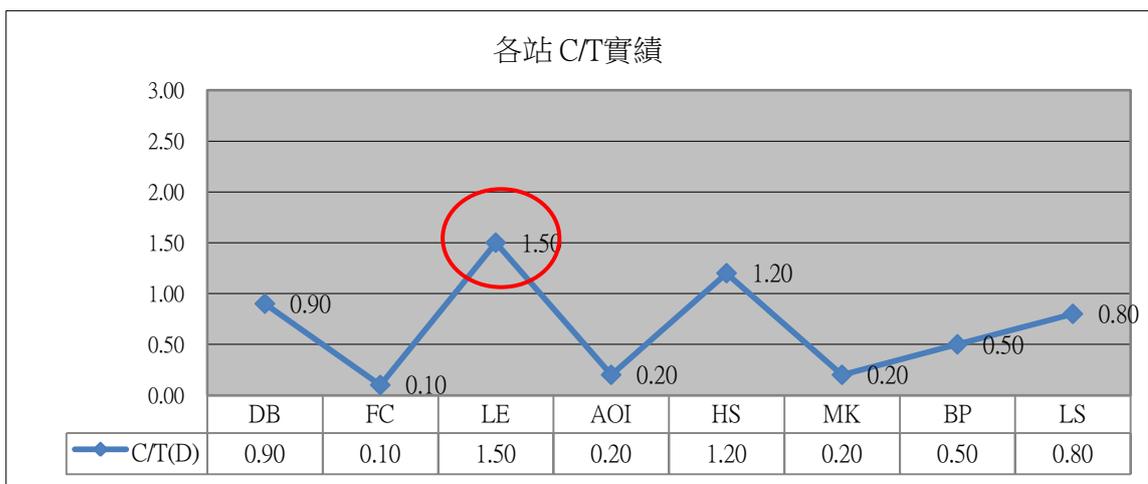


圖 三十二 DB~LS 各站 C/T 分析(改善前)

## 2. 決定如何充分利用系統限制

於是改善小組討論後，決定運用 OEE 改善手法找出瓶頸站損失原因，並提出改善，充分發揮瓶頸站產能

$$\begin{aligned} \text{OEE} &= \text{作業效率} \times \text{稼動率} = \frac{\Sigma \text{產量} \times \text{機台標準工時}}{\Sigma \text{機台實際稼動工時}} \times \frac{\Sigma \text{機台實際稼動工時}}{\Sigma \text{機台應到工時}} \\ &= \frac{\Sigma \text{產出工時}}{\Sigma \text{機台應到工時}} = \frac{\Sigma \text{產量} / \text{UPH}}{\Sigma (\text{機台數} \times 24 \text{ HR})} \end{aligned}$$

實績：

表五 2015 1~5 月 OEE

Year 2015	Target	JAN	FEB	MAR	APR	MAY	Avg
OEE Target	85%	85%	85%	85%	85%	85%	85%
Output Target	( K pcs)	7100	7600	7450	8400	8300	251
Output Actual	( K pcs)	7130	7512	7412	8315	8210	249
OEE	85.0%	67.8%	69.8%	69.6%	74.3%	73.0%	73%
作業效率	95.0%	92.1%	87.1%	88.5%	89.1%	88.9%	90%
稼動率	90.0%	73.7%	80.1%	78.6%	83.4%	82.1%	81%

由該部門 1~5 月 OEE 實績確認，平均產能為 249K 、OEE 73% 、作業效率 90% 、稼動率 81%，與目標 85% 差異 12%，經小組討論後，提出各項改善

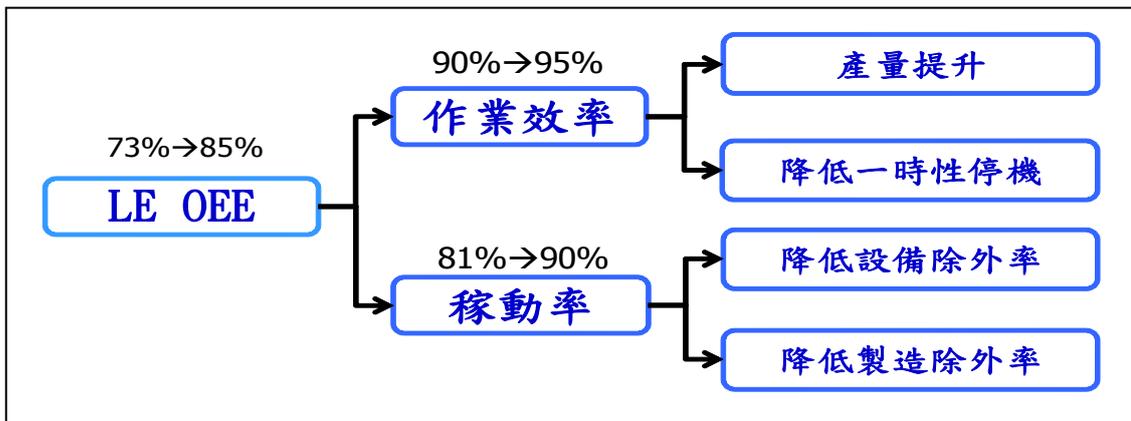


圖 三十三 OEE 分析圖

**作業效率最大化 -Target 90%-->95%**

→ 產量提升->3%

→ 降低一時性停機->2%

-Method

a. BY 大批作業，降低換批頻度

b. 機台小停機由專職 EQ 立即處理

c. 2 小時回報即時產出量(依瓶頸站反應準則)

d. 產出不足 OP 需檢討並告知原因作改善

**稼動率最大化(除外率最小化)-Target 81%-->90%**

→ 降低設備除外(清閥時間)->5%

→ 降低製造除外(休息時間)->4%

-Method

a. 增購備用閥 2 組，提升 5%

b. 休息安排輪休 120min→ 60min，提升 4%

表 六 稼動率提升

除外率項目	除外百分比	As is	To Be	節省時間(天)	節省百分比	提升產量(天)
清閥	6.3%	清閥加上buyoff需90分/天	增購備品offline清閥20分/天	70分	5%	14K
休息	8.3%	休息120分/天	休息輪休60分	60分	4%	13K
Total	19%	NA	NA	130分	9%	27K

**3. 全力配合步驟 2 之決策**

依 DBR(Drum-Buffer-Rope)生產排程方法全力配合瓶頸站需求。

a. 生產節奏(Drum)

協調前站 DB ~ FC 站開機依瓶頸站需求開機，配合瓶頸站生產節奏。

b. 緩衝(Buffer)

DB ~ FC 產出量超前，將 WIP 堆在瓶頸站，避免 LE 待料及換批機會，發揮產出最大化。

c. 投料時程(Rope)

排程訂單於 DBR 「生產節奏」上預計開始作業時間減去受限瓶頸「緩衝」時間，就可以得到該排程訂單的適當「投料時程」。

4. 打破系統的限制

經設備工程師、品管工程師、製造主管小組討論後，提出提升瓶頸站 LE 站產能的改善方法，點膠程式優化提升 UPH，進而提升產能

UPH 提升目標與方法：

(1)提升方法:點膠程式 Loop 減少

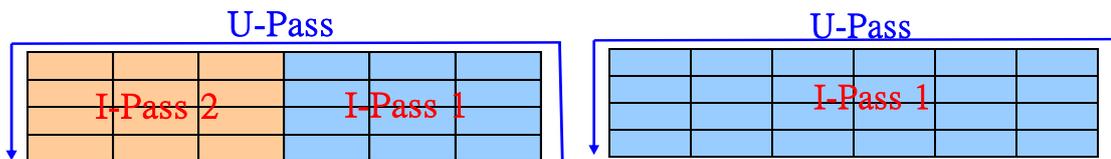


圖 三十四 LE 站 UPH 改善

(2)實績:1. H 客戶產品 PKG 21\*21=>Loop\*3 →Loop\*2

2. UPH 327 →450 提升 37%--OEE 提升 2%

5.重新尋找新的限制

經改善後，IE 工程師重新量測 DB~LS 各站日產能分析，LE 產能已提昇至 310K/D，整體 C/T 也縮短到 5 天內，瓶頸站將轉移至 HS (300K/D)，我們必須回到第一個步驟，重新開始，如此持續不斷地進行改善。

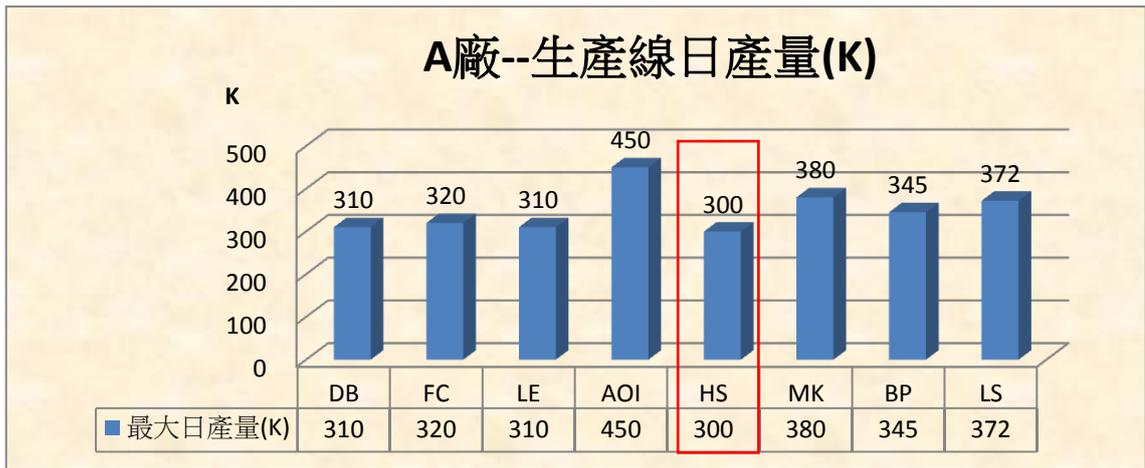


圖 三十五 DB~LS 各站日產能分析(改善後)

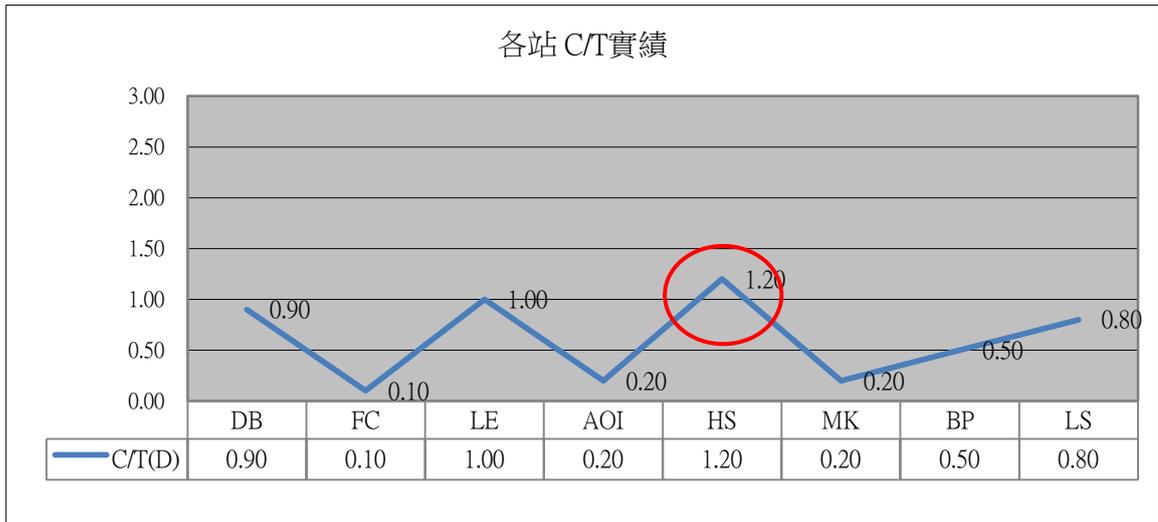


圖 三十六 DB~LE 各站 C/T 分析(改善後)

# 第五章 結論與建議

## 第一節 研究結論

半導體產業近年來環境快速的變化與競爭激烈下，縮短生產交期絕對是提升企業競爭力的重要的關鍵。所以必須透過持續不斷的改善來增加競爭力，在限制管理機制下，我們改變了管理者以往管理生產的方法，透過限制管理機制讓生產系統環境更為穩健。

故本研究透過限制理論導入個案公司，以實證研究結果，做以下的結論：

- (1) 找出個案公司在生產排程上的瓶頸限制，每日產能最少的站點 LE，並加以改善。
- (2) 採用限制理論結合總合設備效率 OEE 改善計畫，成功的改善個案公司生產效率。

本研究以限制理論改善方法找出個案公司生產排程上的瓶頸限制，並且運用限制理論方法結合總合設備效率 OEE 改善計畫，改善該公司生產效率及產能提升，不僅能符合客戶需求，讓客戶滿意，也大幅度的提升了瓶頸站產能，並將瓶頸限制轉移到下一個站別，本次的改善專案，不僅幫助該公司省去了許多不必要的設備花費，並在設備總合效率 OEE 方面也提升到最佳水準，如圖三十七所示，

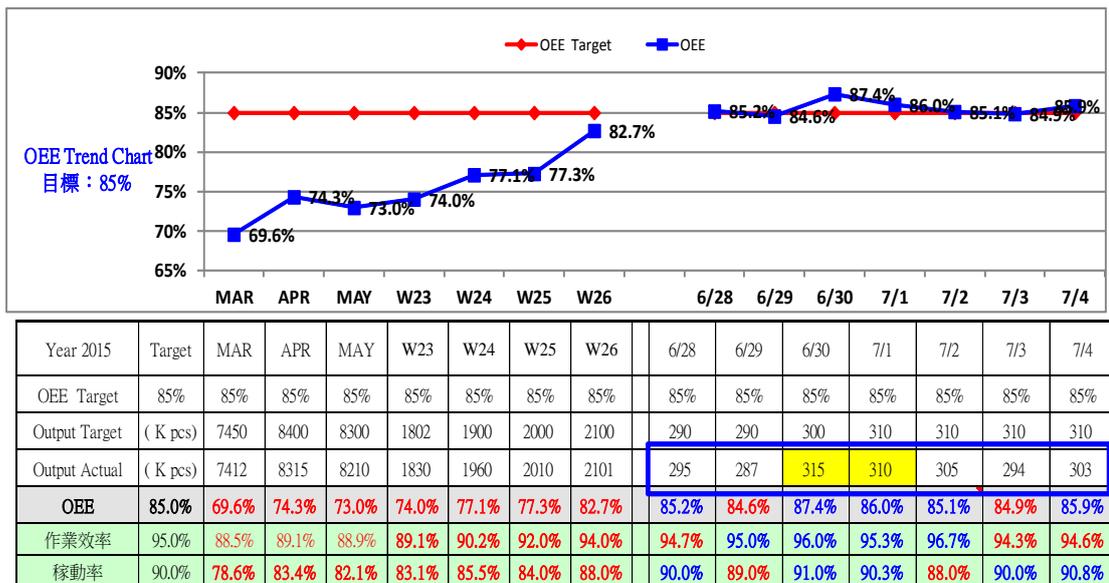


圖 三十七 LE 站 OEE trend Chart

在 C/T 方面也縮短在 5D 內，如圖三十八所示，

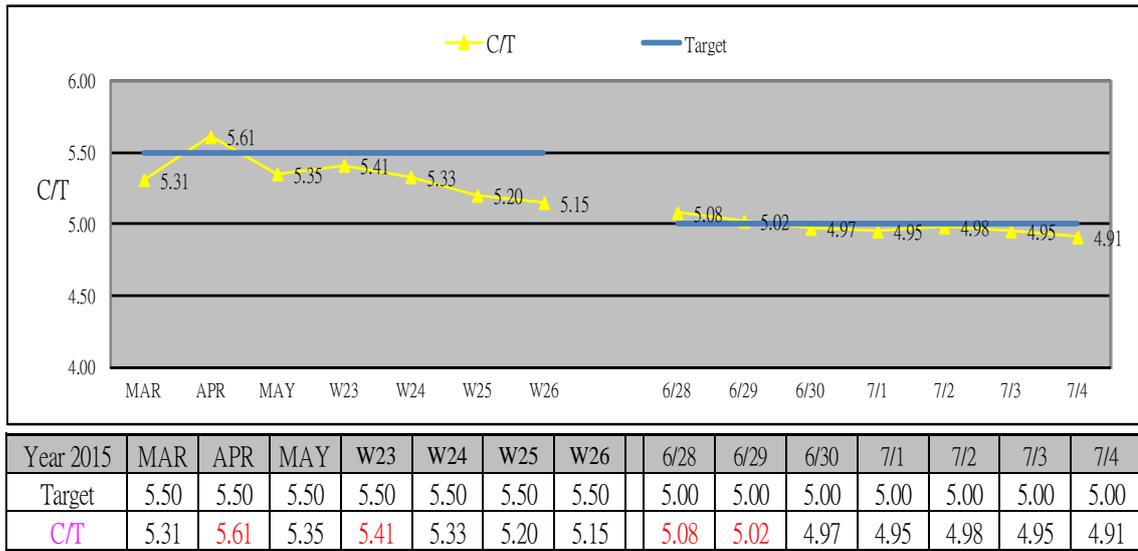


圖 三十八 LE 站 C/T trend Chart

## 第二節 管理意涵

企業組織在導入專案時應該在組織內先取得共識，更重要的是企業經營者必須親自參與並全力支持，相關專案人員也必須經過一系列專業教育訓練，改變過往舊思維接受新觀念，這些成員也必須給予充分授權，每個成員朝著創造組織最大利潤目標前進，這就是限制理論的精神。一般來講，限制理論要成功導入首先就必須去除舊思維，而這部份往往是最難的，企業組織中每個單位都有其管理目標，每個單位都各自往自己所訂定的目標不斷的改善、突破，但以限制理論來說這樣的情形對組織並不是最有利的狀況，以限制理論觀點，企業組織應該是找出組織內最弱的一環並加以改善，所以對於限制理論如何能導入成功，有以下幾點可供企業參考

### 1.要有明確的目標和範圍

如覆晶製程封裝(Flip-Chip)部門，每日產能提升至 287K 或提升產能 15%

### 2.需事先完整評估分析與規劃

事前與各部門主管訪談，了解問題並加以分析，再透過改善小組詳細規劃改善時程

### 3.需取得企業組織最高管理者授權與全力支持

任何一種改善工具或理論的導入，必須先取得高階主管授權及支持，並由專責人員，避免授權不足或因兼任忙碌而造成成效不佳及流於形式。

### 4.導入期間必須定期開會檢討與溝通

改善小組需定期開會檢討進度與效益並彼此溝通與取得共識

### 5.全面展開必須有明確的目標並加以評估

示範部門改善後，則可以開始全面展開,但必須先評估全面展開的必要性，針對不同屬性部門，分別訂定目標，否則齊頭式目標，反而會造成反效果

此外，當企業組織使用限制理論改善了一個瓶頸，那也就代表會有下一個瓶頸會出現，如此不間斷的改善，持之以恆，將企業組織推向另一個高峰，這才是面對大環境不景氣，企業保持競爭力的不二法門。

### 第三節 後續建議

面對未來科技產品，日新月異，不斷創新，高容量、高效率、低耗能、小型化的產品應運而生，尤其是3C產品智慧型手機和平板電腦，為其大宗；在市場高度需求下，高容量、高效率產品使用高階生產技術2.5 IC和3D IC封裝，且主要運用在高單價產品上，所以台積電順勢跨入高階封裝領域，至於其是否會與封測廠形成競爭的關係仍是未定，但造成半導體產業不小衝擊，整個半導體市場環境可說是競爭相當激烈，因此半導體相關產業，面對如此環境變化，也無不積極開發新技術來因應，以提升公司競爭力，避免被淘汰，再加上大陸以併購方式積極加入戰局，企業唯有不斷的突破自己，求新求變導入適合的生產管理方法，才有辦法在這紅海市場生存下去。

雖然個案公司剛開始導入TOC改善專案時，並不十分順利，管理者並未積極投入、基層員工不清楚專案目的，導致各單位各作各的完全無法發揮限制理論的成效，但是在經過與高層溝通討論後取得認可和共識後，由高層親自領導整個專案進行，制定出改善專案組織架構及各單位工作分配執掌，並針對相關人員進行專案教育訓練，如此讓限制理論得以在個案公司順利導入，並完成第一階段的改善成果。

然而限制理論改善到最後一個步驟時，限制已經轉移到另一個站點，所以必須重新再回到第一個步驟，定義出系統新的限制點。但是，很多組織管理者往往到最後這個步驟就停止，就此而滿足，這是企業管理者最常見的惰性。當企業組織經過不斷的檢討改善，必然訂定了許多規定與政策，但是，在時空/環境的不同，或許這些問題老早就不存在了，如果沒有拿出來重新仔細地一一檢視這些規定，

累積越來越多的規定，必然會影響組織的運行，甚至會拖垮整個組織。

因此，面對大環境的不景氣，企業經營者對於成本管理更是斤斤計較，想要在既有的機器設備、人力、環境…等有限資源下提升公司獲利，限制理論確實是一個值得推行的管理工具。

## 參考文獻

### 一、中文文獻

1. 王銘祿(2007)，限制理論之有效產出運用於成本管制之探討，逢甲大學工業工程與系統管理學研究所碩士論文。
2. 何育恩(2005)，半導體封裝排程管理資訊系統之研究，中原大學資訊管理學系碩士學位論文。
3. 李嘉柱，李佳穎，「半導體後段廠之現場生產流程與作業管制條件分析方法探討」，機械工業雜誌，第12月號，1999，第109-115頁。
4. 易良翰(2009)，應用精實價值流分析於IC封裝廠生產力提升之探討，成功大學工學院工程管理碩士在職專班碩士論文。
5. 林鼎順(2015)，考量人力資源限制導入限制驅導式排程之研究-以LED晶圓製造廠為例，成功大學工業與資訊管理學系碩士在職專班學位論文。
6. 徐承志(2015)，限制理論運用於個案公司之製程改善，逢甲大學經營管理碩士在職專班碩士論文。
7. 高德拉特(Eliyahu M. Goldratt)著，目標-簡單而有效的常識管理，齊若蘭譯，天下文化，台北，1997年。
8. 高德拉特(Eliyahu M. Goldratt)著，絕不是靠運氣，周伶利譯，天下文化，台北，1997年。
9. 高德拉特(Eliyahu M. Goldratt)著，關鍵鏈-TOC式專案管理，羅嘉穎譯，力天香港有限公司，香港，1997年。
10. 張瑋(2013)，限制理論應用於跨國大型系統工程專案，逢甲大學工業工程與系統管理學系碩士在職專班碩士論文。
11. 陳俊宏(2004)，應用限制理論在封裝廠訂單履約管理之研究，交通大學工業工程所碩士論文。

12. 黃國禎(2014)，限制驅導式方法於 TFT-LCD Array 廠瓶頸機台排程應用，清華大學工業工程與工程管理學系工程碩士在職專班學位論文。
13. 劉基鵬(2010)，應用限制理論提升 TFT-LCD 廠產能-以 A 公司為例，逢甲大學經營管理碩士在職專班碩士論文。
14. 賴怡君(2006)，運用限制理論的思維建構-IC 封裝材料基板之採購策略，逢甲大學工業工程與系統管理研究所碩士論文。
15. 謝志偉(2013)，精實六標準差改善製程之實證研究-以 S 公司為例，東海大學高階經營管理碩士在職專班碩士論文。

## 二、英文文獻

1. Chakravorty, S. S., & Hales, D. N. (2016). Improving labour relations performance using a Simplified Drum Buffer Rope (S-DBR) technique. *Production Planning & Control*, 27(2), 102-113.
2. Costas, J., Ponte, B., de la Fuente, D., Pino, R., & Puche, J. (2015). Applying Goldratt's Theory of Constraints to reduce the Bullwhip Effect through agent-based modeling. *Expert Systems with Applications*, 42(4), 2049-2060.
3. Dettmer, H.W. (1997). *Goldratt's Theory of Constraints: A Systems Approach to Continuous Improvement*. ASQC Quality Press, Milwaukee, WI.
4. Gardiner, S. C., Blackstone Jr, J. H., & Gardiner, L. R. (1993). Drum-buffer-rope and buffer management: impact on production management study and practices. *International Journal of Operations & Production Management*, 13(6), 68-78.
5. Gartner Group ,(1999), "Knowledge Management : Understanding the Core value and science.", Gartner Group Business Technology Journal, July.
6. Goldratt, E. (1999). *Theory of constraints*. North River Press, Great.
7. Goldratt, E. M. (2008). *The choice*. North River Press.
8. Kershaw, R. (2000). The theory of constraints: Strategic implications for product pricing decisions. *Journal of Cost Management*, 14(1), 4-11.
9. Lea, B. R. (2007). Management accounting in ERP integrated MRP and TOC environments. *Industrial Management & Data Systems*, 107(8), 1188-1211.
10. Mabin, V. J., & Balderstone, S. J. (2003). The performance of the theory of constraints methodology: analysis and discussion of successful TOC applications. *International Journal of Operations & Production Management*, 23(6), 568-595.
11. Rand, G. K. (2013). Theory of constraints. In *Encyclopedia of Operations Research and Management Science* (pp. 1545-1545). Springer US.
12. Riezebos, J., Korte, G. J., & Land, M. J. (2003). *Improving a practical DBR buffering approach using Workload Control*. *International Journal of Production Research*, 41(4), 699-712.

13. Ronen, B., & Starr, M. K. (1990). Synchronized manufacturing as in OPT: from practice to theory. *Computers & Industrial Engineering*, 18(4), 585-600.
14. Scheinkopf, L. J. (1999). *Thinking for a change: putting the TOC thinking processes to use*. CRC Press.
15. Schragenheim, E., & Ronen, B. (1990). Drum-buffer-rope shop floor control. *Production and Inventory Management Journal*, 31(3), 18-22.
16. Shoemaker, T. E., & Reid, R. A. (2005). Applying the TOC thinking process: a case study in the government sector. *Human Systems Management*, 24(1), 21-37.
17. Sivasubramanian, R., Selladurai, V., & Rajamramasamy, N. (2000). The effect of the drum-buffer-rope (DBR) approach on the performance of a synchronous manufacturing system (SMS). *Production Planning & Control*, 11(8), 820-824.
18. Wang, J. Q., Sun, S. D., Si, S. B., & Yang, H. A. (2009). Theory of constraints product mix optimisation based on immune algorithm. *International Journal of Production Research*, 47(16), 4521-4543.
19. Watson, K. J., Blackstone, J. H., & Gardiner, S. C. (2007). The evolution of a management philosophy: The theory of constraints. *Journal of operations Management*, 25(2), 387-402.