

東海大學電機工程學系  
碩士論文

橫向型 IGBT 等效電路的溫度特性分  
析

The Temperature Dependence of  
LIGBT Equivalent Circuit

The seal of Tungshai University is a circular emblem with a scalloped border. It features a central cross and the university's name in both Chinese and English. The Chinese characters '東海大學' are at the top, and 'TUNGSHAI UNIVERSITY' is written around the bottom. The year '1955' is also visible at the bottom.

研究生：張筵崧  
指導教授：龔正 博士

中華民國 106 年 7 月

# 東海大學電機工程學系碩士學位

## 考試委員審定書

電機工程學系研究所 張筵崧 君所提之論文

橫向型 IGBT 等效電路的溫度特性分析

經本考試委員會審查，符合碩士資格標準。

學位考試委員會 召集人：黃智方 (簽章)

委員：黃家義

苗新元

龔正

中華民國 106 年 06 月 30 日

# 致謝

首先要感謝我的家人在經濟狀況欠佳的情況下仍願意支持我就讀碩士，還要感謝我的指導教授龔正博士在這兩年中細心的指導，讓我充分學習到許多半導體的相關知識，著實是受益良多。本論文的完成也要感謝清華電子所的黃智方老師以及東海電機所苗新元老師的建議，讓我的論文完成度能夠更高。而在研究當中，也要感謝黃宗義學長及鄭家慧學姊在百忙之中解決我模擬軟體使用上的問題，以及在進入實驗室初期受到湧昌學長的指導以及照顧，讓我可以快速的進入狀況，也感謝智凱學長及育彰學長在我撰寫論文的時候給予我許多的意見及幫助，還有不能忘記的國灃、冠州、明翰同學在我論文到了撞牆期的時候幫我打氣加油，給予我繼續堅持下去的信心。兩年的回憶點滴在心頭，要感謝的人真的太多，也期盼大家在未來可以實現自己的理想及抱負。最後感謝東海大學給我如此豐富的碩士生活。

# 摘要

本文以雙層磊晶結構之橫向型絕緣閘雙極性電晶體(LIGBT)為元件結構，再與 HSPICE 模擬軟體所建立的等效電路進行結合。經由 SVISUAL 元件模擬結構所萃取的電流套用於等效電路結構中，並對此電路作溫度特性的分析。藉由反覆的研究萃取方法並加以改善及研發更為適合的萃取法。以此反推回元件結構上作出改善，並且設計出得到提高導通電流之結果，從而驗證該萃取方法之可靠度及精準度。



# Abstract

In this paper, we used Double Epitaxial Layer Lateral Insulated Gate Bipolar Transistor(LIGBT) to be our structure, and it combined with HSPICE simulation. The current extracted by the SVISUAL element analog structure is applied to the equivalent circuit structure and analyze the temperature characteristics of the circuit. By further research the extraction methods to improve and develop the most suitable extraction method. We used this method to make improvements on the structure and designed the result of improving on-state current. At last verify the reliability and accuracy extraction method.

# 目錄

致謝.....	I
摘要.....	II
Absract.....	III
目錄.....	IV
圖目錄.....	VII
表目錄.....	XI
第一章 緒論.....	1
1.1 研究動機.....	1
1.2 研究方法.....	1
1.3 論文結構.....	2
第二章 功率元件原理.....	3
2.1 前言.....	3
2.2 崩潰機制.....	3
2.2-1 稽納崩潰(Zener Breakdown).....	4
2.2-2 穿透崩潰(Punch-Through Breakdown).....	5

2.2-3 雪崩崩潰(Avalanche Breakdown) .....	6
2.2-4 轉折崩潰(Snapback Breakdown) .....	7
2.2-5 氧化層崩潰(Oxide Breakdown) .....	7
2.3 導通電阻 .....	7
2.3-1 通道電阻 .....	9
2.3-2 漂移區電阻 .....	9
2.4 LIGBT(Lateral Insulated Gate Bipolar Transistor) ..	10
2.4-1 IGBT 演進 .....	11
2.4-2 LIGBT 操作於反偏 .....	15
2.4-3 LIGBT 操作於順偏 .....	15
2.4-4 IGBT 與 POWER MOSFET 的比較 .....	17
第三章 元件結構與萃取參數技術 .....	19
3.1 IGBT 雙層磊晶結構 .....	19
3.2 模擬採用方法 .....	22
3.2-1 閘極偏壓(Gate Voltage) .....	30
3.2-2 汲極偏壓(Drain Voltage) .....	31
3.2-3 溫度變化 .....	32

3.3 最終等效電路及最佳化萃取 .....	33
第四章 結果與改善.....	41
4.1 參數萃取結果.....	41
4.2 改善方向 .....	48
4.2-1 摻雜濃度調變 .....	49
4.2-2 光罩設置改變 .....	50
4.3 改善結果 .....	54
第五章 結論 .....	69
參考文獻.....	70



# 圖目錄

圖 2- 1PN 接面示意圖.....	5
圖 2- 2 稽納崩潰能帶圖.....	5
圖 2- 3 穿透崩潰.....	6
圖 2- 4 雪崩崩潰.....	6
圖 2- 5 轉折崩潰.....	7
圖 2- 6 元件寄生電阻.....	8
圖 2- 7 (a)IGBT (b)LIGBT.....	10
圖 2- 8 初代 IGBT.....	11
圖 2- 9 PT-IGBT.....	12
圖 2- 10 NPT-IGBT[35].....	13
圖 2- 11 Trench-IGBT.....	14
圖 2- 12 電子電流流向.....	16
圖 2- 13 電流隨 PNP 電晶體流至陽極端 P <sup>+</sup> 區.....	16
圖 2- 14 電洞電流流向.....	17
圖 3- 1 雙層磊晶 IGBT.....	19
圖 3- 2 元件結構參數對應圖(繪製圖未依照實際尺寸).....	20
圖 3- 3 元件結構.....	22

圖 3- 4	LIGBT 等效電路.....	23
圖 3- 5	LIGBT 等效電路圖 .....	24
圖 3- 6	LIGBT 電壓等位線圖.....	25
圖 3- 7	汲極偏壓 10V 與 100V 電壓漸進線.....	26
圖 3- 8	不同的 LIGBT 等效電路 (a)N-drift 到 P-epi 的電流流向 (b)加上 P-epi 內部流向(c)更多電流分支 .....	28
圖 3- 9	LIGBT(a)電子電流密度(b)電洞電流密度.....	29
圖 3- 10	開極偏壓 4 伏特與 5 伏特 IV 曲線圖 .....	31
圖 3- 11	飽和電流曲線.....	32
圖 3- 12	I-V 曲線溫度變化圖.....	33
圖 3- 13	等效電路及電流路徑圖.....	34
圖 3- 14	等效電路與元件結構結合圖 .....	34
圖 3- 15	橫向( $I_{eL}$ )與垂直( $I_{eV}$ )的電子電流.....	35
圖 3- 16	橫向( $I_{pL}$ )與垂直( $I_{pV}$ )的電洞電流.....	36
圖 3- 17	流程檢驗法 1.....	36
圖 3- 18	等效電路標示無等電位位置.....	37
圖 3- 19	流程檢驗法 2.....	38
圖 3- 20	$I_{e1}$ 、 $I_{pL}'$ 與 $I_{pV}'$ 電流路徑圖.....	39
圖 3- 21	$I_{e2}$ 電流路徑圖 .....	39

圖 4- 1 $V_G=4V$ 與 $5V$ 的模擬結果比較 .....	41
圖 4- 2 $V_G=6V$ 與 $7V$ 的模擬結果比較 .....	42
圖 4- 3 $V_G=8V$ 的模擬結果比較.....	42
圖 4- 4 閘極偏壓 $5V$ 下，溫度 $25^{\circ}C\sim 100^{\circ}C$ 圖表.....	43
圖 4- 5 橫向 BJT 電阻萃取 .....	44
圖 4- 6 垂直流向 BJT 電阻萃取.....	44
圖 4- 7 後段電洞電流電阻萃取.....	44
圖 4- 8 後段電子電流電阻萃取.....	45
圖 4- 9 汲極偏壓 $20\sim 100V$ 電洞電流密度變化.....	46
圖 4- 10 電晶體 $\beta$ 值.....	47
圖 4- 11 IGBT 與 MOSFET 電流量比較 .....	48
圖 4- 12 汲極端結構.....	48
圖 4- 13 $1e15cm^{-3}$ 摻雜濃度下電洞電流密度.....	49
圖 4- 14 $7e14 cm^{-3}$ 摻雜濃度下電洞電流密度.....	50
圖 4- 15 不同光罩長度之 N-buffer .....	51
圖 4- 16 不同光罩長度之電洞電流密度圖.....	52
圖 4- 17 導通電流比較.....	53
圖 4- 18 崩潰電壓比較.....	53
圖 4- 19 IGBT 與 MOSFET 電流比較.....	54

圖 4- 20 模擬軟體導通電流對照圖.....	55
圖 4- 21 初始等效電路.....	56
圖 4- 22 改變後等效電路.....	57
圖 4- 23 兩條等位線與元件的結合.....	58
圖 4- 24 橫向 BJT 電阻萃取.....	58
圖 4- 25 垂直方向 BJT 電阻萃取.....	58
圖 4- 26 後段電洞電流電阻萃取.....	59
圖 4- 27 後段電子電流電阻萃取.....	59
圖 4- 28 電晶體 $\beta$ 值萃取.....	67



# 表目錄

表 2- 1 崩潰機制表.....	4
表 3- 1 濃度參數表.....	21
表 3- 2 尺寸參數表.....	21
表 4- 1 25°C~50°C 萃取電阻與通道間的距離 .....	60
表 4- 2 75°C~100°C 萃取電阻與通道間的距離 .....	60
表 4- 3 125°C 萃取電阻與通道間的距離.....	61
表 4- 4 25°C 電流精準誤差比較.....	61
表 4- 5 50°C 電流精準誤差比較.....	62
表 4- 6 75°C 電流精準誤差比較.....	62
表 4- 7 100°C 電流精準誤差比較.....	63
表 4- 8 25°C 電流精準誤差比較(改變結構) .....	64
表 4- 9 50°C 電流精準誤差比較(改變結構) .....	64
表 4- 10 75°C 電流精準誤差比較(改變結構) .....	65
表 4- 11 100°C 電流精準誤差比較(改變結構) .....	65
表 4- 12 125°C 電流精準誤差比較(改變結構).....	66

# 第一章 緒論

## 1.1 研究動機

功率元件分為一般功率元件以及超高電壓功率元件(耐壓 600V 以上)[1]，而將其在一晶片上與其他功能的電路結合則稱作功率積體電路。積體電路廣泛應用在許多日常生活中所接觸的電子產品，像是通訊設備、交通設施等活用了控制系統、開關切換，這一類的產品都與積體電路有密切的關係。伴隨著時代的進步，科技的發展也是日新月異，人們所追求的無不是更好的生活品質，功率元件的發展相對的也影響著我們的生活。當製程技術不斷在進步的當下，元件的大小使用是愈來愈小，且功耗[2] 的設計也是愈來愈低，當中也伴隨著許多的問題，像是縮小元件可能造成的漏電流[3]現象，以及持續處於操作狀態下的元件其溫度特性的變化，都會間接影響元件本身的優劣，本文將針對元件溫度特性[4]-[7]這一點做出研究。

## 1.2 研究方法

本文將以 HSPICE 模擬軟體所建立的等效電路與 SVISUAL 模擬元件圖做結合，從而以 HSPICE 角度對溫度特性分析，藉由數據的採集，

評斷元件結構的可變動性，並進一步從 MEDICI 模擬軟體做出修改，藉此得到提升元件效能等目的。

### 1.3 論文結構

本論文在做出模擬軟體的結合後將提出一個有效提升元件導通電流的結構，並與初始元件結構設計做出優劣的比對。論文第二章的部分為 IGBT 的背景學理包含 IGBT 的演進及電性分析等，第三章將提出使用方法的細節部分，包括寄生 BJT、寄生電阻的配置，電子電流與電洞電流的萃取方式等詳細說明，第四章則是以未改變元件結構的結合結果以及改變後的結果和初始結構的優劣比較，第五章為結論的部分。

# 第二章 功率元件原理

## 2.1 前言

功率元件(Power Device)在積體電路中是以開關[8]-[9]的形式存在，作用即是要因應某些電路需要關閉(Off)或導通(On)時所需要的元件。當其處於關閉狀態時需能承受幾百伏特至幾千伏特的電壓，而導通時，強調低電阻及一定程度的高溫穩定性。

功率元件主要有 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)[10]、BJT(Bipolar Junction Transistor)以及本篇主要提到的 IGBT(Insulated Gate Bipolar Transistor)[11]-[15]，三種元件都有各自的優缺點，但基本在高功率元件上，要能承受較大的耐壓[16]這點是三者都必須達成的目的。

## 2.2 崩潰機制[17]

當功率元件在關閉狀態時，必須能承受數百伏特以上的反向偏壓，以至於元件不會造成崩潰(Breakdown)，當元件崩潰則會造成大量的電流流入元件。而造成崩潰可能的原因有積納崩潰(Zener Breakdown)、穿透崩潰(Punch-Through Breakdown)、雪崩崩潰

(Avalanche Breakdown)、轉折崩潰(Snapback Breakdown)、氧化層崩潰(Oxide Breakdown)等。

而溫度變化的現象也會造成各種崩潰的產生，如表 2.1 為溫度提高或下降時造成的各類崩潰機制及原因。

表 2- 1 崩潰機制表

	T↑	T↓	溫度係數	原因
稽納崩潰		✓(崩潰電壓↑)	負	PN接面摻雜濃度較高時
穿透崩潰		✓(崩潰電壓↑)	負	空乏區擴張碰觸到其他電場區
雪崩崩潰	✓(崩潰電壓↑)		正	空乏區載子受到高電場加速
轉折崩潰	✓(崩潰電壓↑)		正	寄生BJT二次崩潰的產生
氧化層崩潰	✓(崩潰電壓↑)		正	橫跨氧化層的電場過大

## 2. 2-1 稽納崩潰(Zener Breakdown)[18]

當 P 型與 N 型半導體皆為重摻雜時，P-N 接面的空乏區會比較狹窄。從公式 2.1 得知空乏區長度愈小，對應電場強度則會愈大，若持續施予外加偏壓，如圖. 2-1。會使得 P 型半導體的電子跳脫價電帶 (Valence Bands) 進而穿隧到 N 型半導體的傳導帶 (Conduction Bands)，造成元件崩潰，如圖. 2-2。

$$E=V/d \quad (2.1)$$

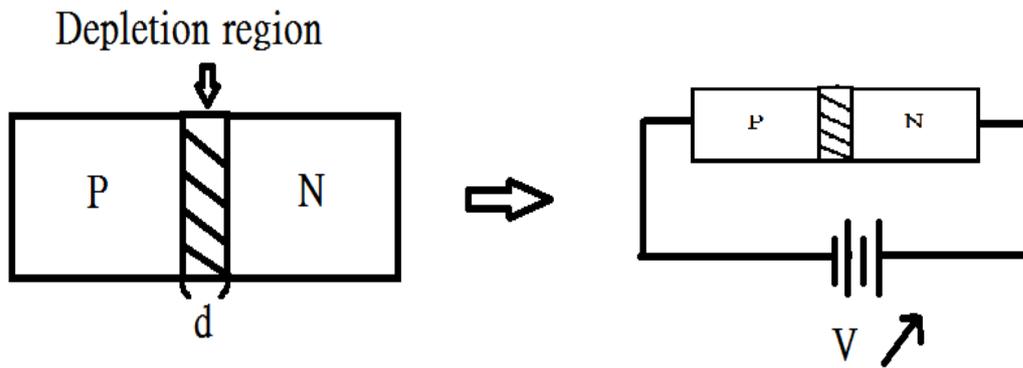


圖 2- 1PN 接面示意圖

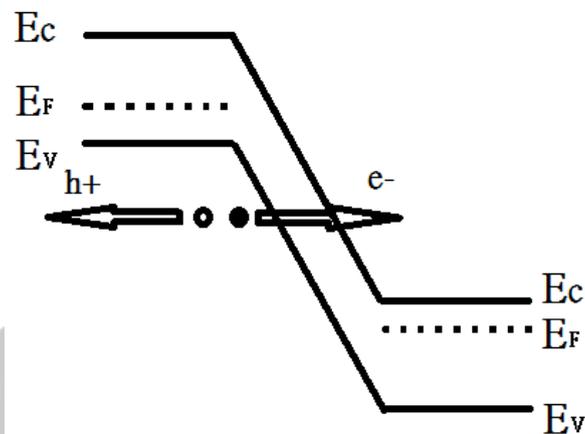


圖 2- 2 積納崩潰能帶圖

## 2. 2-2 穿透崩潰(Punch-Through Breakdown)

以 MOSFET 為例，當本身通道長度較短的時候，MOSFET 的 Drain 端與 Source 端彼此間的距離也會相對接近。當施予反向偏壓時，兩端的空乏區逐漸擴大，最後導致空乏區的相連，如圖.2-3。最後致使 Source 端大量載子流入 Drain 端，產生大量電流，造成元件的崩潰。

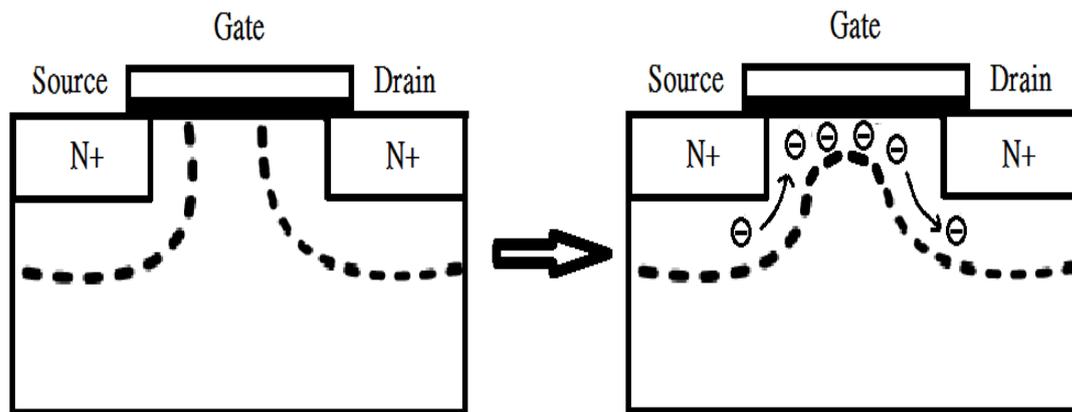


圖 2- 3 穿透崩潰

## 2. 2-3 雪崩崩潰(Avalanche Breakdown)[19]

雪崩崩潰主要發生在給予外加逆向偏壓時的 P-N 接面，電子在靠近空乏區時，於電場中得到足夠的能量去撞擊晶格原子，產生新的電子電洞對(Electron-hole pair)後繼續碰撞其它晶格原子，這種現象稱為游離碰撞(Impact Ionization)。當持續增加的反向偏壓使得電場持續增大時，游離碰撞的發生速率趨近於無窮大，產生如雪崩般的連續碰撞，故稱為雪崩崩潰，如圖.2-4。

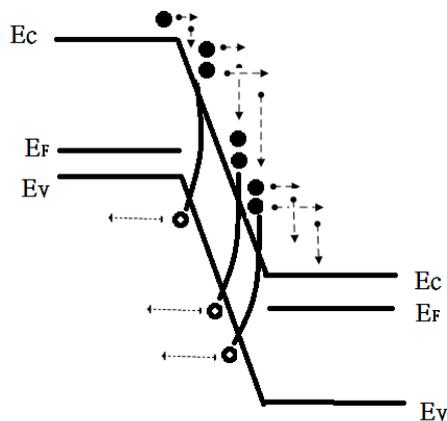


圖 2- 4 雪崩崩潰

## 2.2-4 轉折崩潰(Snapback Breakdown)[20]

以 MOSFET 為例，在汲極端施予外加偏壓，逐漸上升的電壓到達極限時，MOSFET 元件的內部寄生 BJT 就會啟動，此時 MOSFET 產生的二次效應會使得大量電流的產生，致使元件崩潰。如圖. 2-5。

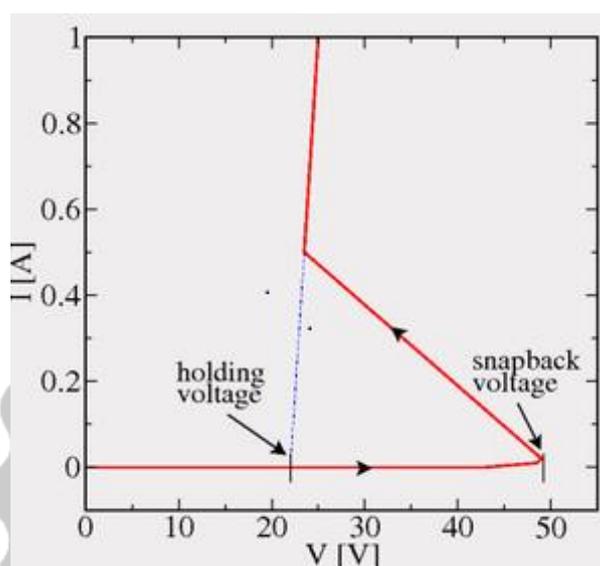


圖 2-5 轉折崩潰

## 2.2-5 氧化層崩潰(Oxide Breakdown)[21]

當氧化層的兩側電場過大，以至於有大量電流流過氧化層，發生後的氧化層受到破壞，間接使得元件損害，通常會提高氧化層的厚度設計來避免此種崩潰的產生。

## 2.3 導通電阻[22]

功率元件另一個主要的參數探討就是導通電阻，導通電阻指的就是元件導通時寄生在元件上的電阻，以 IGBT 為例，其本身的寄生電阻

就位於陽極端與陰極端之間，而導通電阻的大小也會影響元件內部整體電流，是一個十分重要的參數指標。

從公式計算來推演導通電阻的話，以功率、電壓與電流的推導得出  
公式 2.2

$$P_d = I_d \times V_d = I_d^2 \times R_{ON} \quad (2.2)$$

而元件單位面積的功率消耗可以公式 2.3 表示

$$P_d / A = J_d^2 \times R_{ON, SP} \quad (2.3)$$

$J_d$  指的是導通電流的密度， $R_{ON, SP}$  則是單位面積的導通電阻。由公式 2.2 及公式 2.3 聯立得公式 2.4

$$R_{ON, SP} = A \cdot R_{ON} \quad (2.4)$$

由圖.2-6 得知一個 MOSFET 結構中，主要的寄生電阻有通道電阻 ( $R_{ch}$ )、漂移區電阻 ( $R_D$ )、陽極端電阻 ( $R_{Anode}$ ) 及陰極端電阻 ( $R_{cathode}$ ) 等。

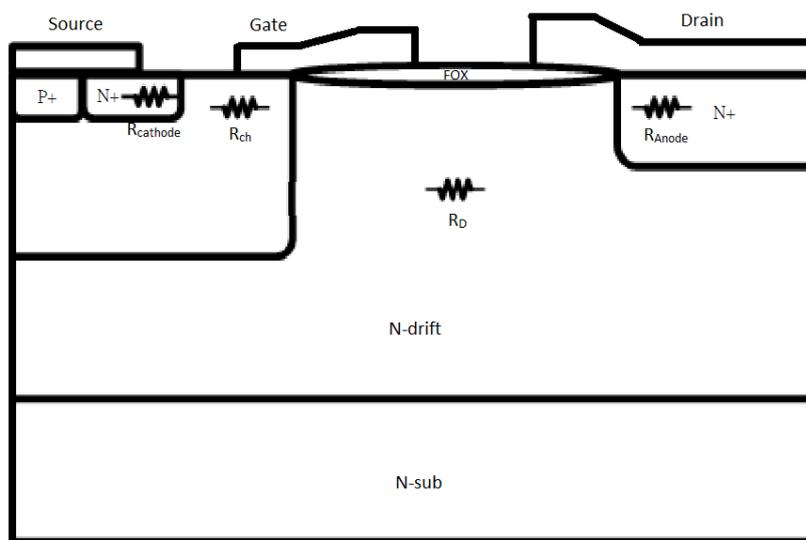


圖 2- 6 元件寄生電阻

固導通電阻可以整理成公式 2.5

$$R_{ON} = R_{ch} + R_D + R_{Anode} + R_{cathode} \quad (2.5)$$

### 2.3-1 通道電阻[23]

以 N 通道 MOSFET 為例，DRAIN 端與 SOURCE 端電流主要是被 P-base 表面反轉層中傳輸的電子以及這些電子的表面遷移率在控制。當閘極電壓不斷增加的時候，原本的 P 型半導體便會反轉成 N 型的通道讓 MOSFET 導通。故如果要推導出通道電阻則需知道電子的表面遷移率、氧化層厚度以及通道長度和寬度等參數，如公式 2.6。

$$R_{ch} = L / [W \mu_{ns} C_{ox} (V_G - V_T)] \quad (2.6)$$

### 2.3-2 漂移區電阻[24]

在高功率元件的設計當中，漂移區的濃度對整體元件的電場分佈有著很大的影響，濃度愈低相對的崩潰電壓就會跟著上升，但是相反的導通電阻值就會上升，而漂移區電阻也是整個元件所佔比例最大的電阻。

為了推導出漂移區電阻，首先要先知道漂移區的電阻率，而此以摻雜 N 型或 P 型濃度及載子的遷移率來推算，如公式 2.7。

$$\rho_D = 1/e(\mu_{n}n + \mu_{p}p) \quad (2.7)$$

再取出漂移區的長、寬和厚度，就可以得出漂移區的電阻，如公式 2.8。

$$R_D = \rho_D(L/W * h) \quad (2.8)$$

## 2.4 LIGBT(Lateral Insulated Gate Bipolar Transistor)[25]- [29]

與傳統垂直型[30]IGBT 不同的地方在於橫向型 IGBT 將 Drain 端移到元件的上方，利於和其它電路元件做整合，如圖.2-7。

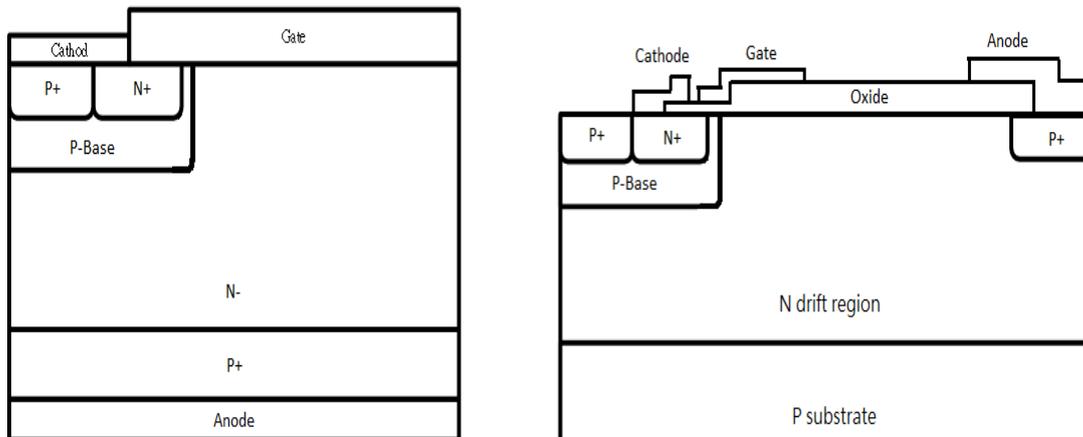


圖 2- 7 (a)IGBT (b)LIGBT

IGBT 是一種結合 MOSFET 與 BJT 元件的雙載子電晶體，不同於一般 MOSFET 功率元件，它擁有 BJT 驅動的電洞電流，使得整體元件在注入電洞電流以後電流量得到提升，導通後的電阻值也因此下降。

## 2.4-1 IGBT 演進[31]

早期的 IGBT 採用垂直結構，第一代 IGBT 雛形，如圖.2-8。因其結構簡單，若要提升元件的耐壓則需提升 N 型漂移區的濃度，但也因此造成導通電阻的提高。

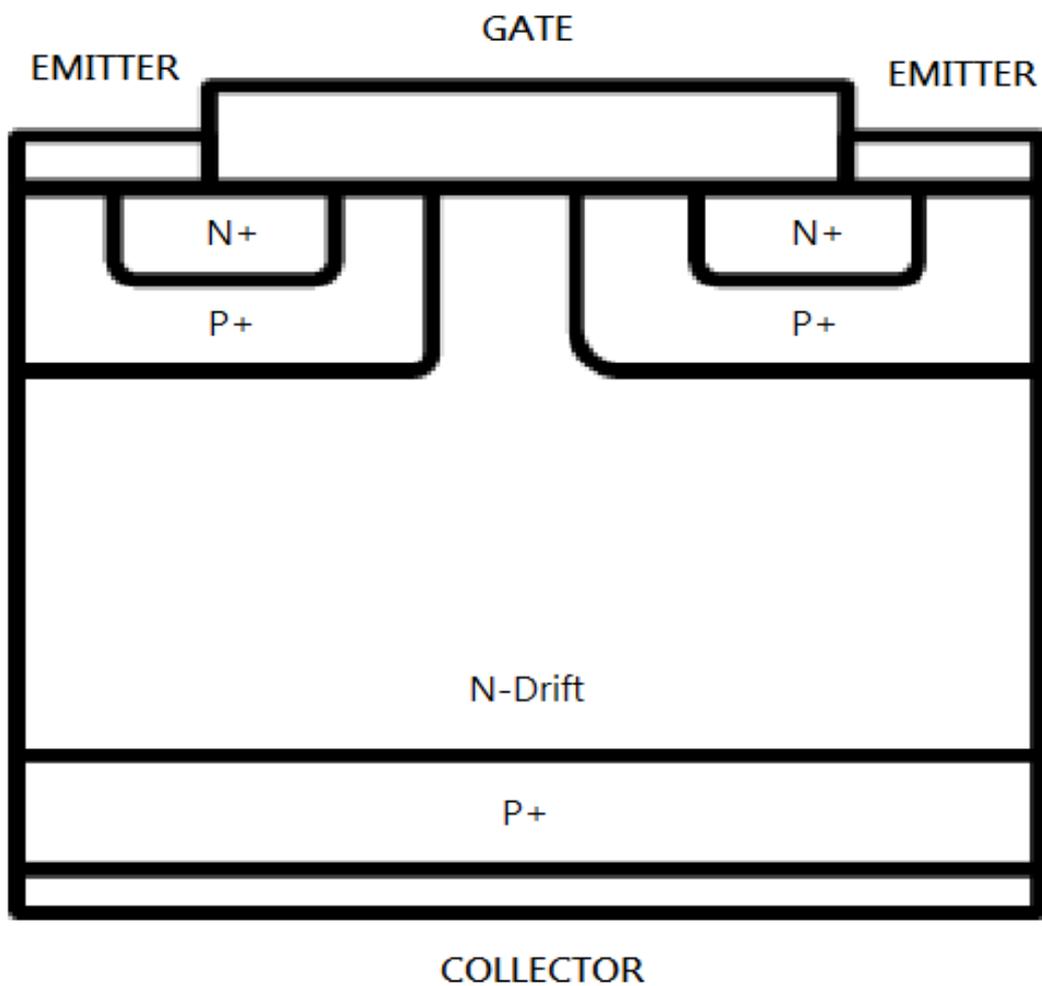


圖 2- 8 初代 IGBT

之後 IGBT 採用 PT(Punch Through)[32]-[34]結構，在 COLLECTOR

與漂移區間插入一個 N-Buffer 緩衝層，採用磊晶層技術增加 COLLECTOR 的 P 型摻雜厚度，藉此加強元件電場分佈均勻性，可以降低整體元件的功率消耗，如圖.2-9。

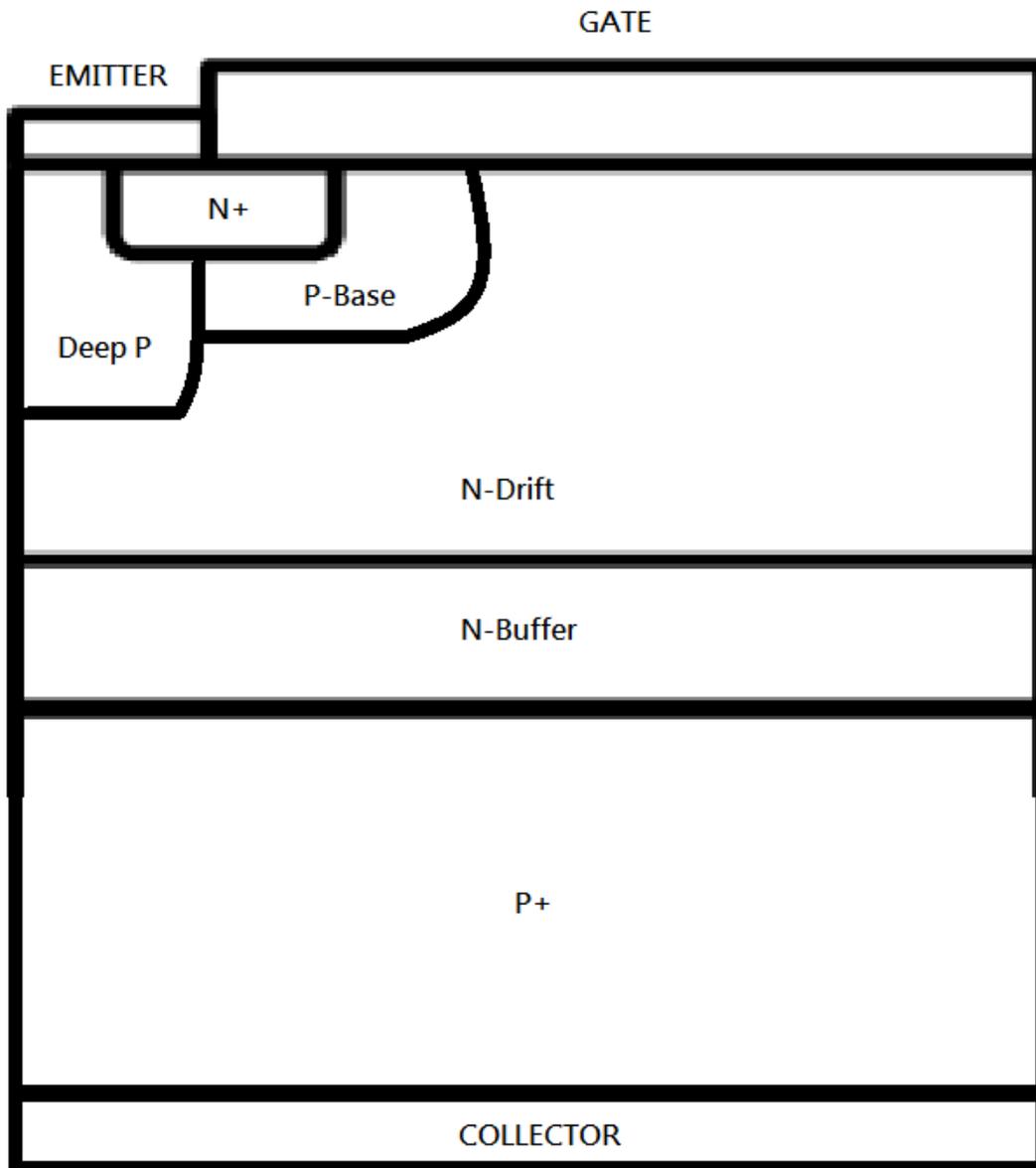


圖 2- 9 PT—IGBT

但因磊晶層造成的元件厚度增加，不僅元件摻雜均勻性不良，且耗

費成本過高，於是改採用離子佈植技術生成 P-COLLECTOR 區域，如圖.2-10。可以準確控制生成厚度，降低生產成本，也可以減少開關時所造成的功率損耗。

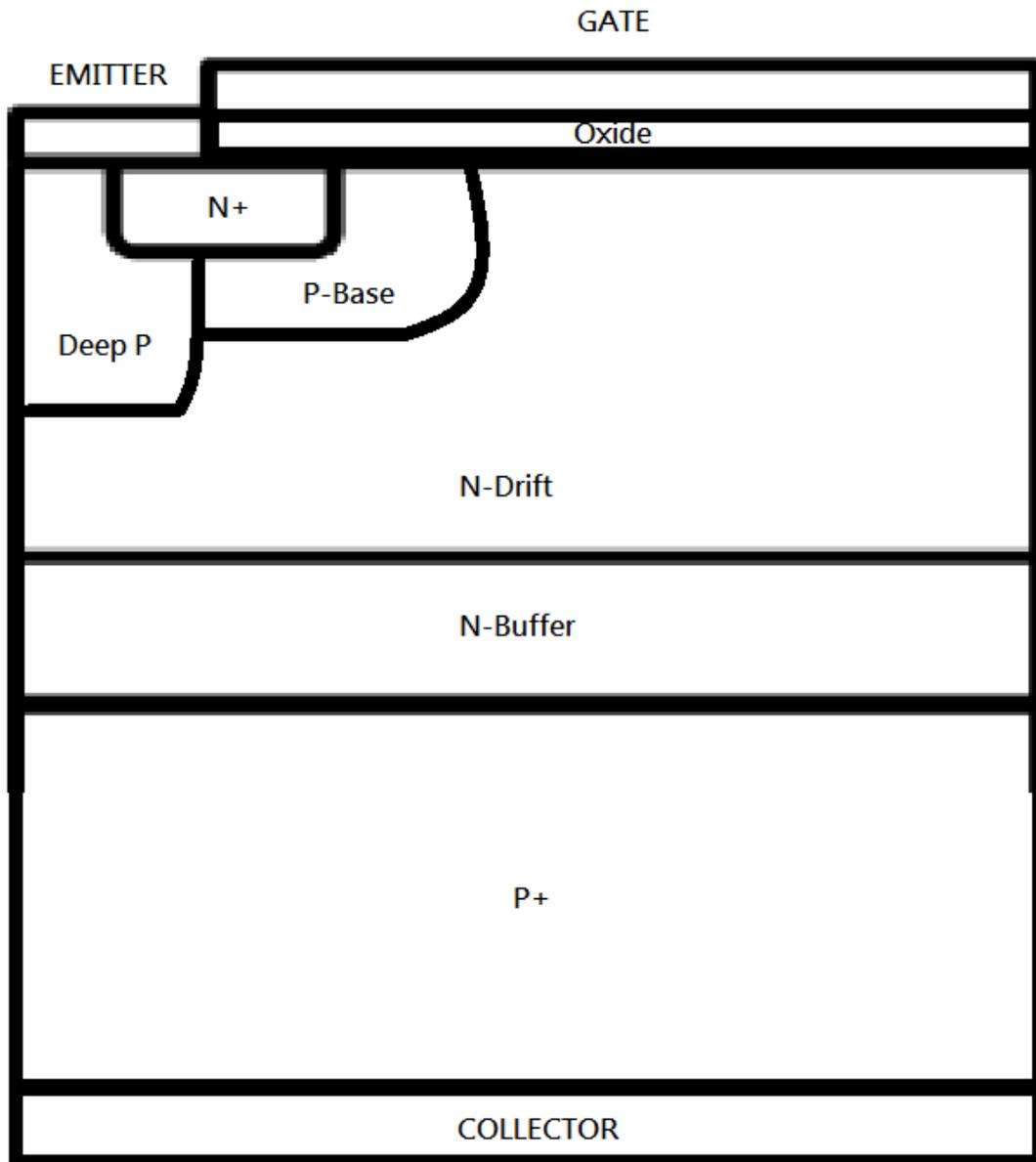


圖 2- 10 NPT-IGBT[35]

而在第四代採用的閘極溝槽設計中，如圖.2-11。為的就是消除井區

兩旁的寄生電阻，從而降低整體元件的導通電阻值。

這種設計還有一個最大的特點，在於傳統結構的通道都以橫向為主，當閘極延伸到下方以後，即變成一種垂直式的通道系統。一方面可以讓晶圓面積得到更妥善的應用，另一方面還可以使得通道長度得以延伸到更長的階段。

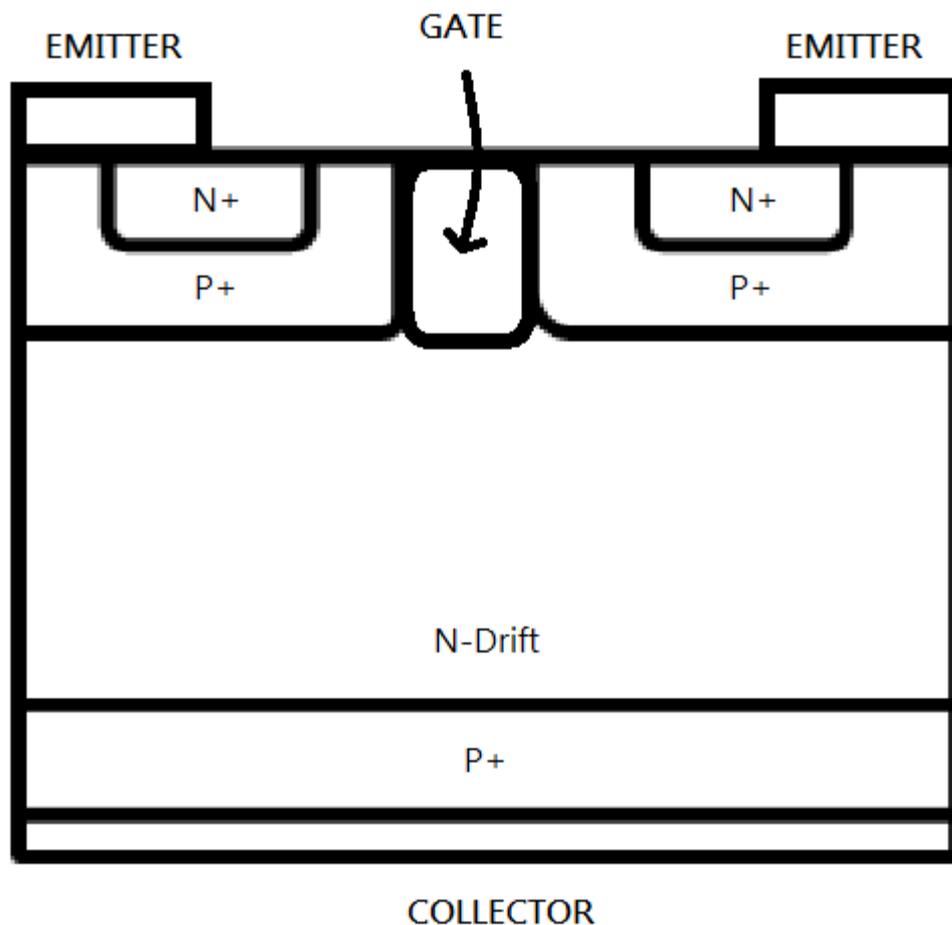


圖 2- 11 Trench－IGBT

上述 IGBT 的結構變化只是大略的介紹，其結構的產生隨著發明的人，也會有所不同，但是發明的宗旨不外乎都是要降低元件的導通電阻，以即提升元件的有利效益為主。

## 2.4-2 LIGBT 操作於反偏[36]-[37]

當施予閘極固定偏壓 0V 時，持續從陽極端施加偏壓的話，因閘極下方反轉層未形成通道，雖有電位差的產生，但表層電子無法從通道流向閘極，固元件處於關閉狀態，即是反偏操作。

當陽極施加的電壓達到元件所能承受的最大電壓，最後導致電場崩潰，產生大量電流，則此最大電壓就稱為元件的崩潰電壓。

## 2.4-3 LIGBT 操作於順偏[38]-[39]

給予閘極端一非零偏壓，當施加的電壓經過臨界電壓  $V_T$  (Threshold Voltage) 時，如圖.2-12。閘極下方就會產生反轉層 (Inversion Layer)[40] 形成通道，元件便從關閉到導通狀態，此時在陽極端施予電壓，電子電流流經通道進入 PNP 電晶體，當電流足夠使陽極端的  $P^+$  與 N 型漂移區接面順偏的時候，如圖.2-13。陽極端便會注入大量電洞電流到漂移區內，如圖.2-14。雖然在漂移區內會有些許電流與電子電流複合，但整體元件電流得以提升，因此漂移區電阻阻值也會相對下降。

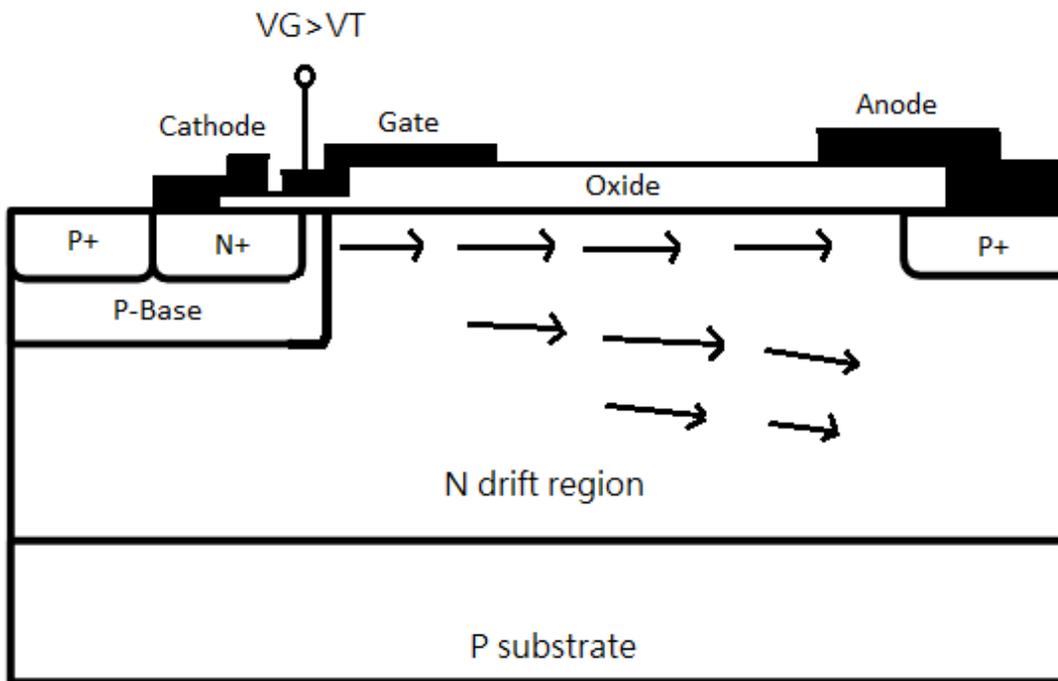


圖 2- 12 電子電流流向

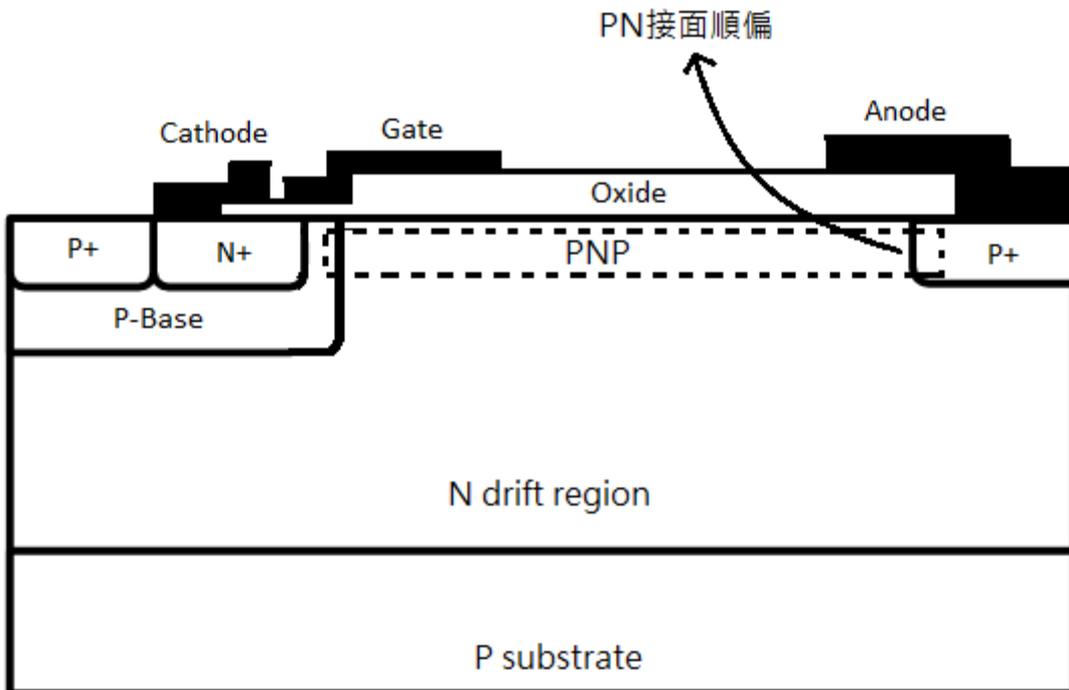


圖 2- 13 電流隨 PNP 電晶體流至陽極端 P<sup>+</sup>區

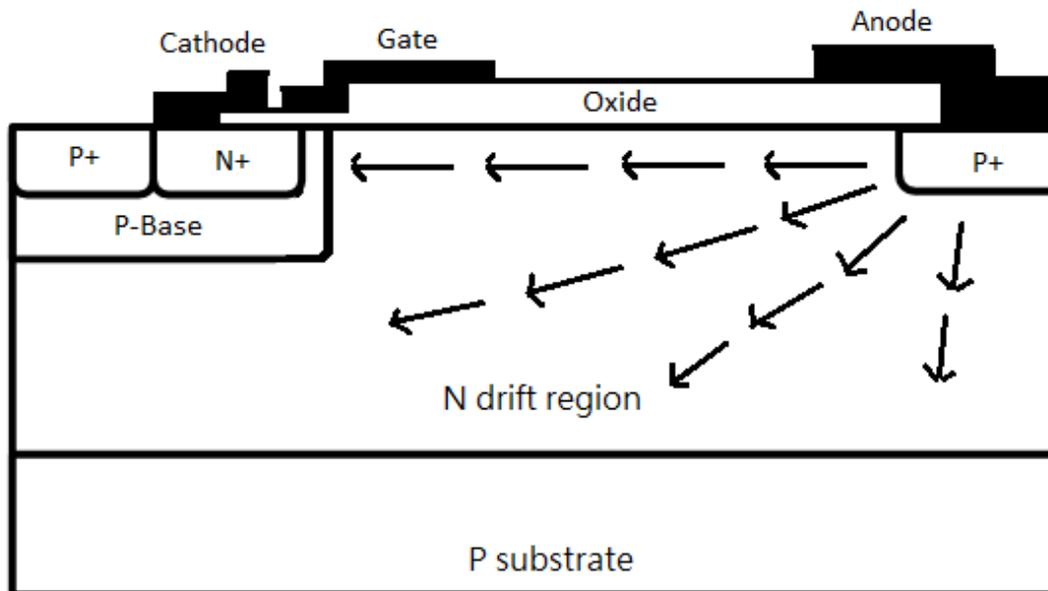


圖 2- 14 電洞電流流向

## 2. 4-4 IGBT 與 POWER MOSFET 的比較

### a. POWER MOSFET

高功率 MOSFET 元件是現時較為普及的功率半導體元件，有著高耐壓但功率消耗(Power Loss)卻相對較大的特性，但因其功率切換(ON/OFF)速度較快，固其廣泛應用在半導體市場中。

因為功率消耗的大小較雙極性系列的電晶體高，常見的應對措施是以加大晶片尺寸來降低功率消耗，但是相對的在成本上就會有所提升。

### b. IGBT

相較於 POWER MOSFET，IGBT 在耐壓 600V 以上的工作環境下功率

消耗相對就來得低，因其結合了雙極性電晶體(BJT)的優點與缺點，固當元件操作在關閉模式時，反向回復電荷( $Q_{rr}$ )[41]的數量較多，而造成電壓尖波、震盪的產生，間接影響了元件的反向回復時間( $T_{rr}$ )[42]延長，導致元件在開關速度上變得十分緩慢。

IGBT 並不適合應用在高速開關切換的領域上，但在交流驅動的市場上，IGBT 有它的一席之地，固然相較於 POWER MOSFET，IGBT 在高電壓大功率的應用上佔有優勢。



# 第三章 元件結構與萃取參數技術

## 3.1 IGBT 雙層磊晶結構[43]-[44]

IGBT 的基礎結構與 MOSFET 的唯一差別在於將 MOSFET 的 DRAIN 端改為 P 型摻雜後，其元件結構就會有一個寄生的雙極性電晶體，這樣一來便會形成一個雙載子的電晶體結構，產生電洞電流來增加元件整體電流、降低導通電阻值。

但因基本結構下陽極端的電洞電流會與電子電流在漂移區的位置有復合的現象產生，而且會流向基板，形成漏電流，故有了這個結構的設計產生，如圖.3-1。

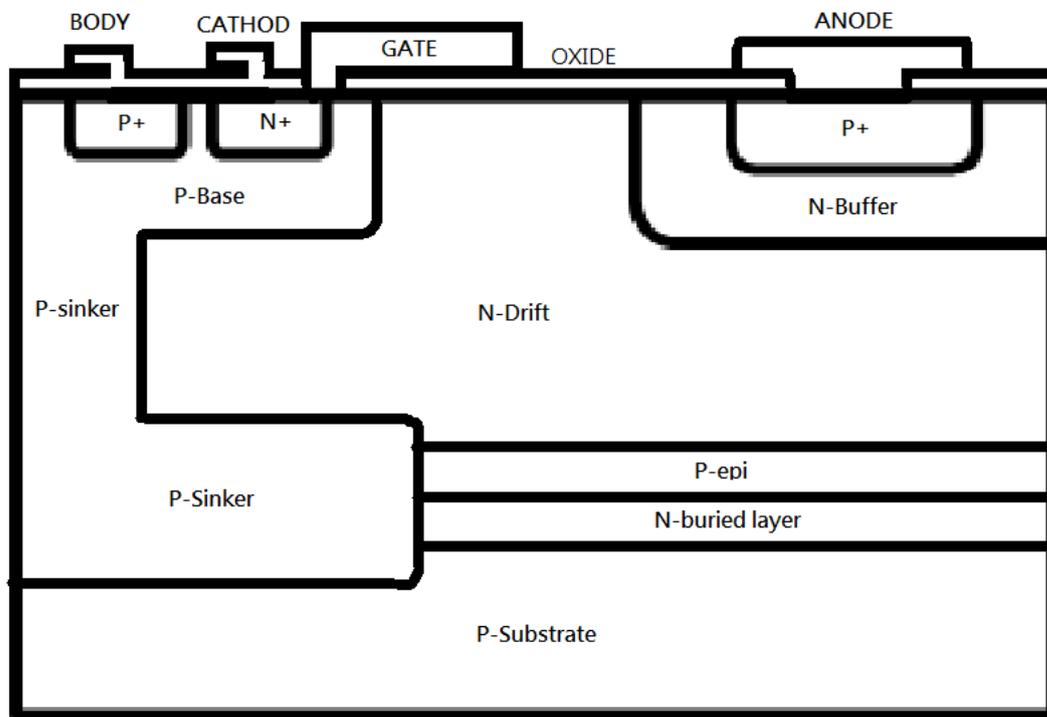


圖 3- 1 雙層磊晶 IGBT

此項設計理念就是為了改變電洞電流的流向，避免大部分的電洞電流走向漂移區，P 型磊晶層的使用目的是為了引導陽極端發射的電洞電流下方流動在沿著磊晶層流向 P-base，而 N 型埋藏層的使用則是要避免電洞電流向導引的時候直接往基板流下，形成漏電流的現象，故此結構也有著接面絕緣[45]-[49]的技術存在。

而元件結構的參數對應圖表示在圖 3-2 中，包括濃度參數及尺寸參數的部分。

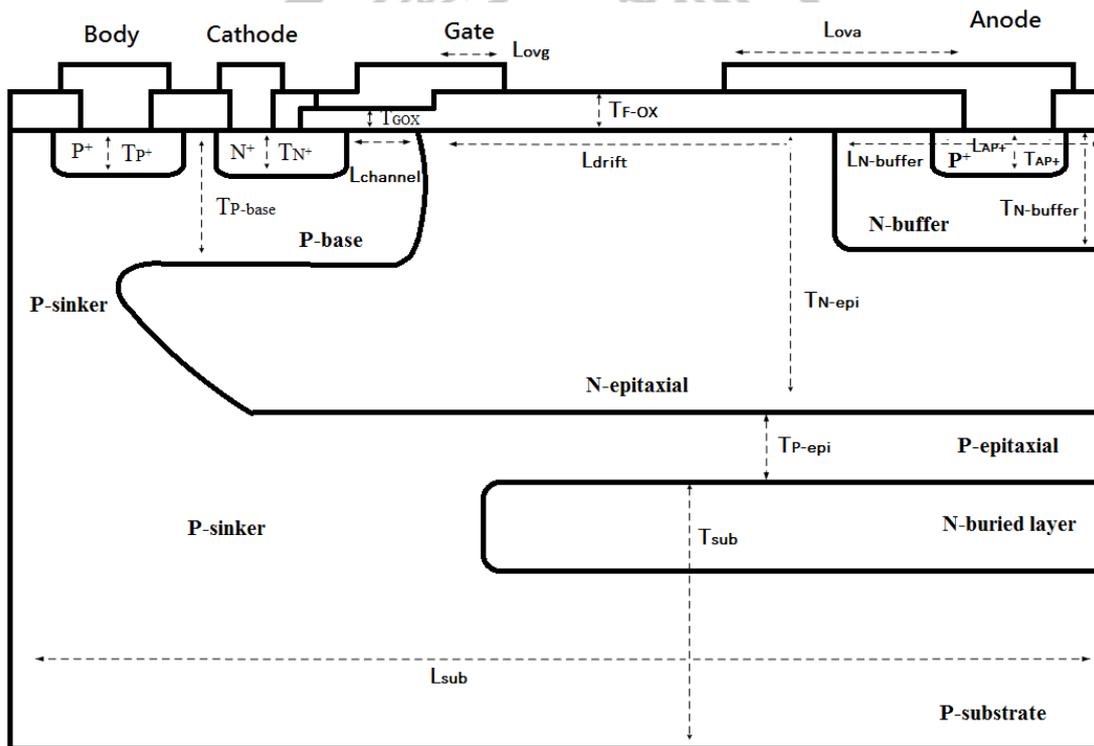


圖 3- 2 元件結構參數對應圖(繪製圖未依照實際尺寸)

以及各個位置的濃度及長度參數表，如表 3-1、3-2.

表 3- 2 濃度參數表

濃度參數	數值
<u>Psub</u>	3e14cm <sup>-3</sup>
P-base	1e16cm <sup>-3</sup>
N-buried layer	6e14cm <sup>-3</sup>
P-epitaxial	8e14cm <sup>-3</sup>
N-epitaxial	8e14cm <sup>-3</sup>
N-buffer	調變
P <sup>+</sup>	2e15cm <sup>-3</sup>
AP <sup>+</sup>	4e15cm <sup>-3</sup>
N <sup>+</sup>	8e16cm <sup>-3</sup>

表 3- 3 尺寸參數表

尺寸參數	數值
<u>Lsub</u>	100μm
<u>Ldrift</u>	54.8μm
<u>Lchannel</u>	1.5μm
<u>Lova</u>	14.9μm
<u>Lovg</u>	7.2μm
Lap+	11.2μm
LN-buffer	調變
<u>Tsub</u>	111.3μm
TP-epi	5.7μm
TN-epi	12.6μm
TN-buffer	3.9μm
TP-base	5.5μm
TN+	1.5μm
TP+	2.3μm
Tap+	1.1μm
TF-ox	0.8μm
TG-ox	0.04μm

### 3.2 模擬採用方法

當元件結構以 Sentaurus Visual 呈現時，如圖.3-3。要能精準的測出元件電流的主要走向是不容易的，因為電流並非如等效電路上的單一流向電流，而是從四面八方流竄，但是還是會有主要的電流流向。

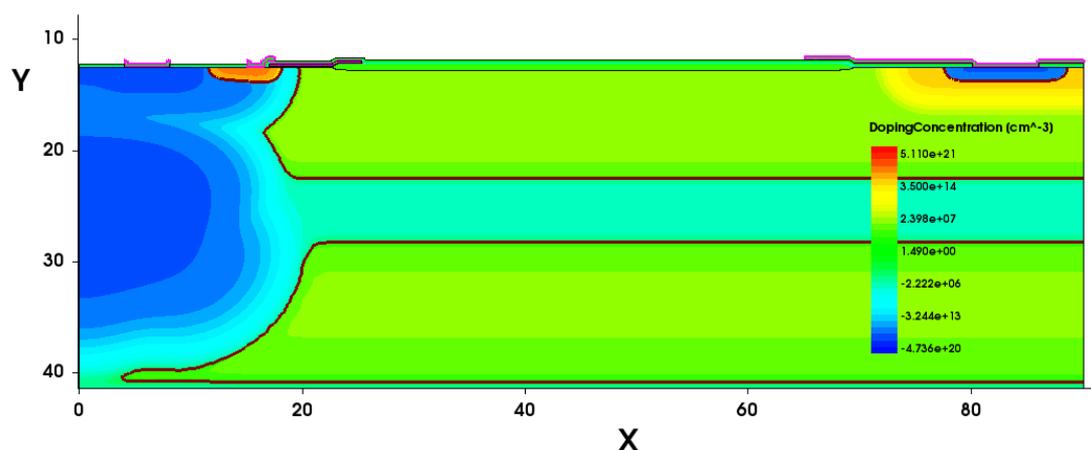


圖 3-3 元件結構

所以我們必須同時配合 HSPICE 模擬軟體所設計的電路結構，如圖.3-4。來評估元件的主要電流路徑，以疊代法的方式得到最為精確的電流走向。

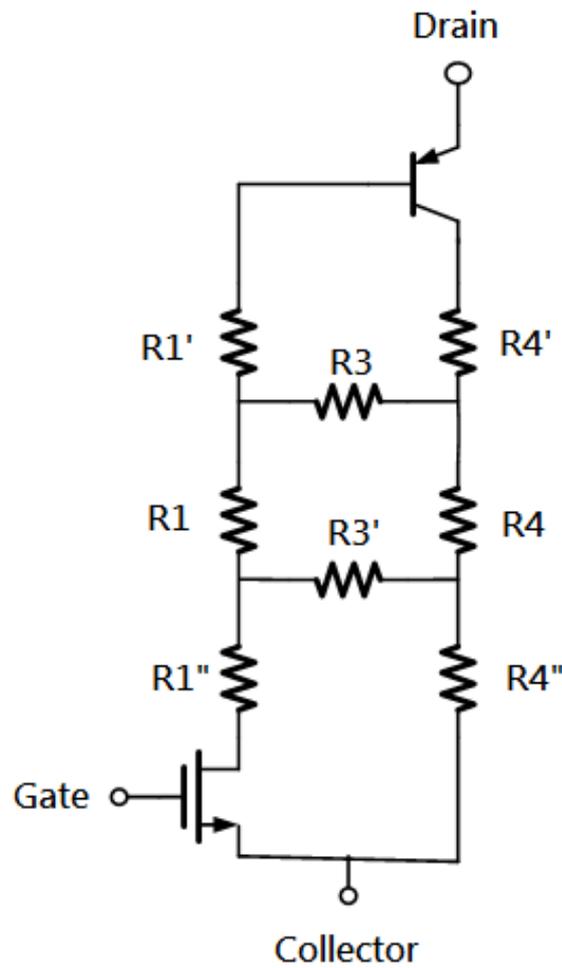


圖 3- 4 LIGBT 等效電路

不同於一般的 LIGBT 等效電路圖，如圖 3-5，其電路設置主要是為了檢測閃鎖效應的產生，當流經  $R_s$  電阻的電流造成的壓降足夠大時，便會使得 NPN 電晶體導通，使得 PNP 電晶體會有正回授的現象產生，因而使得大電流流入元件，並且此時的閘極已經失去控制電流的功能，進而產生閃鎖效應。

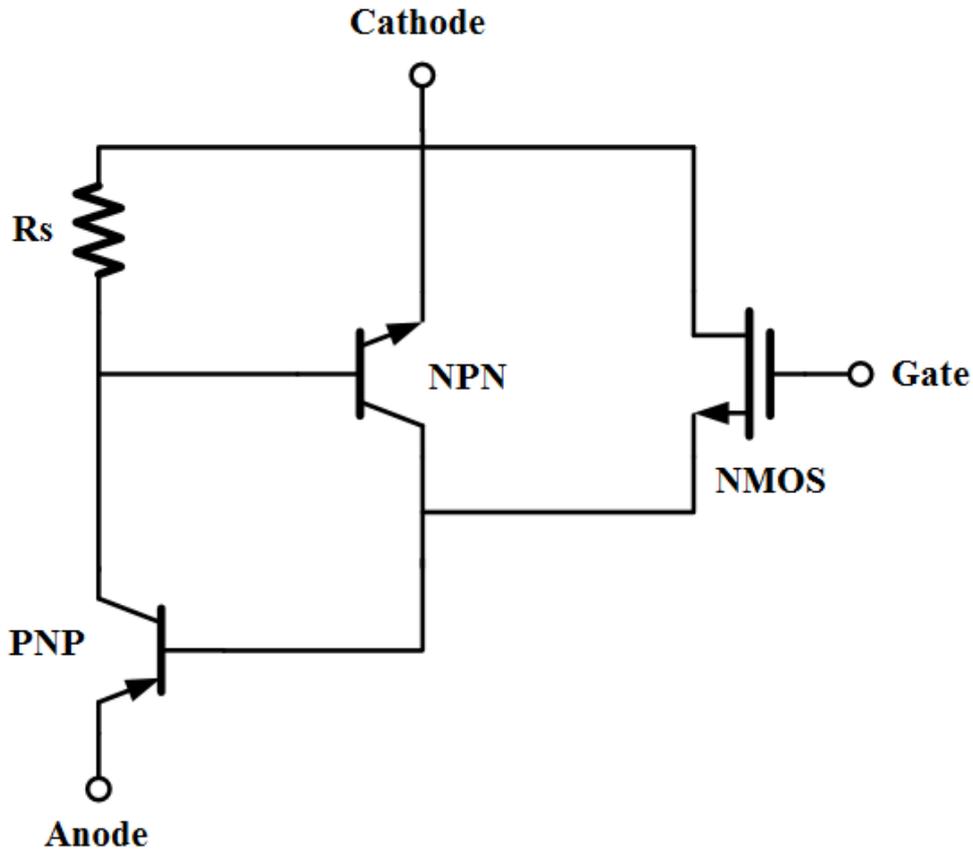


圖 3-5 LIGBT 等效電路圖

而本篇使用的等效電路則是以元件操作在工作狀態下，未有異常現象產生時所設計的電路架構。

首先我們必須先從元件結構中以 SVISUAL 軟體萃取出概略的電阻位置，將各個位置的電阻值套用至 HSPICE 模擬的等效電路上，藉由模擬程式得出每個截點的電壓，再回到 Sentaurus Visual 上以電壓等位線的圖式來觀測元件電壓，如圖.3-6。得到更加精確的電阻位置，以及阻值的精確性。

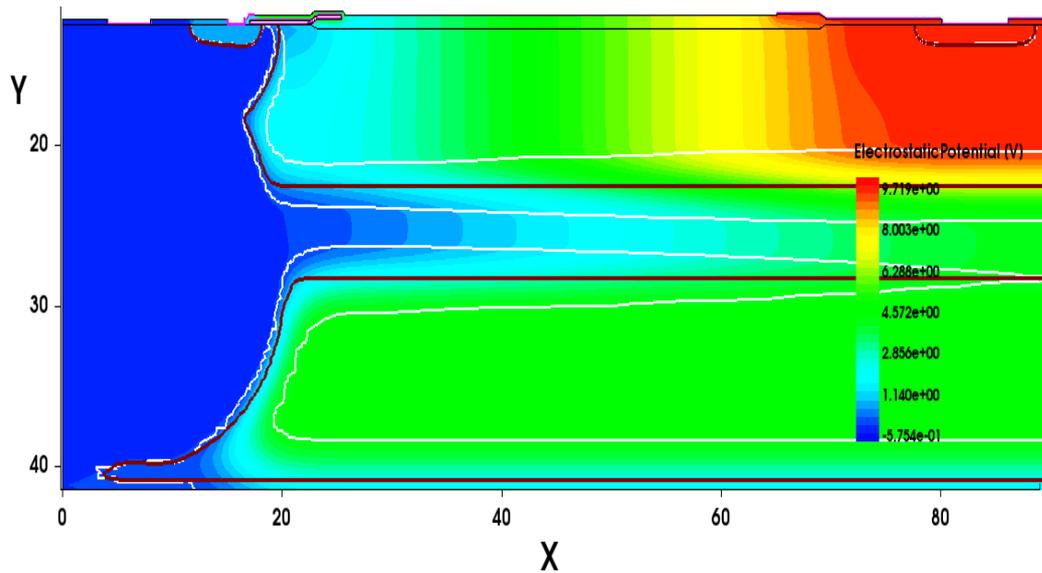


圖 3- 6 LIGBT 電壓等位線圖

將較為精確的電阻值重新代回等效電路模型當中，得出各個電阻流過的電流，若符合克希荷夫電流原理(Kirchhoff Laws)以及元件最大電流值，則得出最具可靠性的分壓與分流值。

當在進行參數的萃取時，各種外在因素都會影響元件的電壓漸進線的分佈以及寄生電阻的數值。例如汲極偏壓的不同，如圖.3-7，其電壓的分佈有所不同，當萃取同點電阻時，電壓差也會有不同。

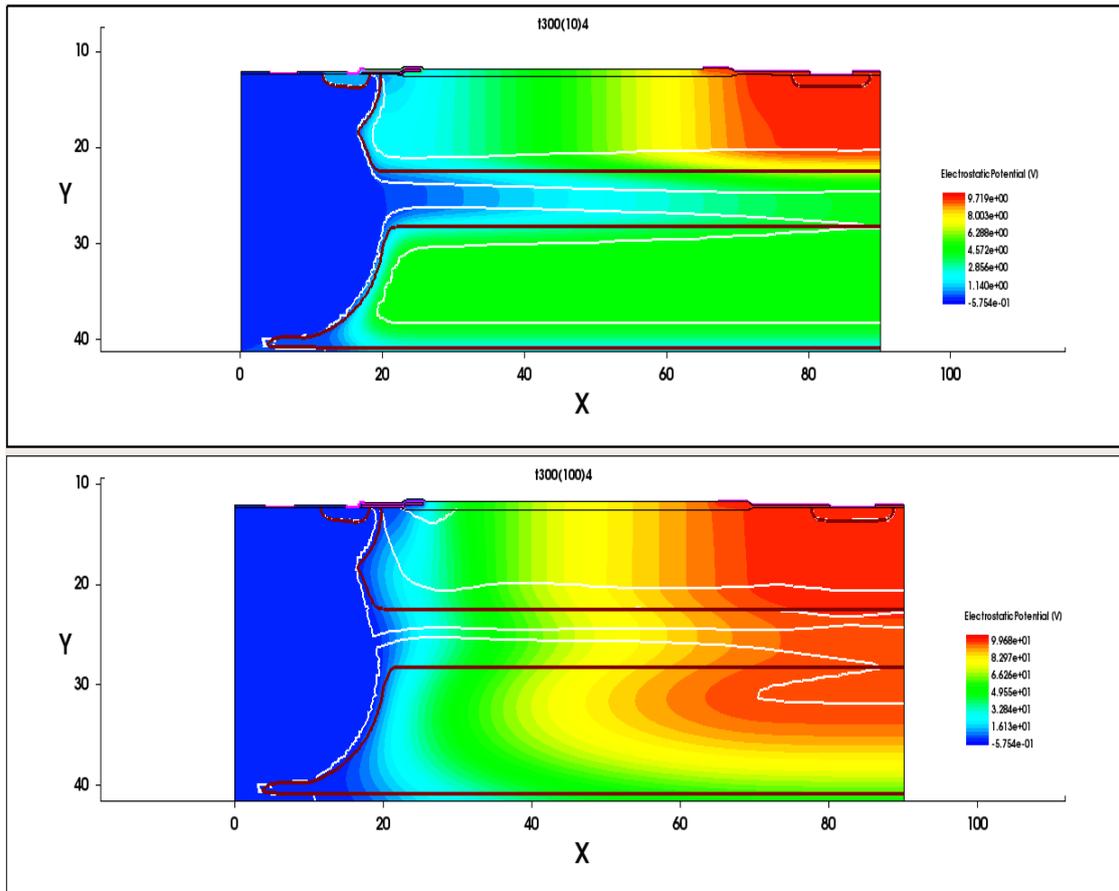
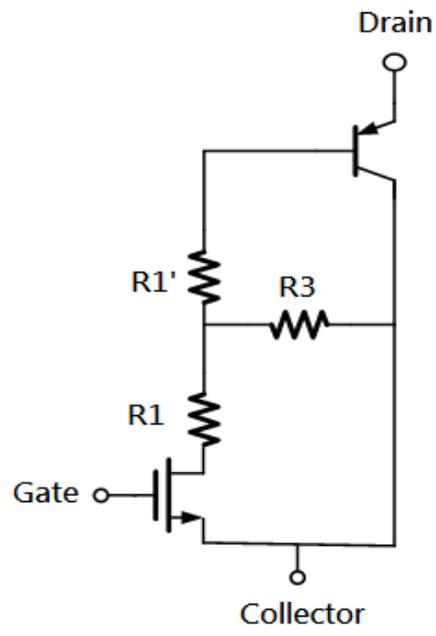


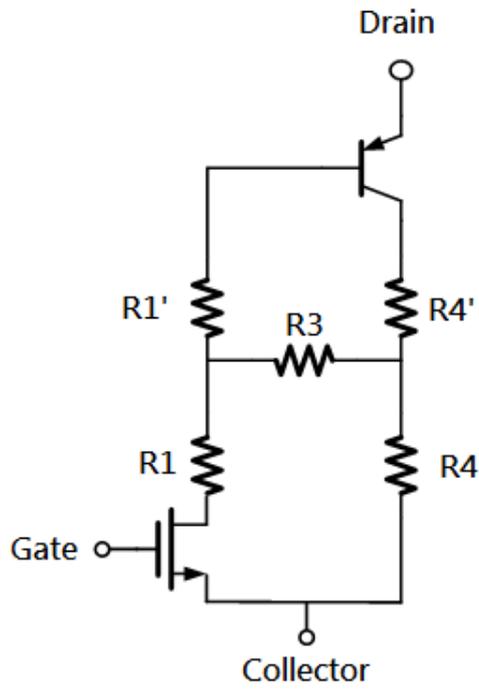
圖 3-7 汲極偏壓 10V 與 100V 電壓漸進線

不僅僅是汲極偏壓的變化，閘極端施加偏壓以及室外溫度的改變都會影響元件的內部特性。

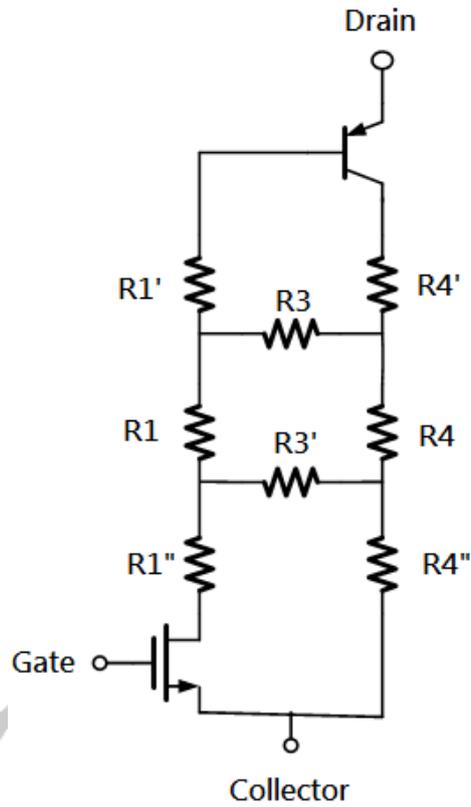
此項萃取方法所要呈現的即是觀察各種外部因素對電流的流向改變以及變化的幅度大小、精確性等參考指標，藉由電阻放置數目的改變，如圖.3-8。萃取出準確性最高的電阻數值。



(a)



(b)



(c)

圖 3- 8 不同的 IGBT 等效電路 (a)N-drift 到 P-epi 的電流流向  
 (b)加上 P-epi 內部流向(c)更多電流分支

必須注意的一點，從元件結構上我們的電流分為電子電流與電洞電流，但在等效電路上並沒有這樣的區分，雖然電流流向不會有改變，但是電子電流和電洞電流在各節點的位置都有可能發生復合的現象，若要精確的去推斷各個位置的電流流量，勢必需要萃取出該位置的電洞與電子電流。有鑑於此，我們必須從 Sentaurus Visual

中單獨觀察元件的電子電流密度(Electron Current Density)以及電洞電流密度(Hole Current Density)，如圖. 3-9。

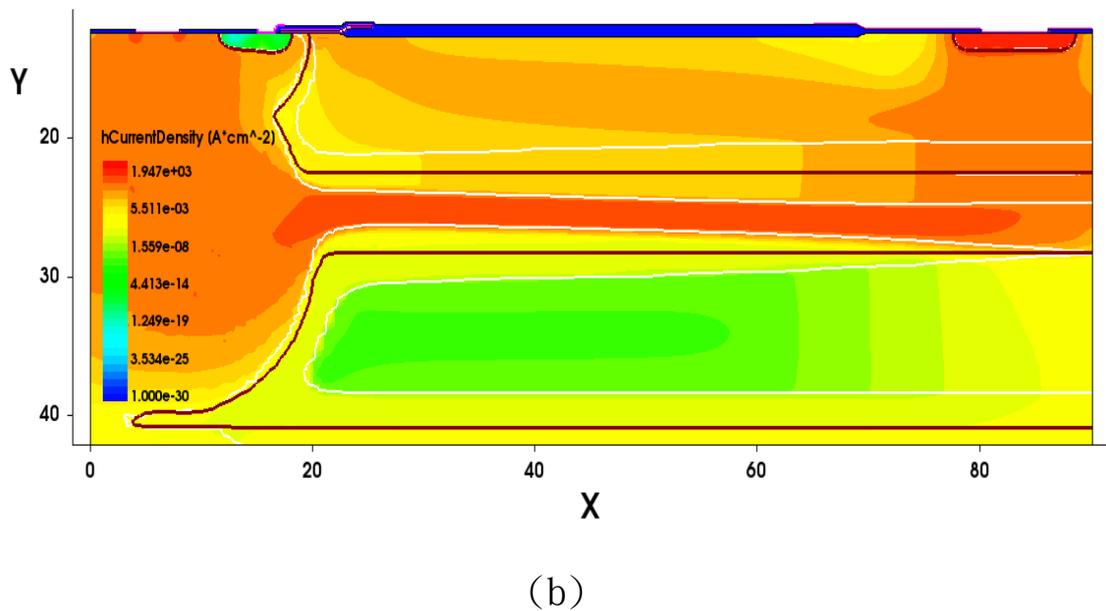
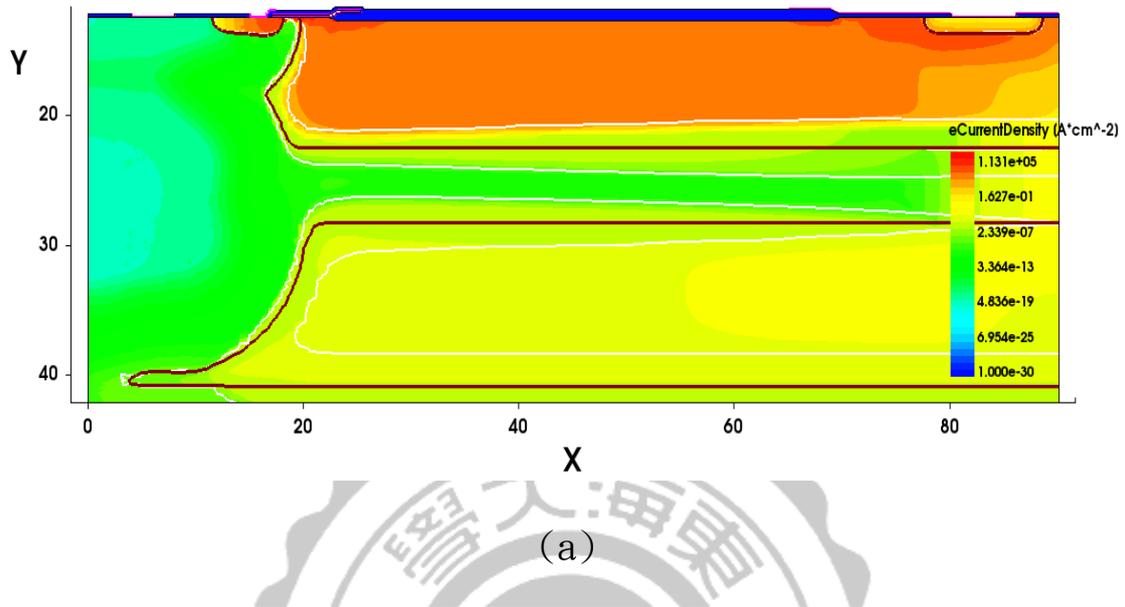


圖 3- 9 LIGBT(a)電子電流密度(b)電洞電流密度

由上圖我們可以得知，電子電流從閘極下方漂移區注入到元件的漂移區並充滿了整個漂移區，而電洞電流則從陽極  $P^+$  區注入電洞電流，

部分電洞電流流向漂移區，其餘大部分則順著 P 型磊晶層通到 BODY 流出。

如上述所說，許多外在因素都會影響元件的電流路徑，以及電壓等位線的分佈，而這些因子都可能會造成元件寄生電阻萃取出的電阻值有所改變，套用於等效電路的數值就會出現偏差。

### 3.2-1 閘極偏壓(Gate Voltage)

閘極偏壓的提供為的就是要使 MOSFET 元件從關閉(Off)轉變成導通(On)的狀態，從公式 3.1 推導，閘極與源極電壓差( $V_{gs}$ )減掉臨界電壓(Threshold Voltage –  $V_t$ )等於驅動電壓(Overdrive Voltage –  $V_{ov}$ )時，元件便會導通。

$$V_{gs} - V_t = V_{ov} \quad (3.1)$$

而當汲極與源極電壓差大於等於驅動電壓時，MOSFET 便會處於飽和區狀態，如公式 3.2。

$$V_{ds} \geq V_{ov} \quad (3.2)$$

最後整合公式(3.1)與(3.2)可以得到公式(3.3)與(3.4)，從中就可以看出閘極偏壓的關聯性，閘極偏壓的不同同時影響著元件的總電流量。

$$V_{ds} \geq V_{gs} - V_t \quad (3.3)$$

$$V_d \geq V_g - V_t \quad (3.4)$$

如圖.3-10，當閘極偏壓為 4 伏特與閘極偏壓為 5 伏特時，從 IV 曲線可看出，其最大電流也會有一定程度的變化，而整體電流的變化也會導致內部元件在各個的電阻萃取上也會有改變。

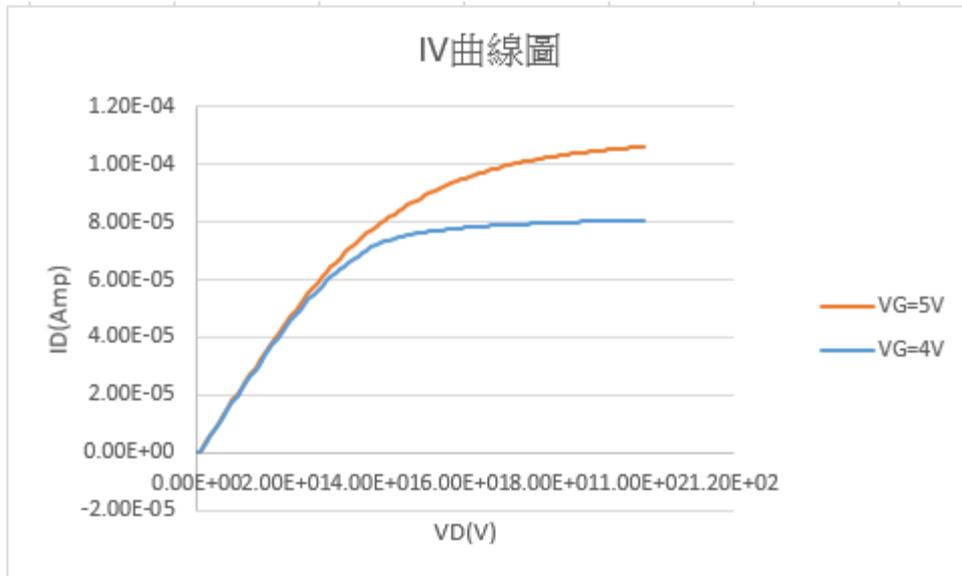


圖 3- 10 閘極偏壓 4 伏特與 5 伏特 IV 曲線圖

### 3.2-2 汲極偏壓(Drain Voltage)

當施予固定閘極偏壓以後元件呈現開啟的狀態，之後在汲極端施加偏壓，元件就會導通，導通之後所注入的電流即是元件的總電流，也可稱為導通電流，而導通電流隨著汲極偏壓的上升會達到飽和點，那即是元件的最大電流。

由圖.3-11 可知，每 10 伏特汲極電壓掃描一次，一直到 100V 的飽和曲線，這樣一來我們可以更精確的知道各個汲極偏壓點的電流路徑和最大電流的非線性變化以及元件內部的電流路徑改變。

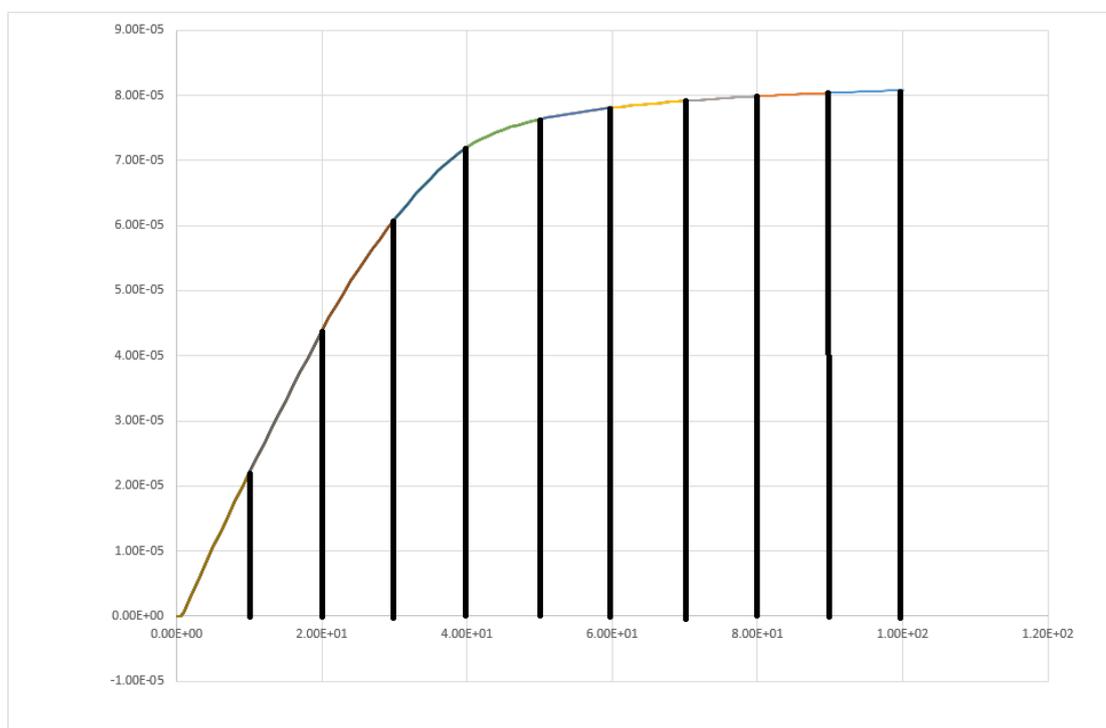


圖 3-11 飽和電流曲線

### 3.2-3 溫度變化

溫度的變化對功率元件來說一直是最大的考驗，當成功設計出一個在室溫 25°C 下可以正常運作且符合需求的功率元件時，伴隨著元件導通時間的增加，內部機制一定會有逐漸升溫的現象，此時如果有對高溫現象敏感的元件則會造成整體功率下降甚至是毀損。

如圖.3-12 的 IV 曲線圖可得知，在室溫 25°C 時元件的最大電流可達

到  $1e-4A$  左右的電流量，而當溫度逐漸的攀升，提高到  $100^{\circ}C$  時，元件最大電流量僅剩  $8.5e-5A$  上下，也就是說飽和電流量下降了將近 15 個百分點，這對於元件功率來說影響是很大的，一來電流下降導致導通後的  $R_{on}$  電阻值提高，二來可能因為內部電晶體的特性而改變了整個等效電路電流趨勢，是非常重要的因素。

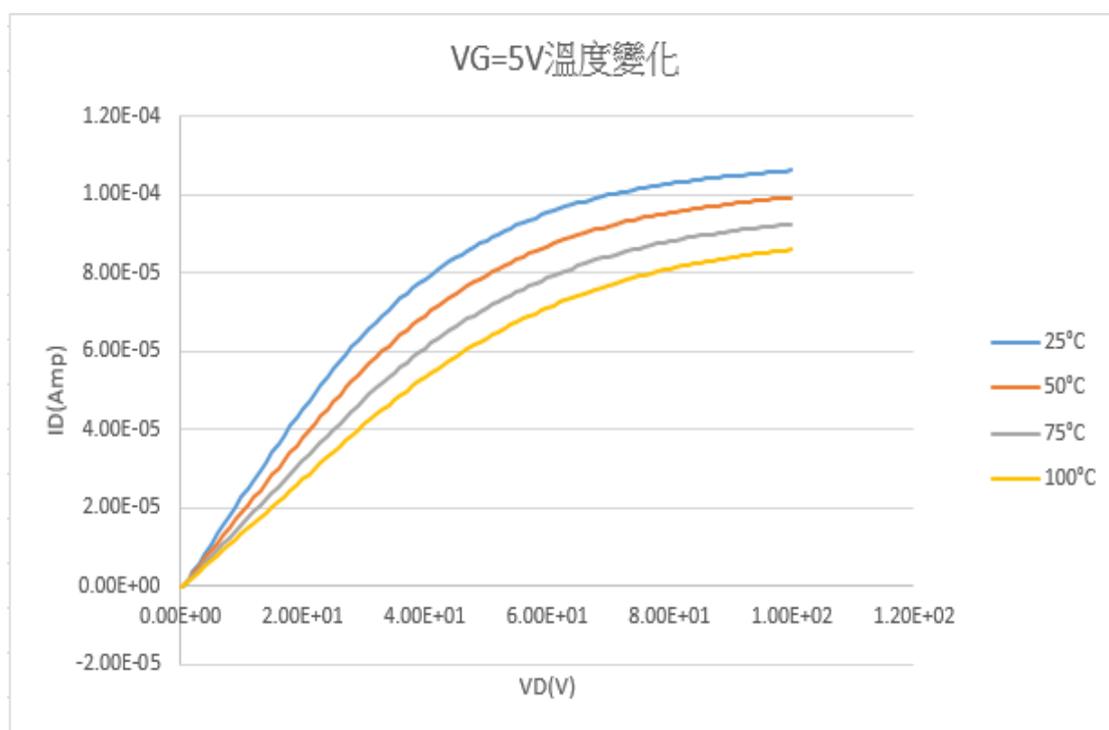


圖 3- 12 I-V 曲線溫度變化圖

### 3.3 最終等效電路及最佳化萃取

當我們從 SVISUAL 上對結構進行分析後，我們得出了能夠最合理對應的等效電路圖，並且將電子電流與電洞電流的路徑做出概略的結合，如圖.3-13。

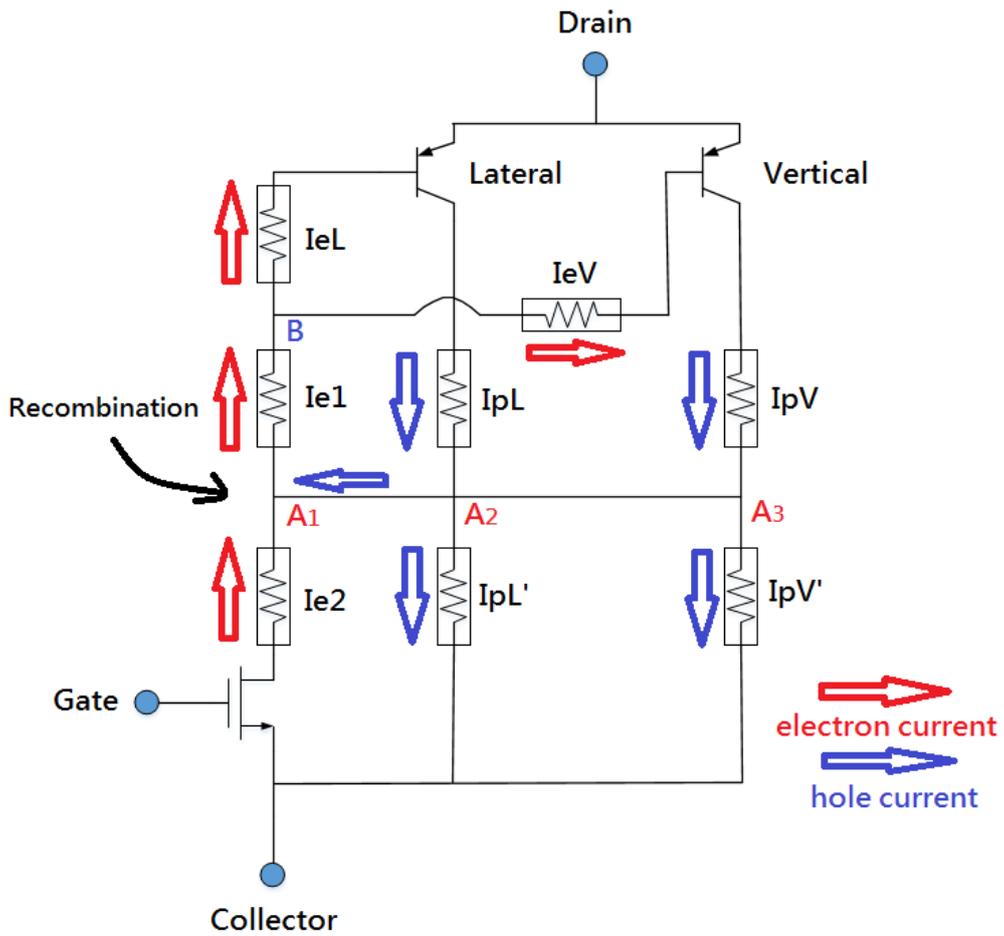


圖 3-13 等效電路及電流路徑圖

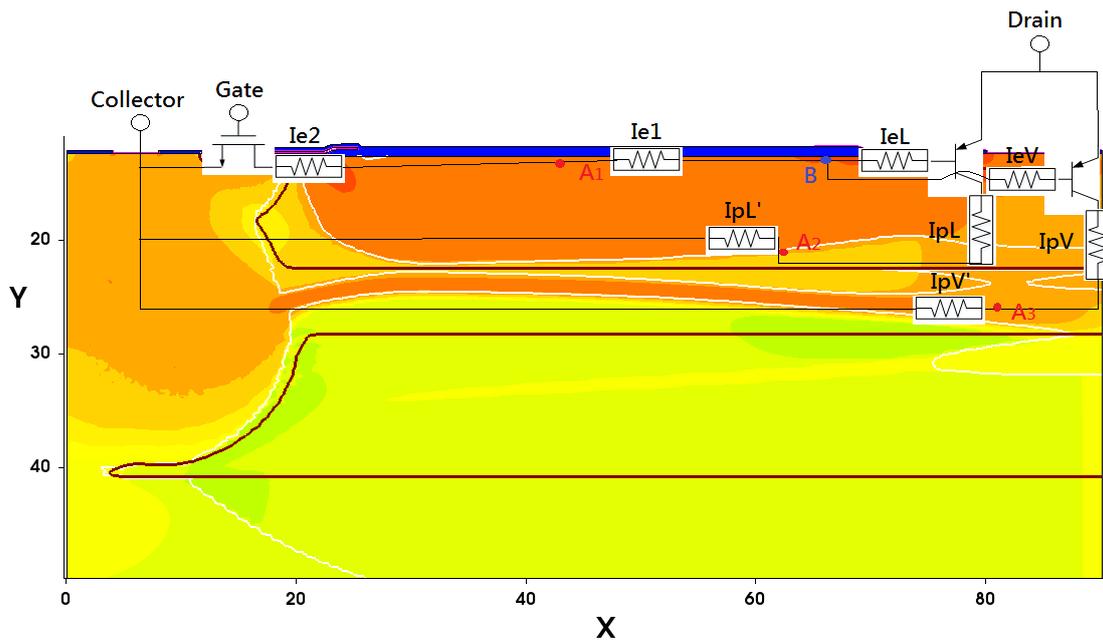


圖 3-14 等效電路與元件結構結合圖

為了讓等效電路的設置更為清楚理解，我們將其結合在 SVISUAL 上的元件結構中，如圖.3-14。以便我們解釋細部電阻的萃取位置。

從圖中可以看到不管是電子電流或是電洞電流都有著垂直以及橫向的流動方向，為因應電子電流流入汲極端時有著橫向進入以及下方垂直進入的路徑，還有電洞電流在分流上有著漂移區流向和往 P 型磊晶層兩種流向，固我們設置兩種 BJT 電晶體來區分兩者的電流路徑。

更細微的解釋各個電阻的萃取位置意義，從  $I_{eL}$  與  $I_{eV}$  開始，如圖.3-15。電子電流密度的分佈上將通道注入的電流分為橫向以及垂直路徑。

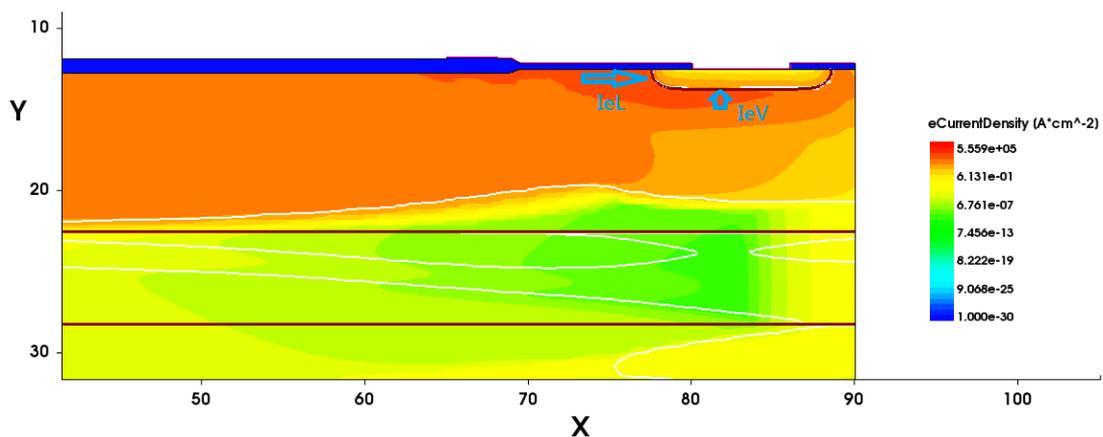


圖 3- 15 橫向( $I_{eL}$ )與垂直( $I_{eV}$ )的電子電流

$I_{pL}$  和  $I_{pV}$  則是電洞電流即將分流到漂移區以及 P 型磊晶層的前段位置，如圖.3-16。

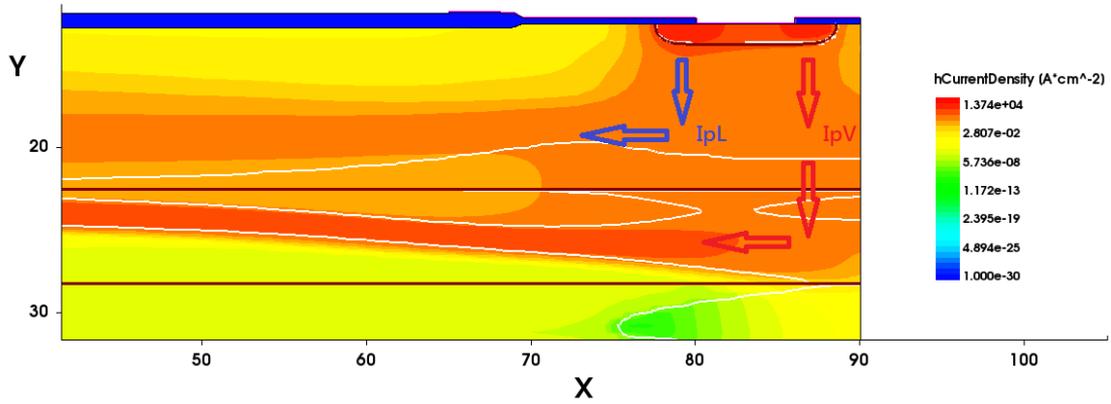


圖 3- 16 橫向( $I_{pL}$ )與垂直( $I_{pV}$ )的電洞電流

$I_{e1}$ 、 $I_{pL}$  和  $I_{pV}$  由於萃取方式的不同，於第四章結果與改善的部分會有兩個萃取結果的呈現，初始使用萃取流程如圖.3-17。

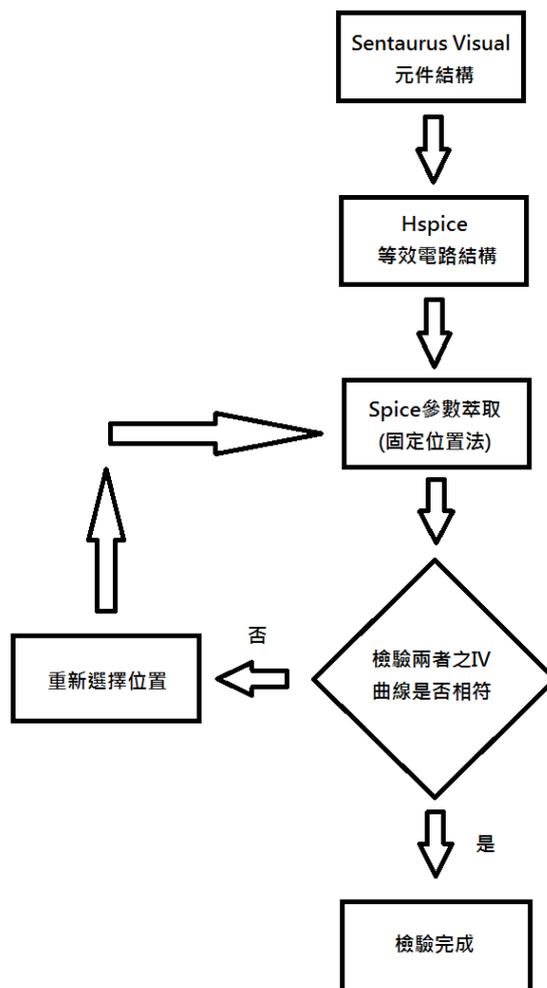


圖 3- 17 流程檢驗法 1

初次嘗試結合採用固定位置方式來建構等效電路之電阻萃取位置，藉由流程圖上所表示方法，反覆萃取電阻，以求較精準之 IV 曲線結合數據，但其第一次等效電路使用並非為有等位線構思，故其等效電路如圖.3-18 中的 A1、A2、A3 三點並未有等電位的情形。

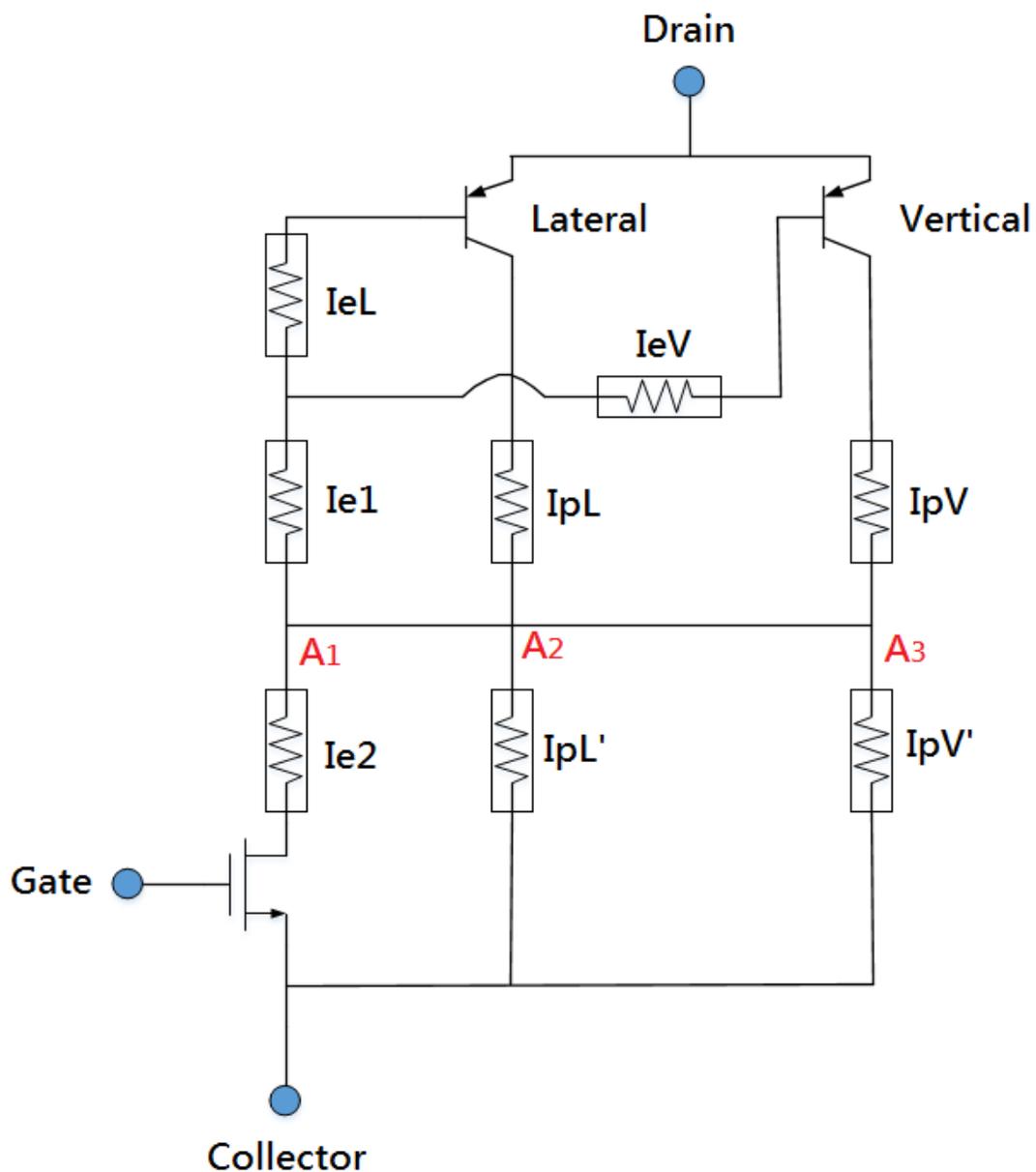


圖 3- 18 等效電路標示無等電位位置

也因其萃取位置會使得元件結構未能與等效電路結合，得以使用第二次萃取方法。

而後在第二次萃取過程中，得到以等位線的構思來進行該段電阻的萃取，固將原先的流程圖作了修改，形成如圖.3-19 之形式顯現。

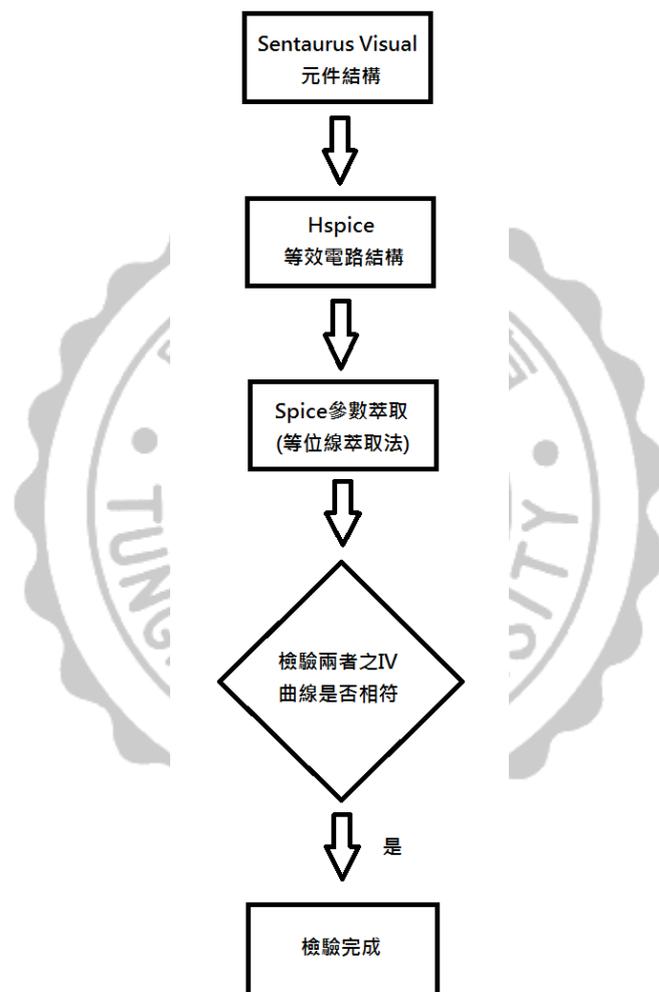


圖 3- 19 流程檢驗法 2

藉由此方法重新建立了萃取電阻的準確性，從而提高 MEDICI 模擬與 HSPICE 模擬結合的精準度，從元件結構的電壓等位線與電阻的結合則從圖. 3-20 可以看到。

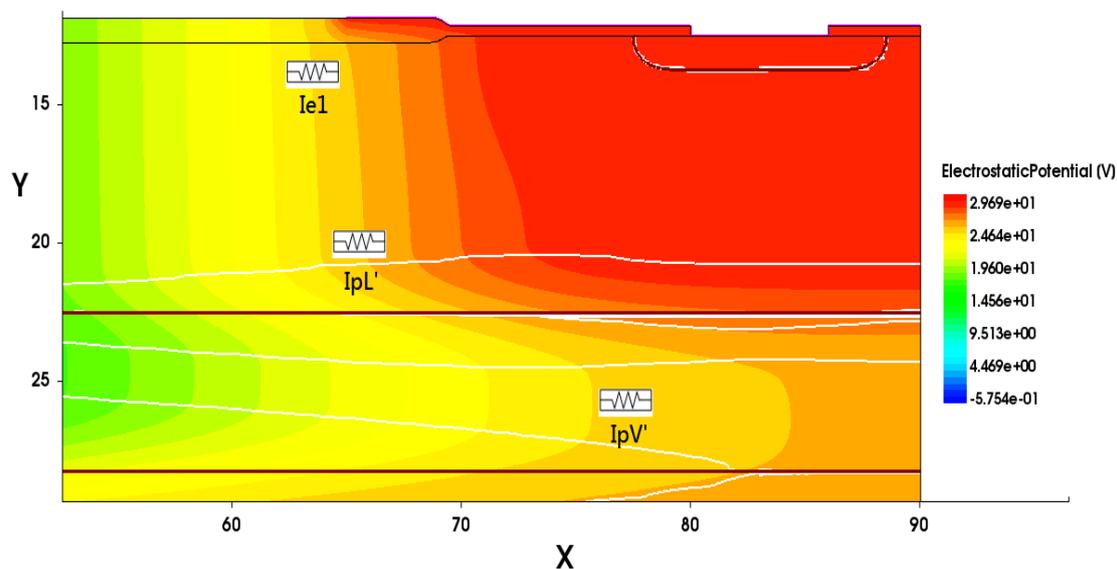


圖 3-20  $I_{e1}$ 、 $I_{pl'}$  與  $I_{pv'}$  電流路徑圖

最後的  $I_{e2}$  則是以通道注入電子電流進入元件的地方，如圖. 3-21。

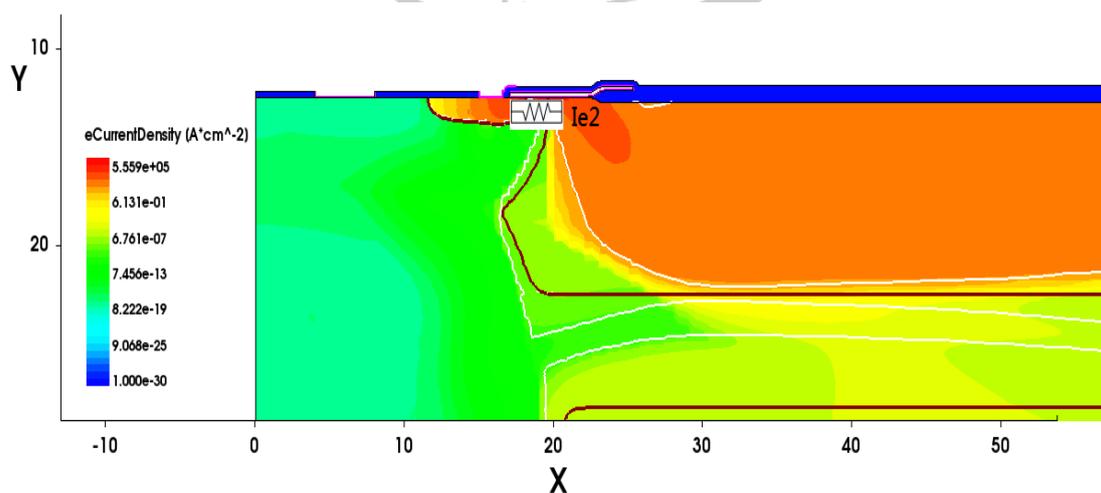


圖 3-21  $I_{e2}$  電流路徑圖

藉由上述各個位置的電阻萃取實際使用 HSPICE 進行驗證，確認各個分流數值準確並且符合克希荷夫定律即可認定 HSPICE 確實可以和 SVISUAL 的元件結構做結合。



# 第四章 結果與改善

## 4.1 參數萃取結果

使用第三章我們所採用的方法來取得元件的電洞電流與電子電流流向，並且以萃取出來的電流值計算等效電路上的電阻值是完整的萃取步驟，為了驗證使用的方法可以有效的結合，以室溫下閘極電壓 (Gate Voltage) 4 伏特至 8 伏特的範圍來分析模擬軟體 MEDICI 和 HSPICE 萃取電流的吻合程度。

如圖. 4-1~圖. 4-3，藍色曲線表示 MEDICI 對元件的導通電流模擬，橘色部分則是 HSPICE 以及極端電壓 10 伏特開始，每十伏特做一次數據的採集。

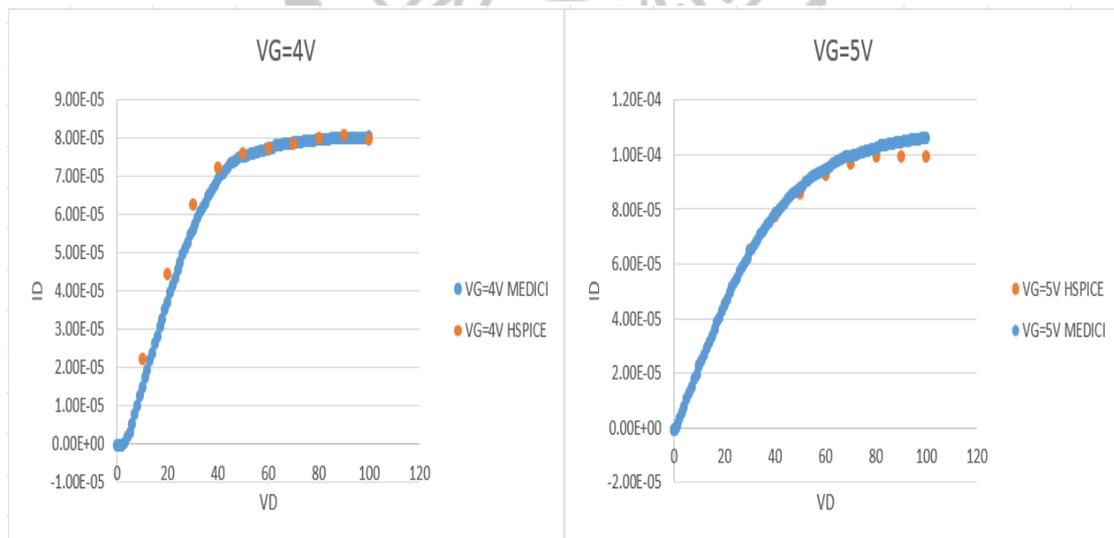


圖 4- 1  $V_G=4V$  與  $5V$  的模擬結果比較

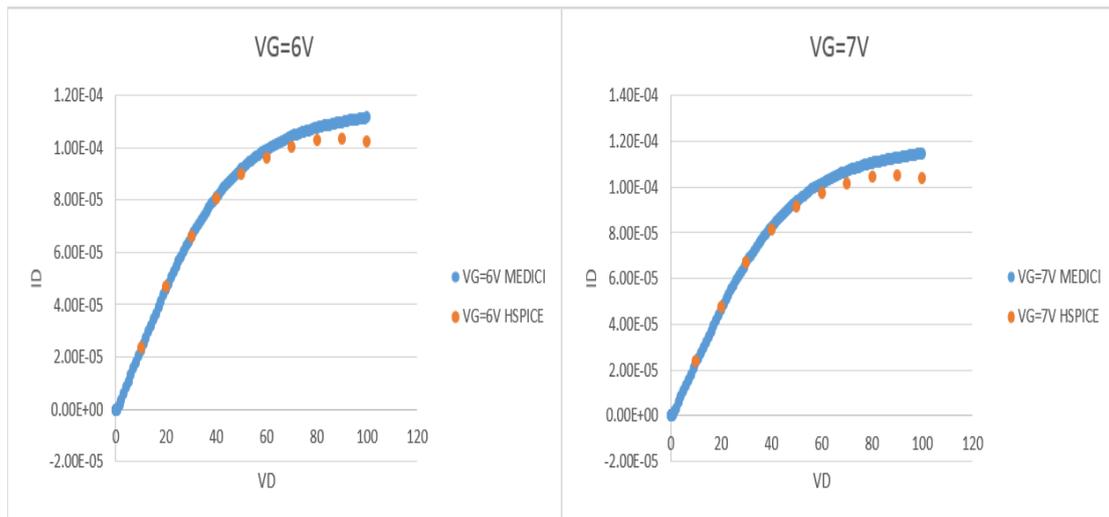


圖 4- 2  $V_G=6V$  與  $7V$  的模擬結果比較

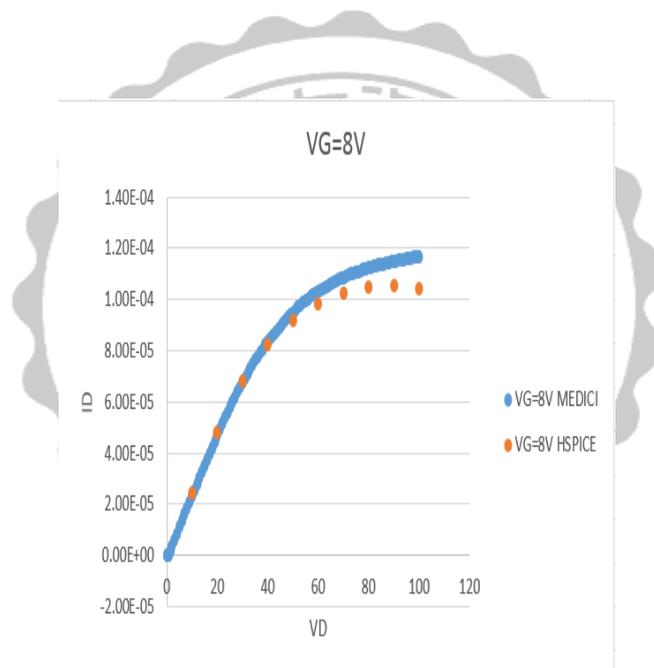


圖 4- 3  $V_G=8V$  的模擬結果比較

從上列不同閘極偏壓的圖中可看出，雖然 MEDICI 導通電流的模擬曲線與 HSPICE 電流萃取的點有些微的誤差，但是可以看出其曲率變化是符合的，固我們認定該採集方法可以使用。

因應大多數的感測器元件或是訊號處理等多使用  $5V$ 、 $12V$ 、 $24V$  等

電壓設定，固以著重在閘極偏壓 5V 的地方做數據的萃取。

如圖.4-4 中，在閘極偏壓 5V 的時，以不同的溫度變化來萃取元件的飽和電流，藉此來探討該元件的溫度特性分析。

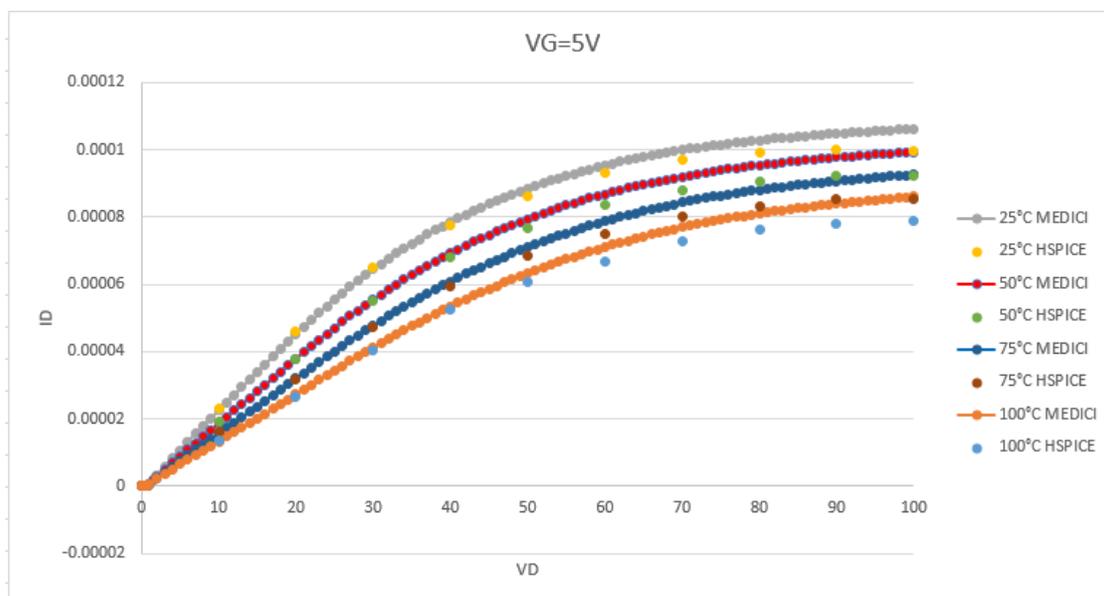


圖 4- 4 閘極偏壓 5V 下，溫度 25°C~100°C 圖表

相同的在閘極偏壓 5V 的狀態下，MEDICI 電流模擬以及 HSPICE 萃取數據之曲率變化也是相符合的。

驗證過後就是等效電路各個細部電阻的數值萃取，首次萃取並未使用第三章提及的等位線萃取法，萃取電阻如圖.4-5~圖 4-8。

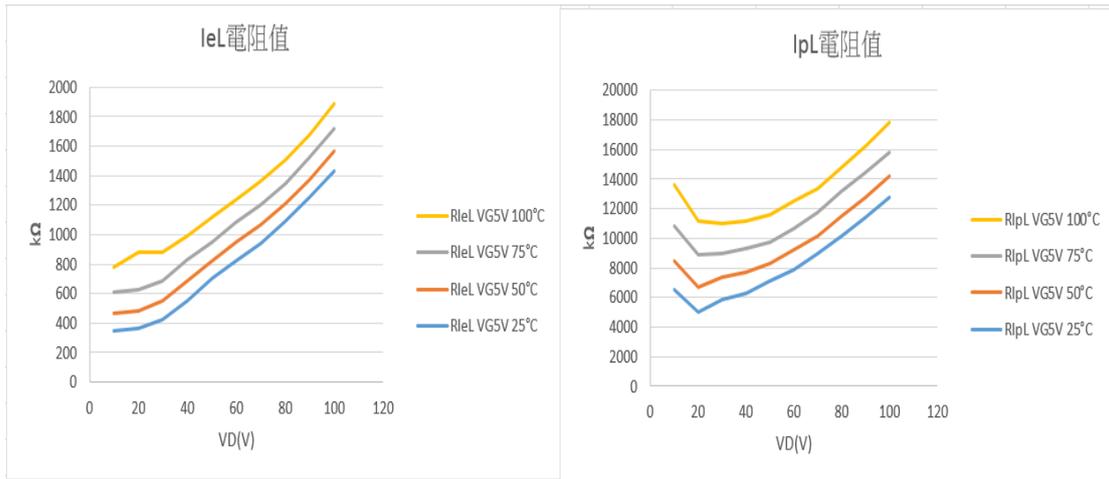


圖 4- 5 橫向 BJT 電阻萃取

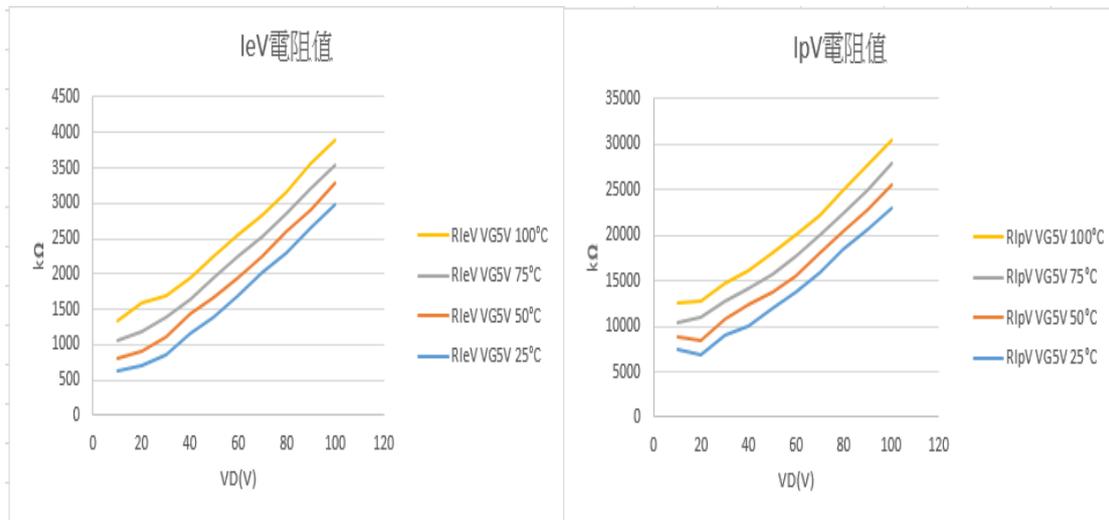


圖 4- 6 垂直到向 BJT 電阻萃取

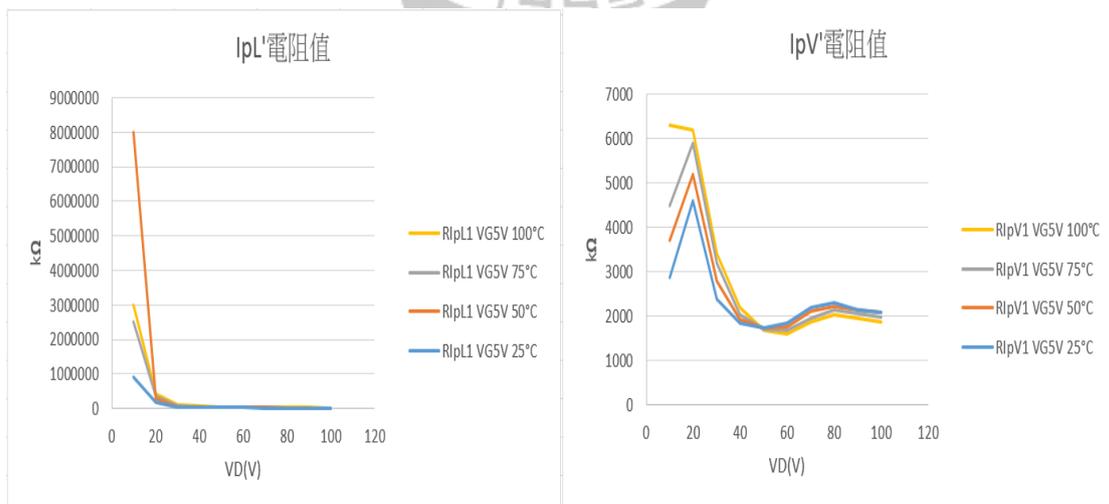


圖 4- 7 後段電洞電流電阻萃取

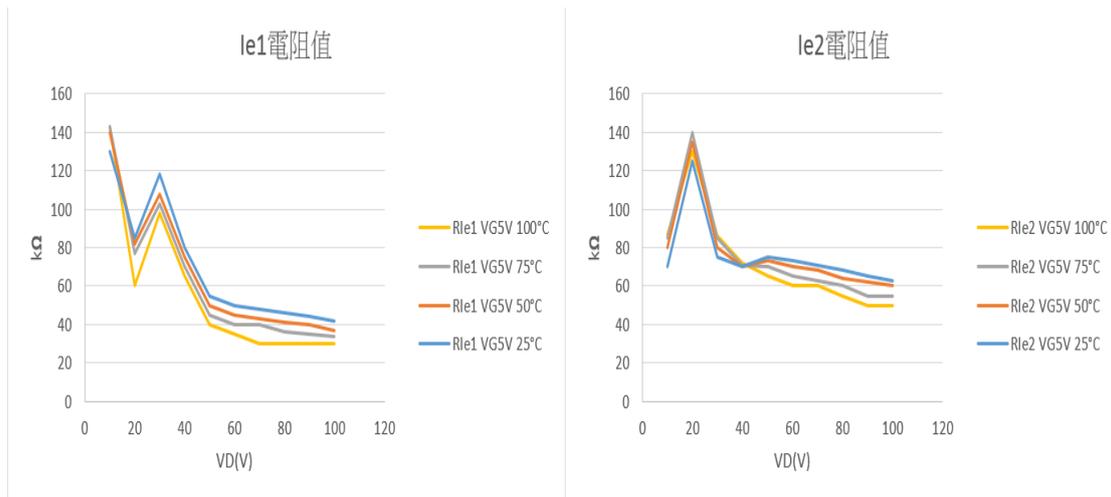


圖 4- 8 後段電子電流電阻萃取

藉由各段電阻的萃取數值可以看出，第一次萃取的數值除了橫向BJT和垂直BJT的四個電阻較有溫度特性趨勢以外，其餘的後段電阻可能造成此結果的原因。第一，元件本身電流並非單一流向，固可能因萃取位置和範圍的不同造成萃取上的問題，第二，由於N型漂移區與P型磊晶層接面在施予汲極偏壓不同的狀況下，可能導致部分電洞電流從接面順偏區路徑往漂移區移動，部分電子電流往P型磊晶層流向，如圖.4-9。

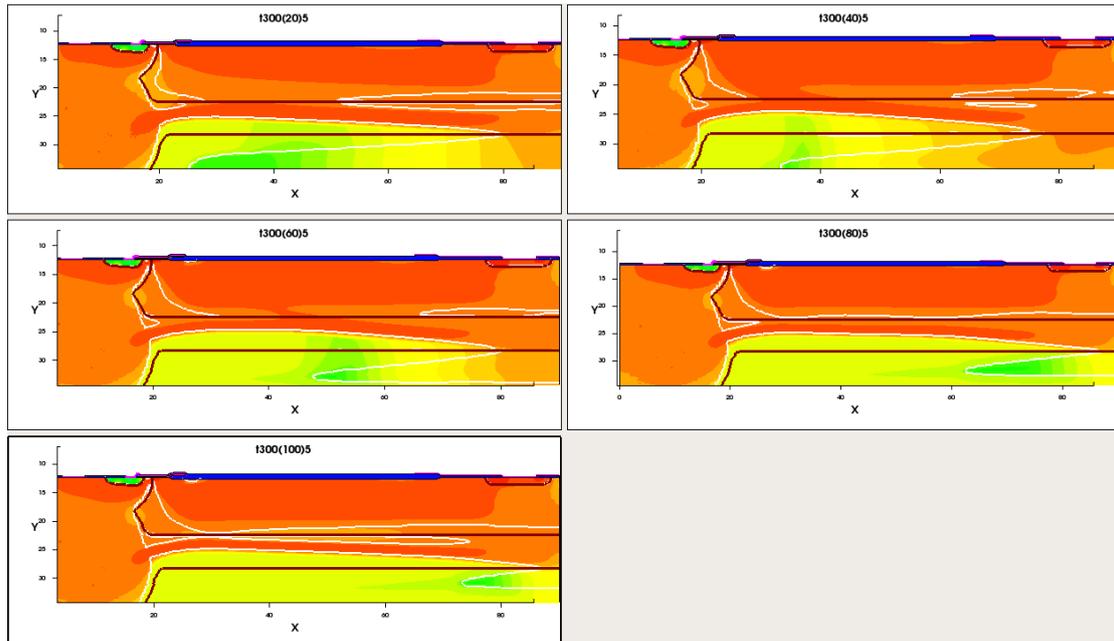


圖 4- 9 汲極偏壓 20~100V 電洞電流密度變化

從上圖可看出汲極偏壓在 20V、40V、60V 的位置都有該現象的產生，固上述提到的問題都會間接影響電阻的萃取準確度。

最後一點則是首次萃取時  $R_{pL}$ 、 $R_{pV}$  和  $I_{cl}$  電阻並未隨等位線方式萃取而出現了偏差。

再來則是寄生 BJT 的  $\beta$  值萃取，它是溫度特性分析上一個重點關注的部分，BJT 的  $\beta$  值取絕於它的  $I_C$  及  $I_B$ ，相較於元件上的電洞電流和電子電流量值，由於該元件的電子電流流量占總電流量的絕大部分，固萃取出來的電晶體  $\beta$  值都會是小於 1 的結果，而此處也是可以做出改善的位置。如圖.4-10 中， $\beta_1$  表示橫向型寄生 BJT 的  $\beta$  值，而  $\beta_2$  則屬於垂直型寄生 BJT 的  $\beta$  值。

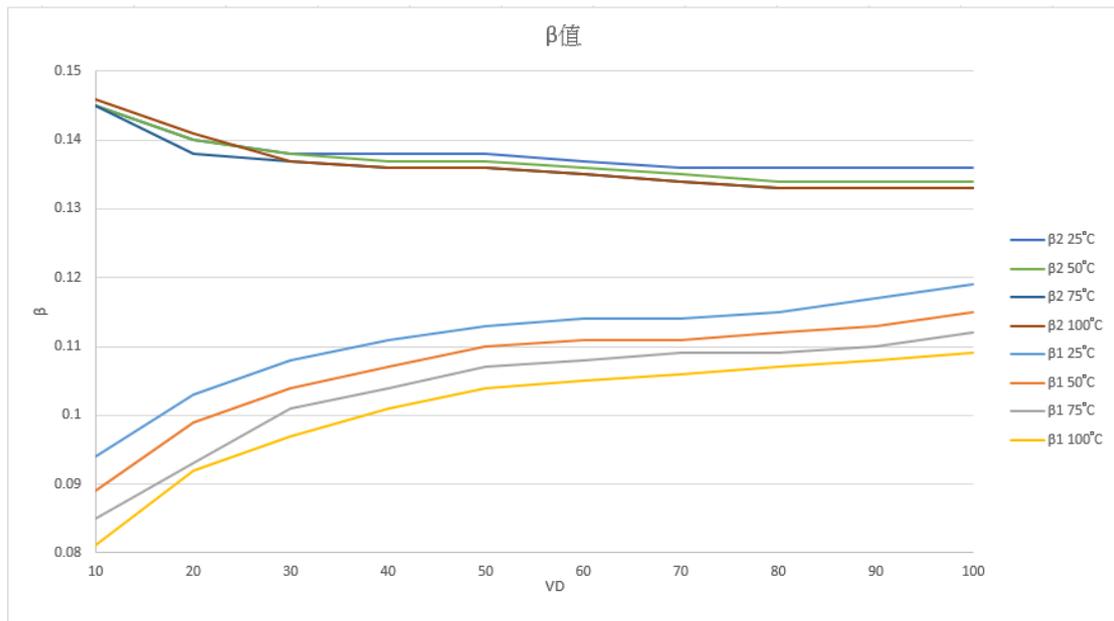


圖 4- 10 電晶體  $\beta$  值

可以看到的一點是不論是橫向型或是垂直型 BJT 其  $\beta$  值都在 0.2 以下，也就是說如果電子電流的量本來就趨於固定，電洞電流的量明顯就會比較少。如圖.4-11 可看出電洞電流的量大約占整體元件總電流量的不到 10% 左右，相對於電子電流來說確實還有增加的空間，對此可以從元件結構上透過光罩設計、摻雜濃度改變等方法來增加汲極端注入電洞電流的量。

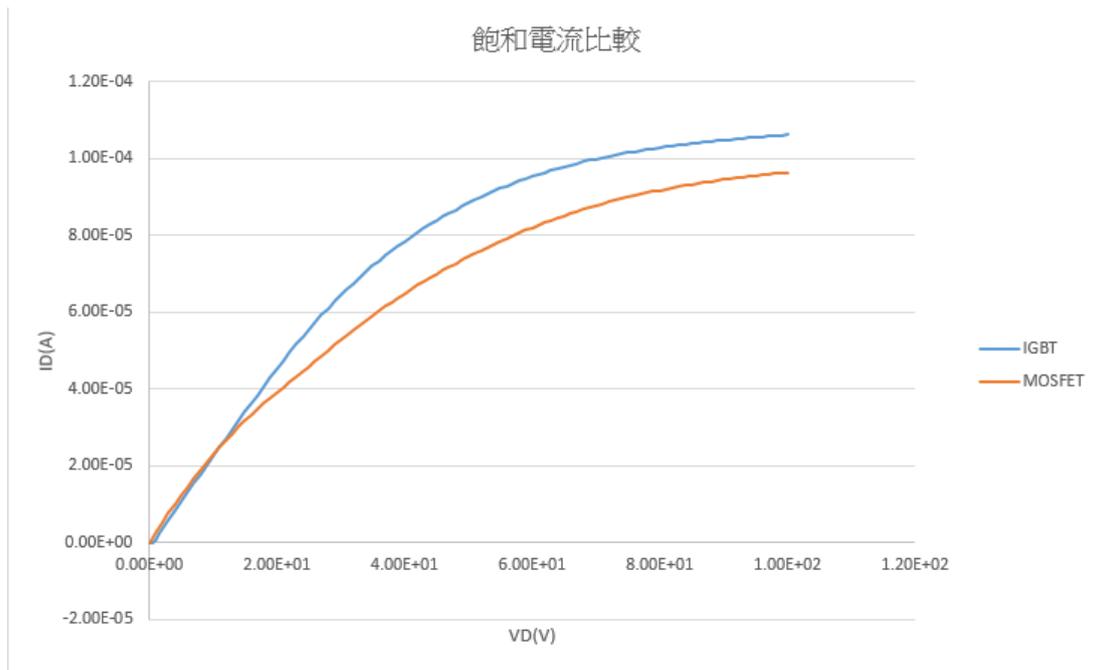


圖 4- 11 IGBT 與 MOSFET 電流量比較

## 4.2 改善方向

由於上述萃取出來的寄生 BJT  $\beta$  值較少，判定電洞電流為主要可以改善的方向，而電洞電流是由汲極端的 P<sup>+</sup> 摻雜點注入到元件裡，周圍則有一個 N-buffer 摻雜做一個保護層，如圖.4-12。

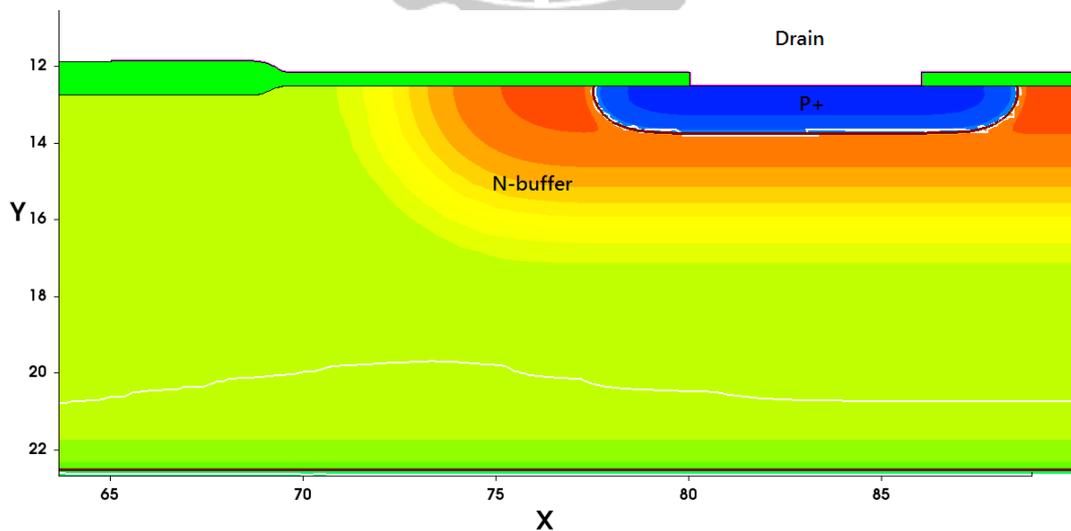


圖 4- 12 汲極端結構

為此嘗試從改變 N-buffer 的摻雜或光罩位置來減少電洞注入後所受到的阻隔，原始參數的部分有光罩範圍 75um~90um，以及摻雜濃度為  $2e15$ 。

#### 4.2-1 摻雜濃度調變

首先以改變 N-buffer 摻雜濃度做嘗試，藉由下降摻雜濃度來降低 N-buffer 的阻絕度，為此我們分別以  $1e15 \text{ cm}^{-3}$  與  $7e14 \text{ cm}^{-3}$  的濃度進行測試，如圖.4-13、4-14。

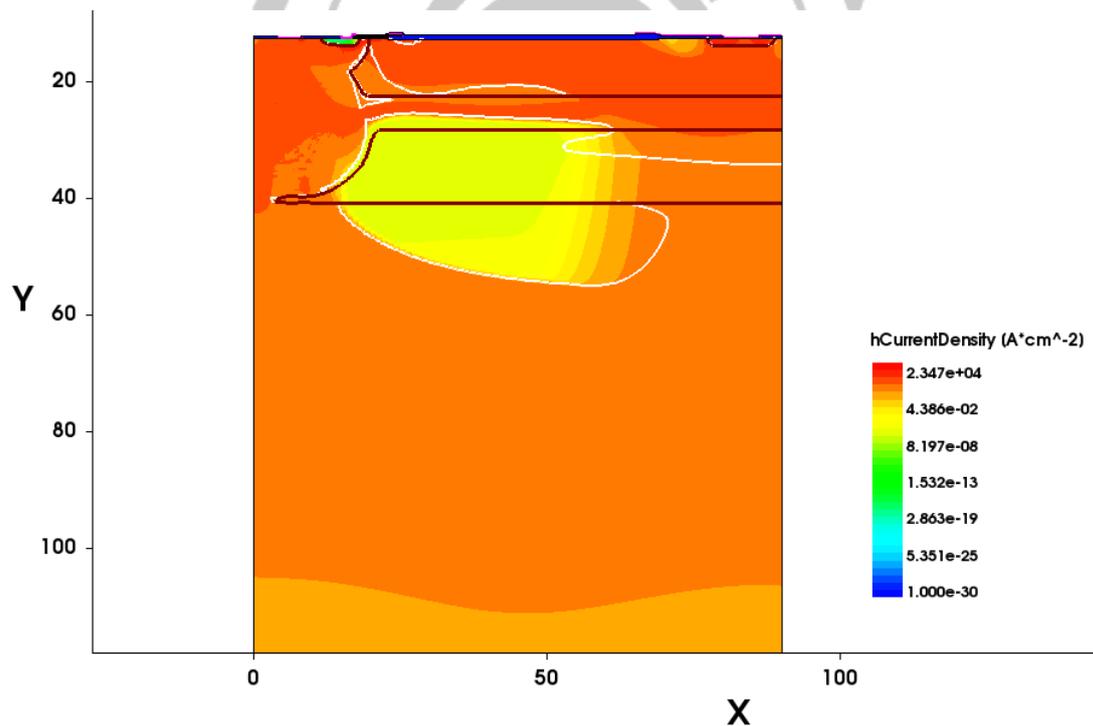


圖 4- 13  $1e15\text{cm}^{-3}$  摻雜濃度下電洞電流密度

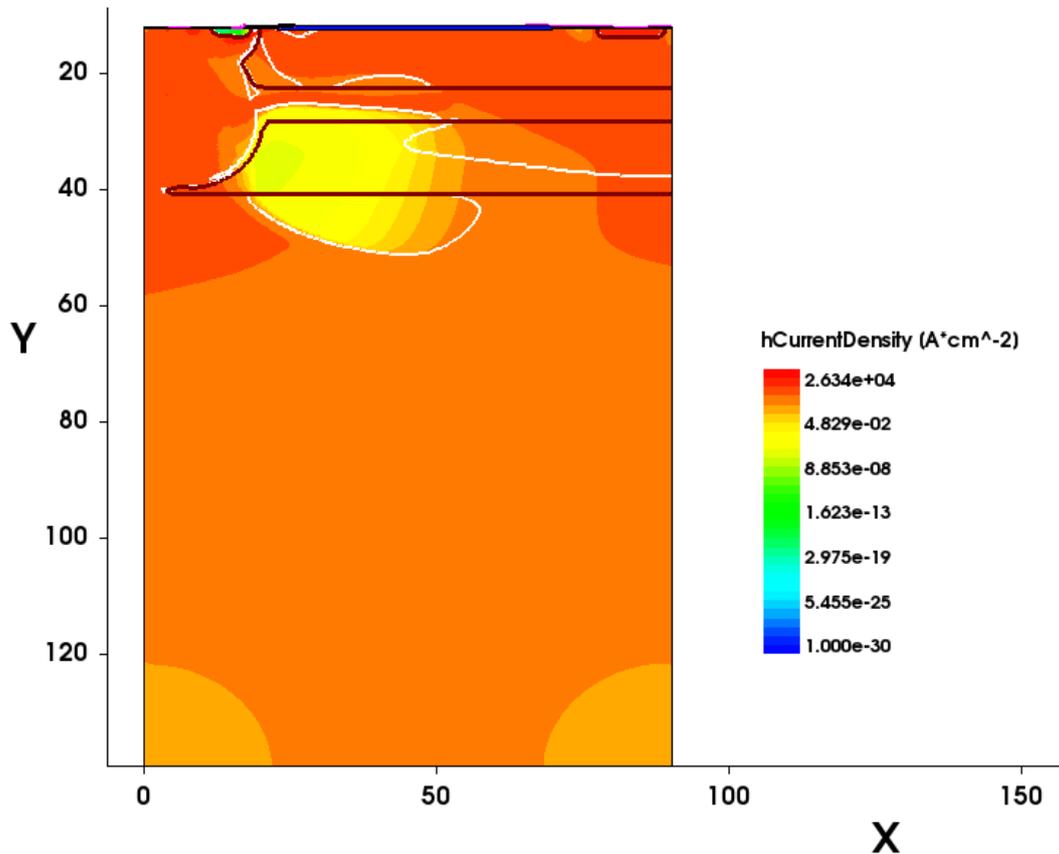


圖 4- 14  $7 \times 10^{14} \text{ cm}^{-3}$  摻雜濃度下電洞電流密度

從上圖可得知在  $1 \times 10^{15} \text{ cm}^{-3}$  濃度下的電洞電流有明顯的基板漏電流的產生，而  $7 \times 10^{14} \text{ cm}^{-3}$  濃度下此現象則更為嚴重，因此認定  $2 \times 10^{15} \text{ cm}^{-3}$  濃度摻雜已是最大程度阻絕基板漏電流效應的產生。

#### 4. 2-2 光罩設置改變

在第一次萃取下的寄生 BJT  $\beta$  值中可以看到不論是橫向型 BJT 或是垂直型 BJT 的  $\beta$  值都明顯偏低，而為了避免如改變摻雜濃度所造成的基板漏電流，固以縮減 N-buffer 左側光罩長度來嘗試提升橫向

型 BJT 的  $\beta$  值。

如圖. 4-15, 分別將光罩範圍從原先設計的 75 $\mu\text{m}$ ~90 $\mu\text{m}$  縮減為 76~90 $\mu\text{m}$ 、77~90 $\mu\text{m}$  以及 78 $\mu\text{m}$ ~90 $\mu\text{m}$  這三種。

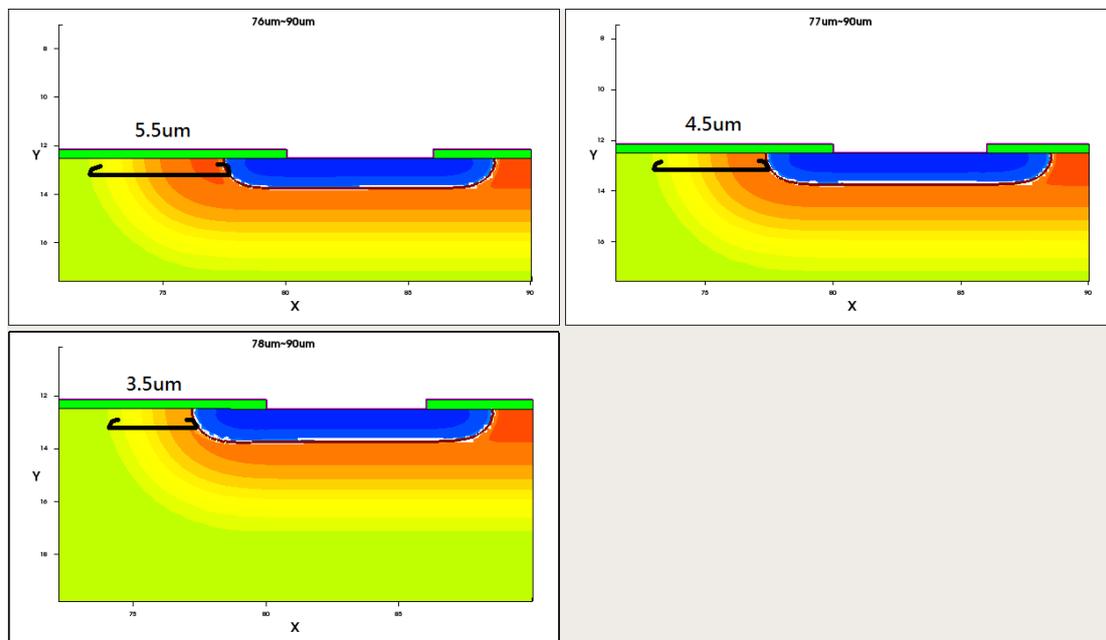


圖 4- 15 不同光罩長度之 N-buffer

經由擴散加熱製程步驟後 N-buffer 最左側與 P<sup>+</sup>最左側距離分別為 5.5 $\mu\text{m}$ 、4.5 $\mu\text{m}$  以及 3.5 $\mu\text{m}$ ，藉由電洞電流密度分佈圖來觀察，如圖. 4-16。

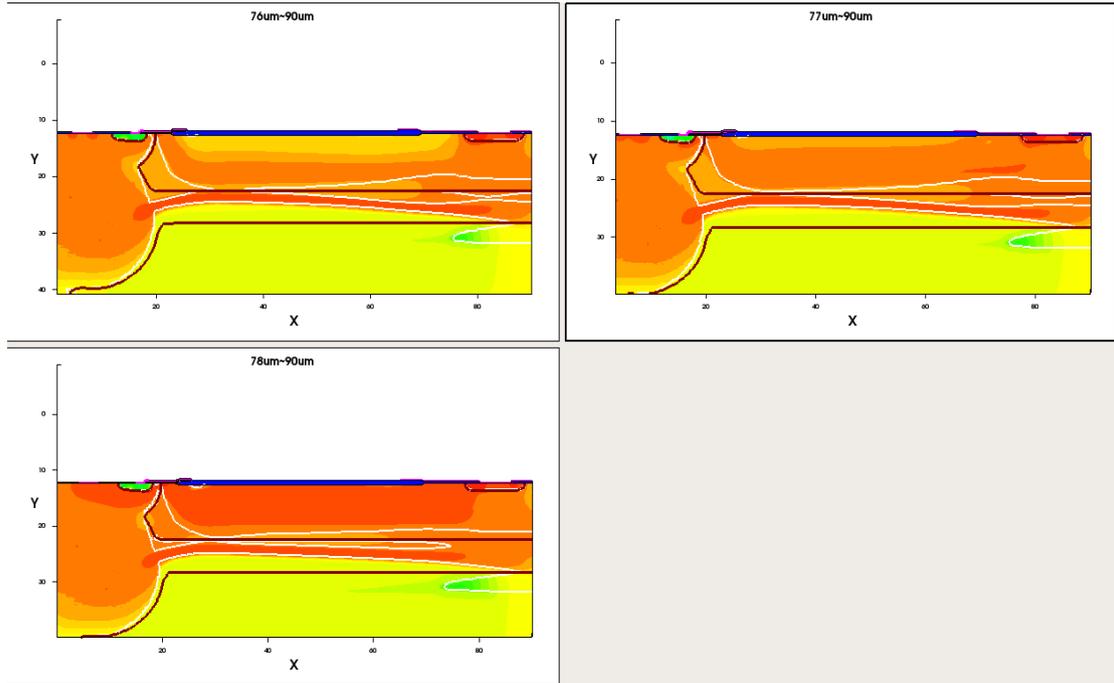


圖 4- 16 不同光罩長度之電洞電流密度圖

從上圖可以得知隨著縮減 N-buffer 左側與 P<sup>+</sup> 左側之間的長度，往漂移區注入的電洞電流也跟著有大幅度的提升。而以數據分析方面來觀測結果，以 MEDICI 電性模擬來觀察上述三種光罩變化之導通電流曲線圖，如圖.4-17。

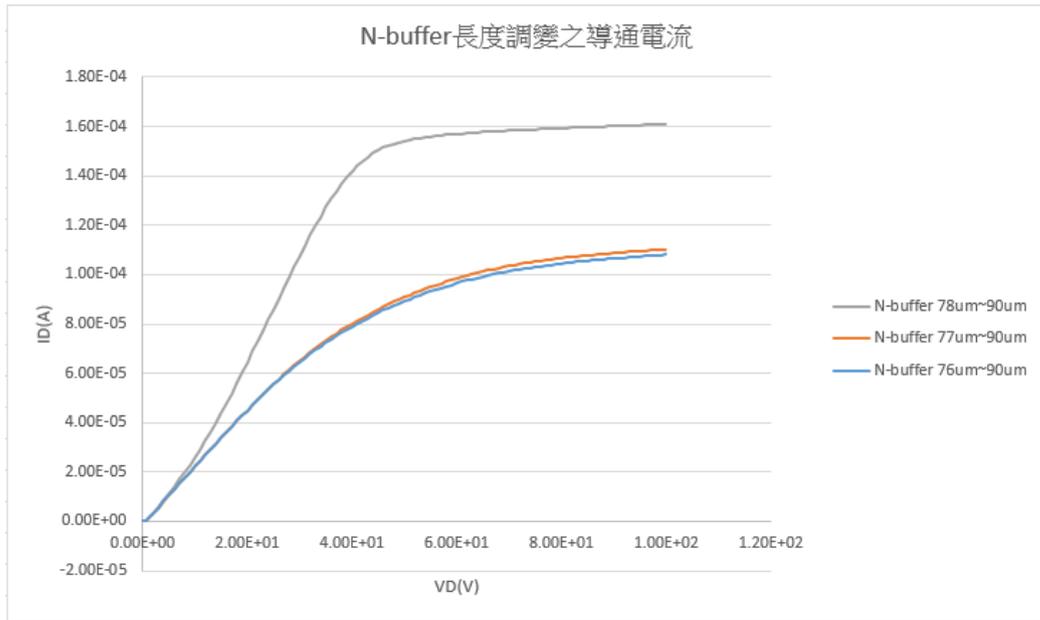


圖 4- 17 導通電流比較

從上圖可得知，光罩範圍 78um~90um 的導通電流遠比原先的導通電流以及 76um~90um 和 77um~90um 多上 60 個百分比左右的電流量，並且其飽和曲線也較趨於平順。

崩潰電壓的部分，如圖.4-18，也沒有隨著元件結構的改變而變小。

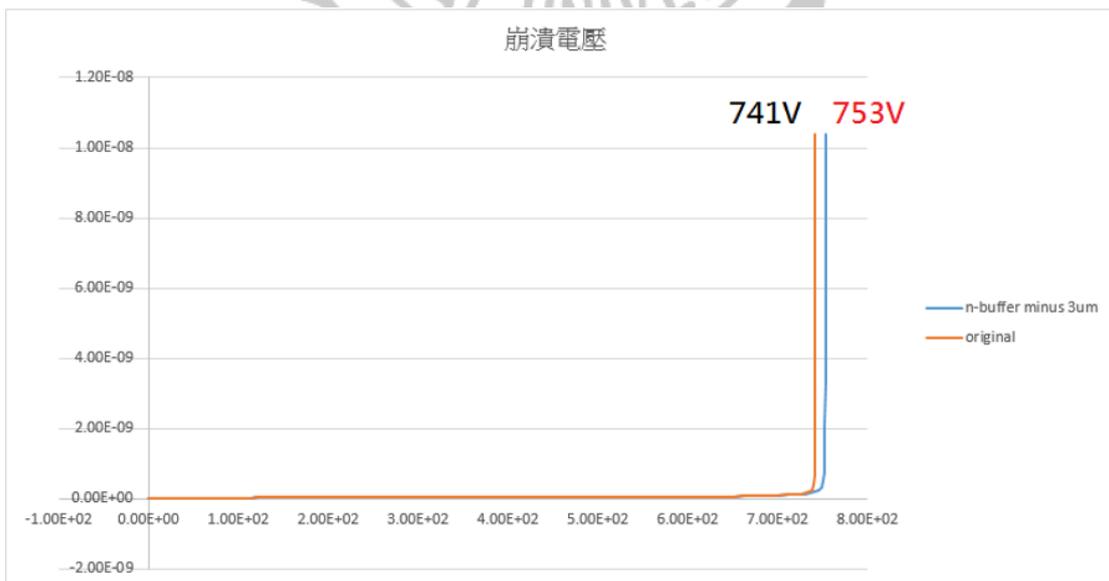


圖 4- 18 崩潰電壓比較

接著單獨以 78um~90um 的 IGBT 和 MOSFET 做比較，如圖.4-19。

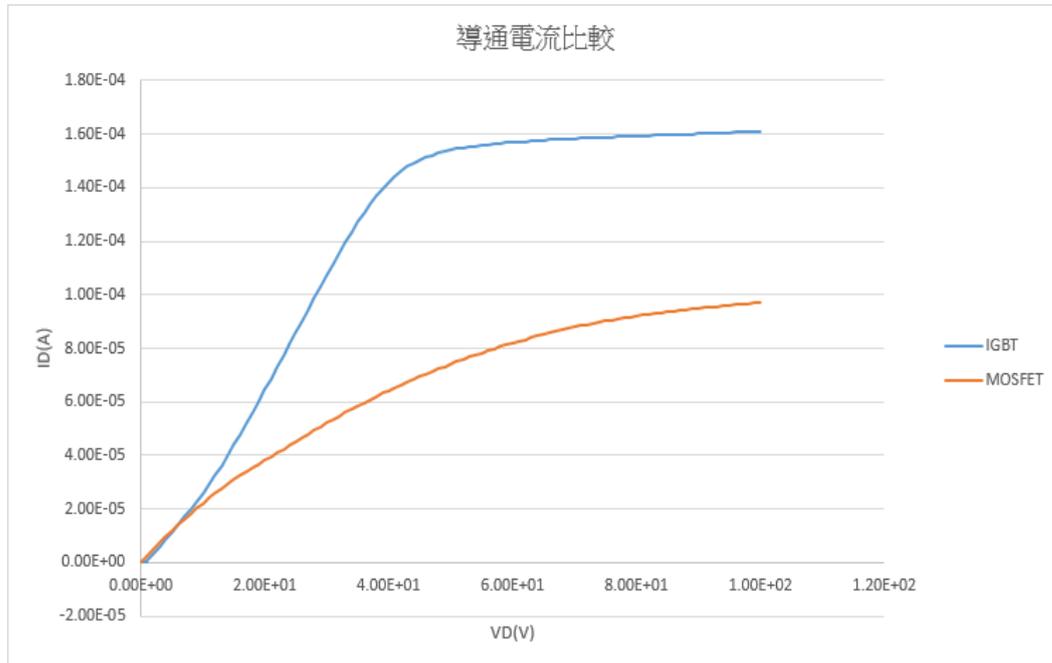


圖 4- 19 IGBT 與 MOSFET 電流比較

從上圖 IGBT 與 MOSFET 的比較可以看出汲極電壓於 100V 時其電流量相差大約也是 60 個百分比的電流量，所以可以推論改變結構過後的電洞電流量可達到  $6.4e-5$  安培左右，與初始結構只占原先電流量 10%相比是提升了許多。

### 4.3 改善結果

元件結構改變後，仍然會對其電流的萃取與 MEDICI 飽和電流做對照以求準確性，如圖.4-20。

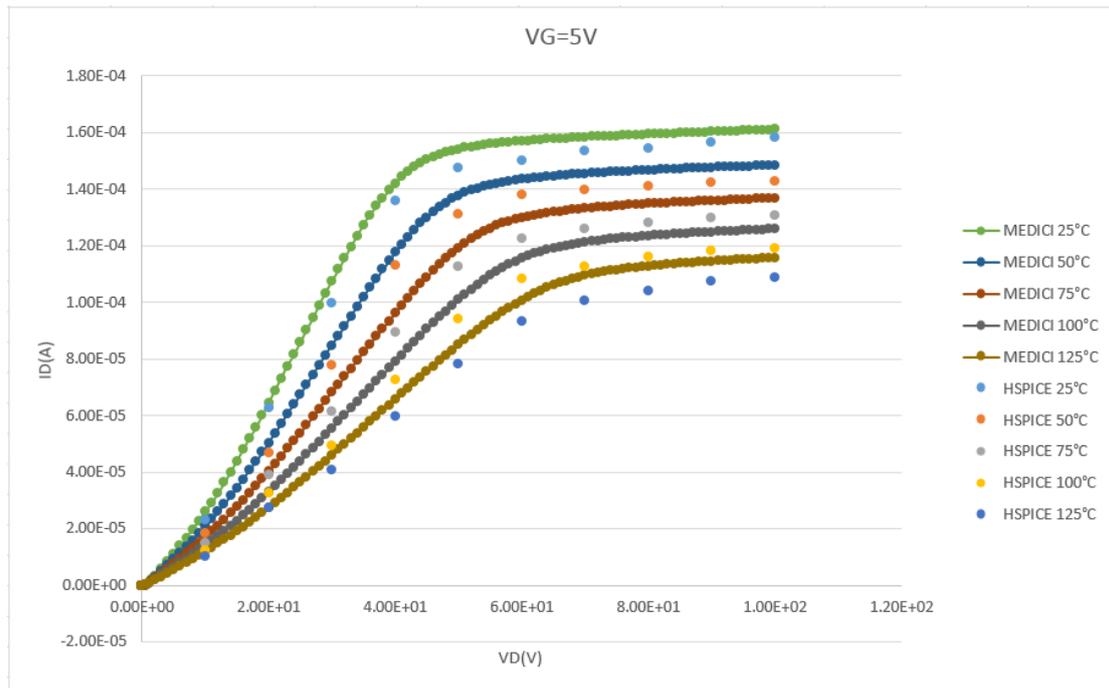


圖 4- 20 模擬軟體導通電流對照圖

而當做出結構改變時，電阻萃取的位置也會跟著有所改變，不同於初始方法， $R_{pL}$ 、 $R_{pV}$ 和  $R_{el}$  等電阻採用等位線位置萃取方法增加其準確度。

還有一點則是將等效電路做出了改變，不同於原本的等效電路結構，如圖.4-21，做出改變的原因在於原先的等效電路只設計了一條等位線的電阻，換句話說也就是該區域電阻橫跨了很大的電位差，如果將此對應到 SVISUAL 元件圖上，可以發現一個電阻所跨越的元件區塊非常的大，相對的電阻的準確性就會失真，固藉此增加一組電阻，也就是多一條等位線，如圖.4-22，從而使得等效電路的萃取能夠提升精準度。

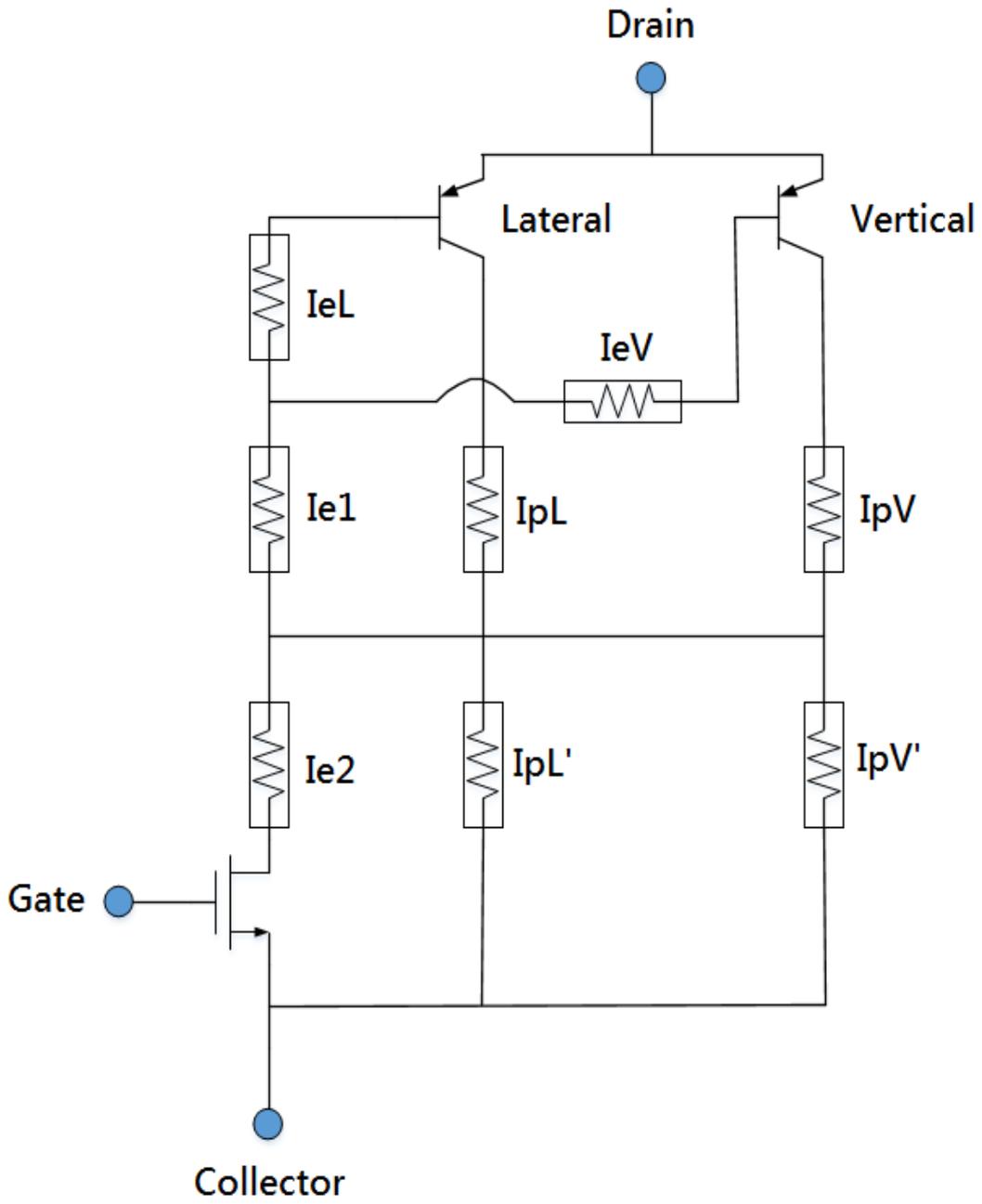


圖 4- 21 初始等效電路

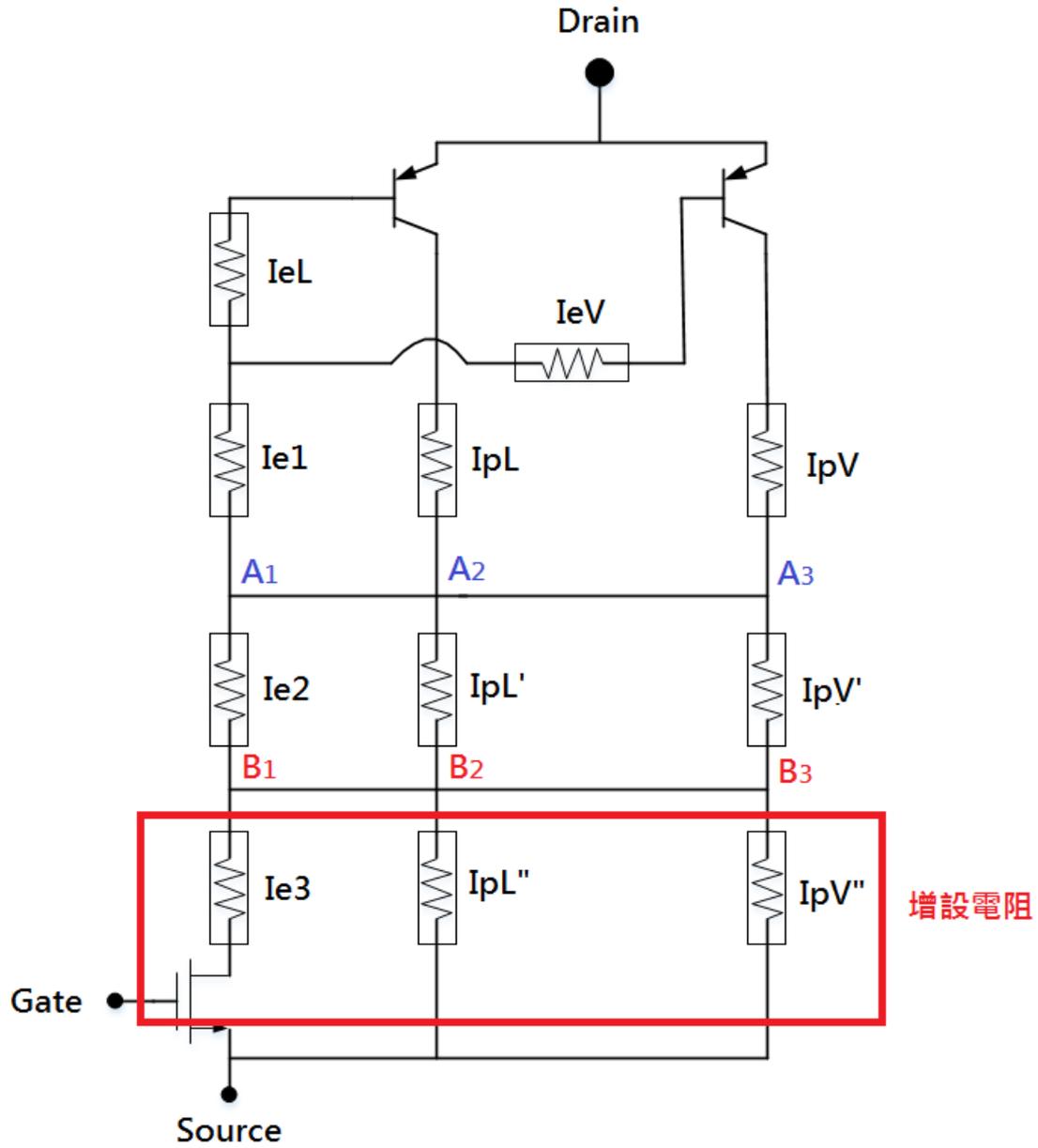


圖 4- 22 改變後等效電路

如圖.4-23的等效電路與元件結構圖也可以看出使用兩個等位線的  
 目的就是要更精確萃取漂移區長度將近 55um 的區塊。

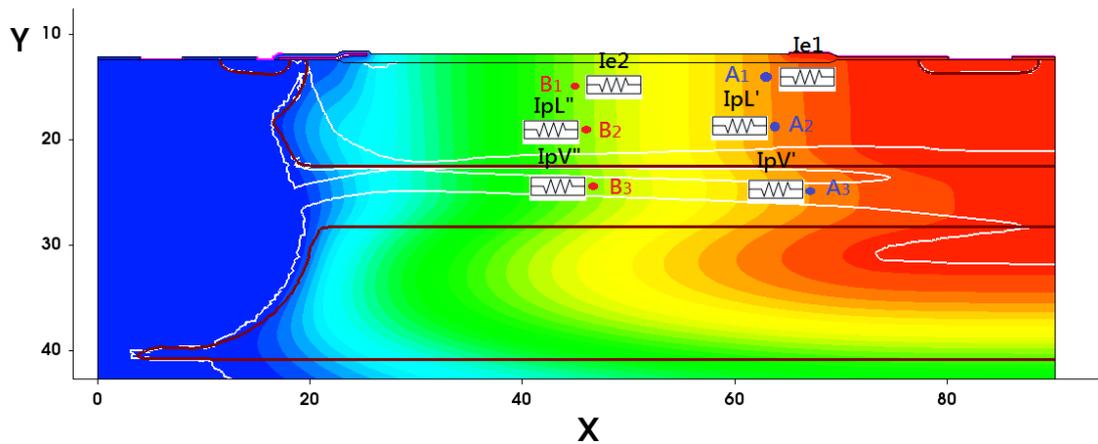


圖 4- 23 兩條等位線與元件的結合

之後就是各端電阻的萃取以及針對不同地方的電阻做解釋。如

圖. 4-24~4-27。

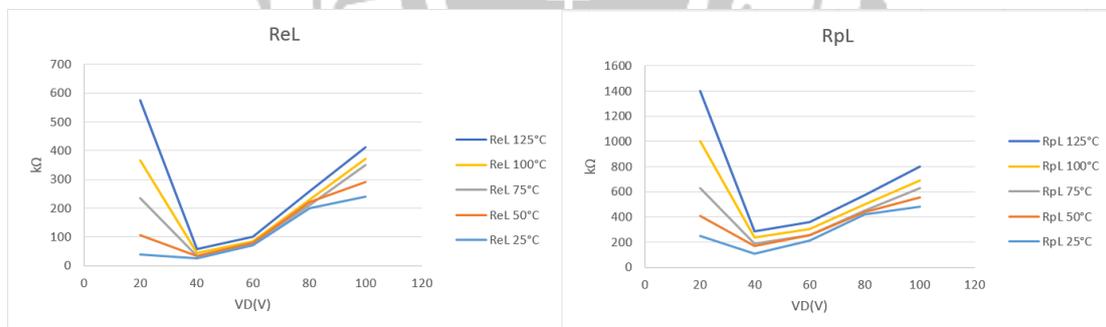


圖 4- 24 橫向 BJT 電阻萃取

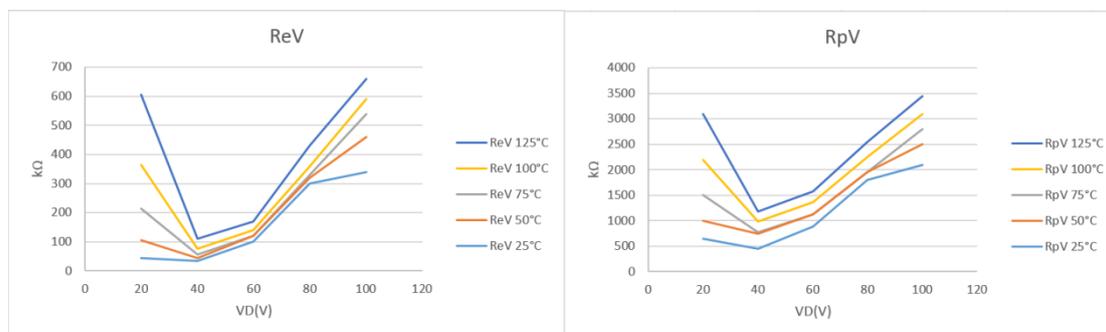


圖 4- 25 垂直方向 BJT 電阻萃取

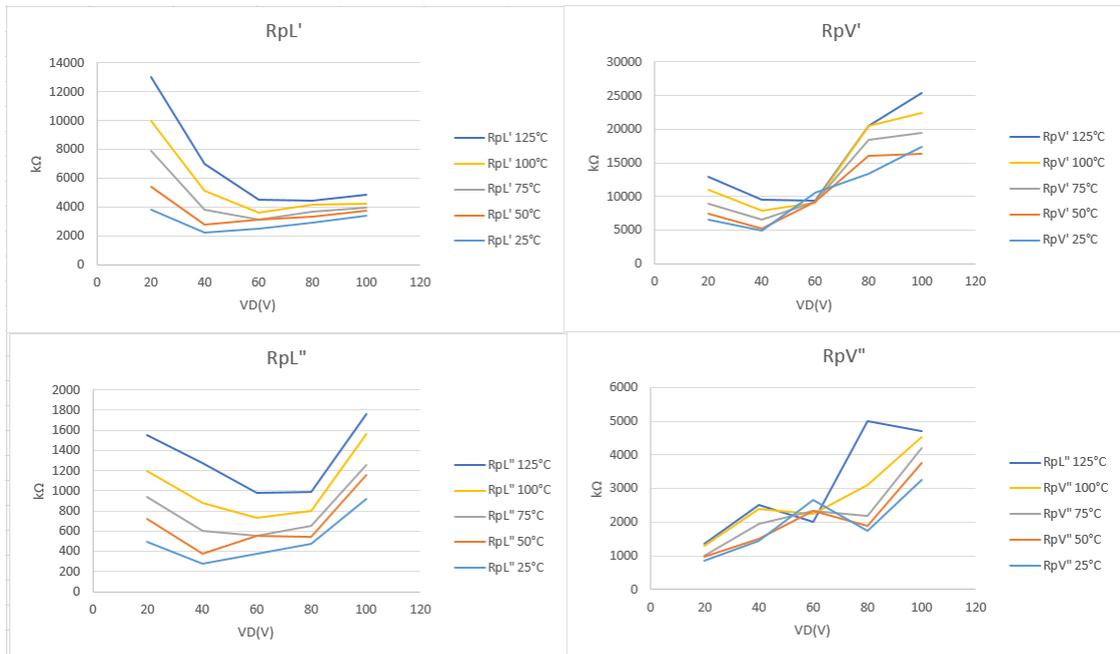


圖 4- 26 後段電洞電流電阻萃取

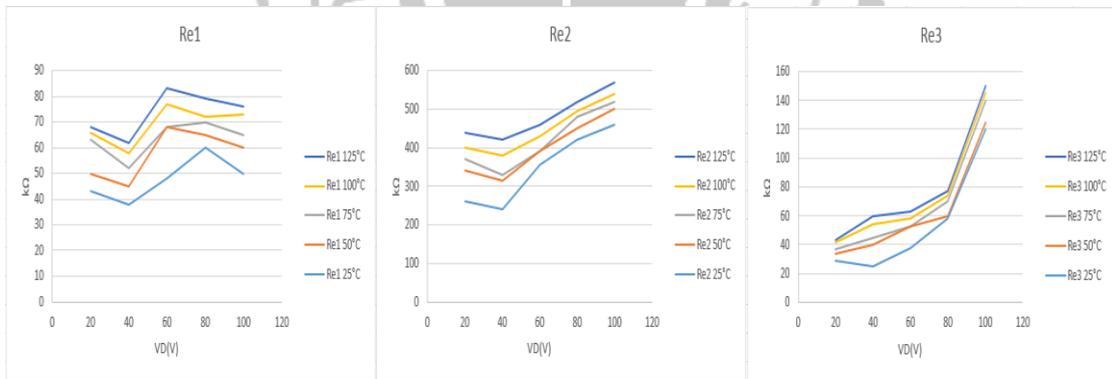


圖 4- 27 後段電子電流電阻萃取

從上列電阻值的萃取上我們可以先看出當汲極電壓在 20V~40V 的位置其電阻值都較之後提升的汲極電壓電阻值較高，一方面在於汲極電壓在 20V~40V 時元件的飽和電流特性仍是準備上升的階段，因此其

電流量相對於 60V 以後飽和曲線趨於平緩的位置則會低上很多，而另一方面電阻萃取的位置造成，由於等位線的使用，每個汲極電壓值所設計的兩個等位線也不同，如表.4-1~表 4-3 所見，當然還有一個原因則是施予不同汲極電壓的時候，電壓的等位線分佈也會不同，因此在電阻萃取上也會有一定的差異在。

表 4- 4 25°C~50°C 萃取電阻與通道間的距離

T	VD(等位線分布)	RpL'	RpV'	Re1	RpL''	RpV''	Re2
25°C	20V(10V,5V)	26.0um	27.1um	26.1um	10.4um	9.8um	10.4um
	40V(30V,20V)	39.2um	40.9um	39.2um	21.9um	22.0um	21.9um
	60V(50V,40V)	40.2um	41.4um	40.2um	24.9um	24.7um	24.9um
	80V(70V,50V)	40.9um	41.9um	40.9um	21.3um	21.8um	21.3um
	100V(90V,60V)	43.5um	47.3um	43.5um	23.1um	23.8um	23.1um
50°C	20V(10V,5V)	26.4um	28.1um	26.4um	11.0um	10.8um	11.0um
	40V(30V,20V)	40.0um	42.6um	40.0um	21.9um	24.3um	22.0um
	60V(50V,40V)	41.9um	44.0um	42.0um	24.9um	24.7um	24.9um
	80V(70V,50V)	42.2um	43.3um	42.2um	21.4um	21.8um	21.4um
	100V(90V,60V)	43.5um	47.3um	43.6um	21.9um	22.8um	21.9um

表 4- 5 75°C~100°C 萃取電阻與通道間的距離

T	VD(等位線分布)	RpL'	RpV'	Re1	RpL''	RpV''	Re2
75°C	20V(10V,5V)	26.7um	29.5um	26.7um	11.0um	11.8um	11.5um
	40V(30V,20V)	40.5um	43.8um	40.5um	21.9um	25.5um	21.9um
	60V(50V,40V)	43.4um	46.1um	43.1um	31.3um	31.6um	31.3um
	80V(70V,50V)	43.3um	44.8m	43.3um	22.5um	22.6um	22.5um
	100V(90V,60V)	44.1um	47.6um	44.1um	21.4um	22.3um	21.4um
100°C	20V(10V,5V)	27.0um	31.5um	27.0um	11.8um	12.9um	11.8um
	40V(30V,20V)	40.8um	44.8um	40.8um	25.8um	26.2um	25.8um
	60V(50V,40V)	43.9um	47.9um	43.9um	33.2um	33.8um	33.2um
	80V(70V,50V)	44.1um	46.3um	44.2um	24.3um	24.2um	24.3um
	100V(90V,60V)	44.7um	48.3um	44.7um	21.7um	22.5um	21.6um

表 4- 6 125 °C 萃取電阻與通道間的距離

T	VD(等位線分布)	RpL'	RpV'	Re1	RpL''	RpV''	Re2
125 °C	20V(10V,5V)	27.2um	33.7um	27.2um	12.2um	14.1um	12.2um
	40V(30V,20V)	41.0um	45.7um	41.0um	26.3um	26.8um	26.3um
	60V(50V,40V)	44.3um	49.2um	44.3um	34.3um	35.1um	34.4um
	80V(70V,50V)	44.9um	47.7m	44.9um	26.4um	24.2um	26.4um
	100V(90V,60V)	45.4um	49.1um	45.3um	21.7um	23.0um	22.4um

在此也以固定位置萃取法與等位線萃取法的電流作出比較，如同表. 4-4~表. 4-7 當中所見，在溫度 25 °C~100 °C 中，初始結構使用等位線萃取法的電流精準誤差百分比比較固定位置萃取法的誤差來得低。

表 4- 7 25 °C 電流精準誤差比較

T=25 °C	I(M)	I(S)		I(S) - I(M)	
VD		固定	等位線	固定(百分比)	等位線(百分比)
10V	2.25e-5	2.30e-5	2.26e-5	5.00e-7(2.22%)	1.00e-7(0.44%)
20V	4.52e-5	4.60e-5	4.57e-5	8.00e-7(1.76%)	5.00e-7(1.10%)
30V	6.44e-5	6.49e-5	6.53e-5	5.00e-7(0.77%)	9.00e-7(1.39%)
40V	7.85e-5	7.76e-5	8.04e-5	9.00e-7(1.14%)	1.90e-6(2.42%)
50V	8.84e-5	8.63e-5	9.09e-5	2.10e-6(2.37%)	2.50e-6(2.82%)
60V	9.54e-5	9.32e-5	9.77e-5	2.20e-6(2.30%)	2.30e-6(2.41%)
70V	1.00e-4	9.70e-5	1.01e-4	3.00e-6(3.00%)	1.00e-6(1.00%)
80V	1.03e-4	9.92e-5	1.04e-4	3.80e-6(3.68%)	1.00e-6(0.97%)
90V	1.05e-4	9.99e-5	1.06e-4	5.10e-6(4.85%)	1.00e-6(0.95%)
100V	1.06e-4	9.96e-5	1.07e-4	6.40e-6(6.03%)	1.00e-6(0.94%)
		$\sqrt{\sum  I(S) - I(M) ^2}$		1.008e-5	4.496e-6
				$\frac{ I(S) - I(M) }{I(M)}(\%)$	

表 4- 8 50 °C 電流精準誤差比較

T=50°C	I(M)	I(S)		I(S) - I(M)	
VD		固定	等位線	固定(百分比)	等位線(百分比)
10V	2.06e-5	1.92e-05	1.87e-5	1.40e-6(6.79%)	1.90e-6(9.22%)
20V	3.78e-5	3.79e-05	3.81e-5	1.00e-7(0.26%)	3.00e-7(0.79%)
30V	5.54e-5	5.52e-05	5.61e-5	2.00e-7(0.36%)	7.00e-7(1.26%)
40V	6.92e-5	6.82e-05	7.08e-5	1.00e-6(1.44%)	1.60e-6(2.31%)
50V	7.94e-5	7.66e-05	8.15e-5	2.80e-6(3.52%)	2.10e-6(2.64%)
60V	8.69e-5	8.35e-05	8.90e-5	3.40e-6(3.91%)	2.10e-6(2.41%)
70V	9.20e-5	8.81e-05	9.36e-5	3.90e-6(4.23%)	1.60e-6(1.73%)
80V	9.54e-5	9.07e-05	9.68e-5	4.70e-6(4.92%)	1.40e-6(1.46%)
90V	9.77e-5	9.23e-05	9.91e-5	5.40e-6(5.52%)	1.40e-6(1.43%)
100V	9.94e-5	9.25e-05	1.00e-4	6.90e-6(6.94%)	6.00e-7(0.60%)
		$\frac{\sqrt{\sum  I(S) - I(M) ^2}}{ I(S) - I(M) (\%)}$		1.168e-5	4.687e-6
				3.78%	2.38%

表 4- 9 75 °C 電流精準誤差比較

T=75°C	I(M)	I(S)		I(S) - I(M)	
VD		固定	等位線	固定(百分比)	等位線(百分比)
10V	1.57e-5	1.92e-05	1.54e-5	3.50e-6(22.29%)	3.00e-7(1.91%)
20V	3.20e-5	3.79e-05	3.13e-5	5.90e-6(18.43%)	7.00e-7(2.18%)
30V	4.77e-5	5.52e-05	4.81e-5	7.50e-6(15.72%)	4.00e-7(0.83%)
40V	6.08e-5	6.82e-05	6.20e-5	7.40e-6(12.17%)	1.20e-6(1.97%)
50V	7.10e-5	7.66e-05	7.28e-5	5.60e-6(7.88%)	1.80e-6(2.53%)
60V	7.87e-5	8.35e-05	8.06e-5	4.80e-6(6.09%)	1.90e-6(2.41%)
70V	8.43e-5	8.81e-05	8.57e-5	3.80e-6(4.50%)	1.40e-6(1.66%)
80V	8.81e-5	9.07e-05	8.93e-5	2.60e-6(2.95%)	1.20e-6(1.36%)
90V	9.07e-5	9.23e-05	9.19e-5	1.60e-6(1.76%)	1.20e-6(1.32%)
100V	9.26e-5	9.25e-05	9.37e-5	1.00e-7(0.10%)	1.10e-6(1.18%)
		$\frac{\sqrt{\sum  I(S) - I(M) ^2}}{ I(S) - I(M) (\%)}$		1.537e-5	3.883e-6
				9.18%	1.73%

表 4- 10 100°C 電流精準誤差比較

T=100°C	I(M)	I(S)		I(S) - I(M)	
VD		固定	等位線	固定(百分比)	等位線(百分比)
10V	1.33e-5	1.36e-05	1.32e-5	3.00e-7(2.25%)	1.00e-7(0.75%)
20V	2.72e-5	2.65e-05	2.73e-5	7.00e-7(2.57%)	1.00e-7(0.36%)
30V	4.12e-5	4.04e-05	4.15e-5	8.00e-7(1.94%)	3.00e-7(0.72%)
40V	5.34e-5	5.23e-05	5.43e-5	1.10e-6(2.05%)	9.00e-7(1.68%)
50V	6.33e-5	6.09e-05	6.48e-5	2.40e-6(3.79%)	1.50e-6(2.36%)
60V	7.11e-5	6.70e-05	7.27e-5	4.10e-6(5.76%)	1.60e-6(2.25%)
70V	7.69e-5	7.28e-05	7.83e-5	4.10e-6(5.33%)	1.40e-6(1.82%)
80V	8.11e-5	7.63e-05	8.20e-5	4.80e-6(5.91%)	9.00e-7(1.10%)
90V	8.40e-5	7.80e-05	8.48e-5	6.00e-6(7.14%)	8.00e-7(0.95%)
100V	8.60e-5	7.88e-05	8.70e-5	7.20e-6(8.37%)	1.00e-6(1.16%)
		$\frac{\sqrt{\sum  I(S) - I(M) ^2}}{ I(S) - I(M) (\%)}$		1.235e-5	3.184e-6
				4.51%	1.31%

相同的在結構作出改變以後，也以固定位置法和等位線萃取法比較電流精準誤差百分比，如表 4-8~表 4-12 中仍能看出固定位置萃取法在不同溫度時也較另外兩種等位線萃取法的誤差值大，而以兩條等位線萃取法的使用其精確性可以達到最高。

表 4- 11 25°C 電流精準誤差比較(改變結構)

T=25°C	I(M)	I(S)			I(S) - I(M)		
VD	模擬	固定	一條等位線	兩條等位線	固定(百分比)	一條等位線(百分比)	兩條等位線(百分比)
10V	2.60e-5	2.21e-5	2.30e-5	2.31e-5	3.90e-6(15.00%)	3.00e-6(11.50%)	2.90e-6(11.15%)
20V	6.45e-5	5.70e-5	5.94e-5	6.25e-5	7.50e-6(11.62%)	5.10e-6(7.90%)	2.00e-6(3.10%)
30V	1.07e-4	9.58e-5	9.90e-5	9.97e-5	1.12e-5(10.46%)	8.00e-6(7.47%)	7.30e-6(6.82%)
40V	1.42e-4	1.30e-4	1.39e-4	1.36e-4	1.20e-5(8.45%)	3.00e-6(2.11%)	6.00e-6(4.22%)
50V	1.54e-4	1.42e-4	1.46e-4	1.48e-4	1.20e-5(7.79%)	8.00e-6(5.19%)	6.00e-6(3.89%)
60V	1.57e-4	1.44e-4	1.51e-4	1.50e-4	1.30e-5(8.28%)	6.00e-6(3.82%)	7.00e-6(4.45%)
70V	1.58e-4	1.47e-4	1.53e-4	1.53e-4	1.10e-5(6.96%)	5.00e-6(3.16%)	5.00e-6(3.16%)
80V	1.59e-4	1.48e-4	1.55e-4	1.54e-4	1.10e-5(6.91%)	4.00e-6(2.51%)	5.00e-6(3.14%)
90V	1.60e-4	1.50e-4	1.56e-4	1.57e-4	1.00e-5(6.25%)	4.00e-6(2.50%)	3.00e-6(1.87%)
100V	1.61e-4	1.50e-4	1.56e-4	1.58e-4	1.10e-5(6.83%)	5.00e-6(3.10%)	3.00e-6(1.86%)
誤差值	$\sqrt{\sum  I(S) - I(M) ^2}$				3.341e-5	1.702e-5	1.583e-5
					$\frac{\sqrt{\sum  I(S) - I(M) ^2}}{ I(S) - I(M) (\%)}$	8.85%	4.92%

表 4- 12 50°C 電流精準誤差比較(改變結構)

T=50°C	I(M)	I(S)			I(S) - I(M)		
VD	模擬	固定	一條等位線	兩條等位線	固定(百分比)	一條等位線(百分比)	兩條等位線(百分比)
10V	2.08e-5	1.74e-5	2.58e-5	1.83e-5	3.40e-6(16.34%)	5.00e-6(24.00%)	2.50e-6(12.01%)
20V	5.03e-5	4.38e-5	5.51e-5	4.67e-5	6.50e-6(12.92%)	4.80e-6(9.54%)	3.60e-6(7.15%)
30V	8.48e-5	7.46e-5	9.66e-5	7.77e-5	1.02e-5(12.02%)	1.18e-5(13.91%)	7.10e-6(8.37%)
40V	1.18e-4	1.06e-4	1.26e-4	1.13e-4	1.20e-5(10.16%)	8.00e-6(6.77%)	5.00e-6(4.23%)
50V	1.38e-4	1.26e-4	1.41e-4	1.31e-4	1.20e-5(8.69%)	3.00e-6(2.17%)	7.00e-6(5.07%)
60V	1.43e-4	1.31e-4	1.44e-4	1.38e-4	1.20e-5(8.39%)	1.00e-6(0.69%)	5.00e-6(3.49%)
70V	1.45e-4	1.34e-4	1.44e-4	1.40e-4	1.10e-5(7.58%)	1.00e-6(0.68%)	5.00e-6(3.44%)
80V	1.47e-4	1.35e-4	1.45e-4	1.41e-4	1.20e-5(8.16%)	2.00e-6(1.36%)	6.00e-6(4.08%)
90V	1.48e-4	1.37e-4	1.46e-4	1.42e-4	1.10e-5(7.43%)	2.00e-6(1.35%)	6.00e-6(4.05%)
100V	1.48e-4	1.37e-4	1.47e-4	1.43e-4	1.10e-5(7.43%)	1.00e-6(0.67%)	5.00e-6(3.37%)
誤差值	$\sqrt{\sum  I(S) - I(M) ^2}$				3.311e-5	1.832e-5	1.704e-5
					$\frac{\sqrt{\sum  I(S) - I(M) ^2}}{ I(S) - I(M) (\%)}$	9.91%	6.11%

表 4- 13 75 °C 電流精準誤差比較(改變結構)

T=75°C	I(M)	I(S)			I(S) - I(M)		
VD	模擬	固定	一條等位線	兩條等位線	固定(百分比)	一條等位線(百分比)	兩條等位線(百分比)
10V	1.70e-5	1.41e-5	2.02e-5	1.48e-5	2.90e-6(17.05%)	3.20e-6(18.82%)	2.20e-6(12.94%)
20V	4.02e-5	3.46e-5	4.51e-5	3.88e-5	5.60e-6(13.93%)	4.90e-6(12.18%)	1.40e-6(3.48%)
30V	6.81e-5	5.89e-5	7.02e-5	6.16e-5	9.20e-6(13.50%)	2.10e-6(3.08%)	6.50e-6(9.54%)
40V	9.62e-5	8.57e-5	1.07e-4	8.94e-5	1.05e-5(10.91%)	1.08e-5(11.22%)	6.80e-6(7.06%)
50V	1.19e-4	1.08e-4	1.25e-4	1.12e-4	1.10e-5(9.24%)	6.00e-6(5.04%)	7.00e-6(5.88%)
60V	1.30e-4	1.17e-4	1.27e-4	1.23e-4	1.30e-5(10.00%)	3.00e-6(2.30%)	7.00e-6(5.38%)
70V	1.33e-4	1.21e-4	1.28e-4	1.26e-4	1.20e-5(9.02%)	5.00e-6(3.75%)	7.00e-6(5.26%)
80V	1.35e-4	1.23e-4	1.31e-4	1.28e-4	1.20e-5(8.88%)	4.00e-6(2.96%)	7.00e-6(5.18%)
90V	1.36e-4	1.24e-4	1.33e-4	1.30e-4	1.20e-5(8.82%)	3.00e-6(2.20%)	6.00e-6(4.41%)
100V	1.37e-4	1.25e-4	1.33e-4	1.31e-4	1.20e-5(8.75%)	4.00e-6(2.91%)	6.00e-6(4.37%)
誤差值	$\sqrt{\sum  I(S) - I(M) ^2}$				3.317e-5	1.929e-5	1.906e-5
					$\frac{\sqrt{\sum  I(S) - I(M) ^2}}{ I(S) - I(M) (\%)}$	11.01%	6.44%

表 4- 14 100 °C 電流精準誤差比較(改變結構)

T=100°C	I(M)	I(S)			I(S) - I(M)		
VD	模擬	固定	一條等位線	兩條等位線	固定(百分比)	一條等位線(百分比)	兩條等位線(百分比)
10V	1.42e-5	1.16e-5	1.75e-5	1.22e-5	2.60e-6(18.30%)	3.20e-6(22.53%)	2.00e-6(14.08%)
20V	3.29e-5	2.79e-5	3.80e-5	3.27e-5	5.00e-6(15.19%)	5.10e-6(15.50%)	2.00e-7(0.60%)
30V	5.55e-5	4.73e-5	5.92e-5	4.95e-5	8.20e-6(14.77%)	3.70e-6(6.66%)	6.00e-6(10.81%)
40V	7.91e-5	6.94e-5	9.20e-5	7.24e-5	9.70e-6(12.26%)	1.29e-5(16.30%)	6.70e-6(8.47%)
50V	1.01e-4	9.02e-5	1.10e-4	9.40e-5	1.08e-5(10.69%)	9.00e-6(8.91%)	7.00e-6(6.93%)
60V	1.16e-4	1.03e-4	1.20e-4	1.08e-4	1.30e-5(11.20%)	4.00e-6(3.44%)	8.00e-6(6.89%)
70V	1.21e-4	1.07e-4	1.23e-4	1.12e-4	1.40e-5(11.57%)	2.00e-6(1.65%)	9.00e-6(7.43%)
80V	1.23e-4	1.11e-4	1.24e-4	1.16e-4	1.20e-5(9.75%)	1.00e-6(0.81%)	7.00e-6(5.69%)
90V	1.25e-4	1.13e-4	1.24e-4	1.18e-4	1.20e-5(9.60%)	1.00e-6(0.80%)	7.00e-6(5.60%)
100V	1.26e-4	1.14e-4	1.25e-4	1.19e-4	1.20e-5(9.52%)	1.00e-6(0.79%)	7.00e-6(5.55%)
誤差值	$\sqrt{\sum  I(S) - I(M) ^2}$				3.326e-5	2.183e-5	2.063e-5
					$\frac{\sqrt{\sum  I(S) - I(M) ^2}}{ I(S) - I(M) (\%)}$	12.28%	7.73%

表 4- 15 125 °C 電流精準誤差比較(改變結構)

T=125 °C	I(M)	I(S)			I(S) - I(M)		
VD	模擬	固定	一條等位線	兩條等位線	固定(百分比)	一條等位線(百分比)	兩條等位線(百分比)
10V	1.20e-5	9.80e-6	1.38e-5	1.03e-5	2.80e-6(23.33%)	1.80e-6(15.00%)	1.70e-6(14.16%)
20V	2.73e-5	2.30e-5	2.40e-5	2.72e-5	4.30e-6(15.75%)	3.30e-6(12.08%)	1.00e-7(0.36%)
30V	4.59e-5	3.87e-5	5.07 e-5	4.06e-5	7.20e-6(15.68%)	4.80e-6(10.45%)	5.30e-6(11.54%)
40V	6.57e-5	5.71e-5	7.90e-5	5.96e-5	8.60e-6(13.08%)	1.33e-5(20.24%)	6.10e-6(9.28%)
50V	8.49e-5	7.48e-5	9.58e-5	7.81e-5	1.01e-5(11.89%)	1.09e-5(12.83%)	6.80e-6(8.00%)
60V	1.01e-4	8.96e-5	1.07e-4	9.34e-5	1.14e-5(11.28%)	6.00e-6(5.94%)	7.60e-6(7.52%)
70V	1.09e-4	9.64e-5	1.14e-4	1.01e-4	1.26e-5(11.55%)	5.00e-6(4.58%)	8.00e-6(7.33%)
80V	1.13e-4	9.99e-5	1.15e-4	1.04e-4	1.31e-5(11.59%)	2.00e-6(1.79%)	9.00e-6(7.96%)
90V	1.14e-4	1.03e-4	1.16e-4	1.07e-4	1.10e-5(9.64%)	2.00e-6(1.75%)	7.00e-6(6.14%)
100V	1.16e-4	1.04e-4	1.17e-4	1.09e-4	1.20e-5(10.34%)	1.00e-6(0.86%)	7.00e-6(6.03%)
誤差值	$\sqrt{\sum  I(S) - I(M) ^2}$				3.129e-5	2.102e-5	2.037e-5
					$ I(S) - I(M) (\%)$		

初始結構萃取時出現的後段電洞電流問題從電阻曲線上看  $R_{pL}'$  和  $R_{pL}''$  是有得到改善的，而  $R_{pV}'$  與  $R_{pV}''$  的萃取上由於之前提到的 P 型磊晶層與漂移區之間 PN 接面順偏使得電洞電流跟電子電流隨著開通的位置而流動，此種現象發生在汲極偏壓 40V~60V 附近的位置，固從電阻值曲線來看就會有交錯的現象，評估造成此種現象的原因在於當 60V 的時候正處於元件最大電流飽和的點，由於大量電流突然流入，導致部分特殊結構與漂移區的 PN 接面的電場加速使得接面呈現順偏進而發生此種現象，但從整體飽和電流評斷對元件造成的影響並不大。

排除上述問題，整體電阻的萃取大致符合溫度特性趨勢，固以此做

為最後結構設置。

最後則是寄生 BJT  $\beta$  值的萃取結果，如圖.4-28~4.30 分別為固定位置萃取法及兩種等位線萃取法的 BJT  $\beta$  值。

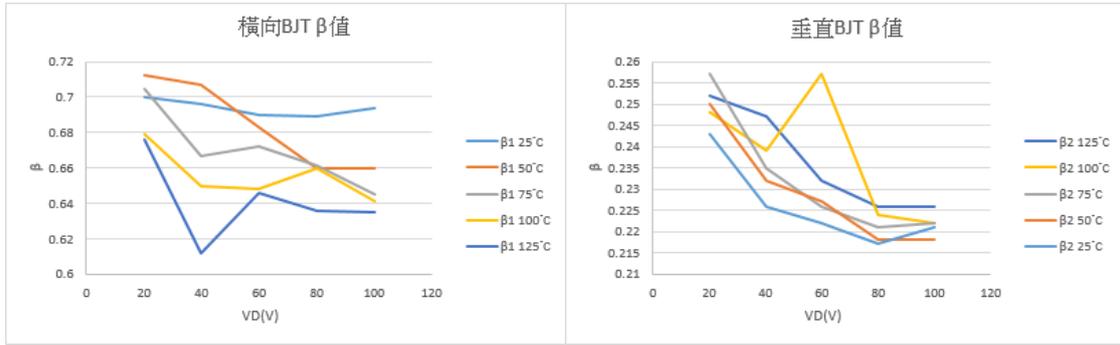


圖 4- 28 固定位置萃取法之電晶體  $\beta$  值萃取

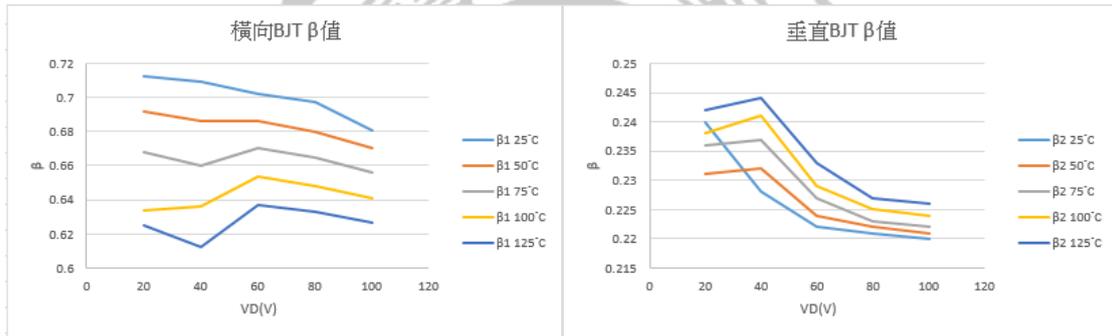


圖 4- 29 一條等位線萃取法之電晶體  $\beta$  值萃取

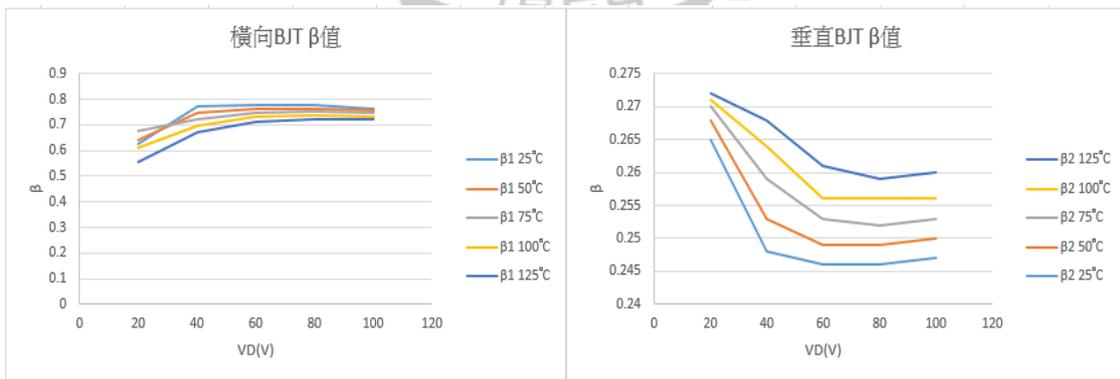


圖 4- 30 兩條等位線萃取法之電晶體  $\beta$  值萃取

從上圖電晶體  $\beta$  值可以看出等位線萃取法的  $\beta$  值相較於固定位置萃取法的溫度特性曲線較為平整，而原先橫向型 BJT 與垂直型 BJT

的  $\beta$  值大約著落在 0.1 上下而改變結構過後的橫向型 BJT  $\beta$  值則達到 0.7、垂直型 BJT  $\beta$  值達到 0.2 上下，由於縮減 N-buffer 光罩長度不僅大幅提升橫向型 BJT  $\beta$  值也稍微的提升了垂直型 BJT 的  $\beta$  值，成功驗證了從 HSPICE 模擬軟體找出元件的問題點再從 MEDICI 做出改善這個方法的可行性。



## 第五章 結論

功率元件的設計當中，著重的目標不免就是經常會提到的兩個電性分析，導通電流以及崩潰電壓的檢測，本文著重於以 HSPICE 模擬軟體結合 SVISUAL 元件圖做細部的溫度特性分析，不同於單以 MEDICI 軟體設計的元件結構只能以粗略的調整或摻雜的變化來設計最佳化的結構，本文所使用的方法可以減少上下調變花費的時間，以及更精確的提出改善的位置，並加以做出修正，藉此提升元件的導通電流。

本篇成功使用上述方法有效提升元件的導通電流約 60 個百分點的電流量，以及崩潰電壓沒有因此而下降，藉此證明該方法的可行性。



## 參考文獻

- [1] Amir Sajjad Bahman, Ke Ma, Frede Blaabjerg, "A Lumped Thermal Model Including Thermal Coupling and Thermal Boundary Conditions for High Power IGBT Modules" IEEE Transactions on Power Electronics (2017)
- [2] Ștefan George Roșu; Eric Armando; Paolo Guglielmi; Constantin Rădoi; Adriana Florescu, "Non-invasive IGBT power loss model identification in two-level voltage source converters" 2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe) (2016), p.1-8.
- [3] David Hongfei Lu, Hiromu Takubo, Hiroki Wakimoto, Toru Muramatsu, Haruo Nakazawa, "A 700-V Class Reverse-Blocking IGBT for Large Capacity Power Supply Applications" 2016 IEEE Energy Conversion Congress and Exposition (ECCE) (2016), p.1-5.
- [4] Haoze Luo, Wuhua Li, Xiangning He, "Online High-Power P-i-N Diode Chip Temperature Extraction and Prediction Method With Maximum Recovery Current  $di/dt$ " IEEE Transactions on Power Electronics (2015), p.2395-2404.
- [5] Harald Kuhn, Axel Mertens "On-line Junction Temperature Measurement of IGBTs based on Temperature Sensitive Electrical Parameters" 2009 13th European Conference on Power Electronics and Applications (2009), p1-10.
- [6] Yvan Avenas, Laurent Dupont, Zoubir Khatir, "Temperature Measurement of Power Semiconductor Devices by Thermo-Sensitive Electrical Parameters" IEEE Transactions on Power Electronics (2012), p3081-3092.
- [7] Xiaowang, Chongchong Zhu, Haoze Luo, Zhou Lu, Wuhua Li, Xiangning He, Jun Ma, Guodong Chen, Ye Tian, Enxing Yang, "IGBT junction temperature measurement via combined TSEPs with collector current impact elimination" 2016 IEEE Energy Conversion Congress and Exposition (ECCE) (2016), p.1-6.
- [8] Zhanwei Shen, Feng Zhang, Lixin Tian, Guoguo Yan, Zhengxin Wen, Wanshun Zhao, Lei Wang, Xingfang Liu, Guosheng Sun, Yiping Zeng, "Optimized P-emitter doping for switching-off loss of superjunction 4H-SiC IGBTs" 2016 13th China International Forum on Solid State Lighting: International Forum on Wide Bandgap

- Semiconductors China(SSLChina:IFWS) (2016),p.1-5.
- [9] P.A Gough,M.R.Simpson,V.Rumennik,"Fast switching lateral insulated gate transistor"1986 International Electron Devices Meeting(2016),p.218-221.
- [10]Man-Kee Kim,Hyun-Soo Bae,Bum-Seok Suh,"Comparison of IGBT and MOSFET inverters in low-power BLDC motor drives" 2006 37th IEEE Power Electronics Specialists Conference (2006),p.1-4.
- [11]Xavier Perpina,Jean-Francois Serviere,Jesus Urresti-Ibanez,Ignasi Cortes,Xavier Jorda,Salvador Hidalgo,Jose Rebollo,Michel Mermet-Guyennet,"Analysis of Clamped Inductive Turnoff Failure in Railway Traction IGBT Power Modules Under Overload Conditions (2011),p.2706-2714.
- [12]D.Flores,S.Hidalgo,J.Rebollo,C.Caramel,J.L.Sanchez,J.Legal,P.Austin,E.Imbernon,"Investigation on 3.3 kV-50A IGBT protection against over-voltage conditions"2009 13<sup>th</sup> European Conference on Power Electronics and Applications (2009),p.1-7.
- [13]Xianjin Huang,Chao Ling,Xiaojie You,Trillion Q Zheng,"Research of the loss and gate desaturation control for RC-IGBT used in vehicle power converters",2017 IEEE International Conference on Industrial Technology(ICIT) (2017),p.201-206.
- [14]Kun Zhou,Xiaorong Luo,Linhua Huang,Qing Liu,Tao Sun,Zhaoji Li,Bo Zhang,"An Ultralow Loss Superjunction Reverse Blocking Insulated-Gate Bipolar Transistor With Shorted-Collector Trench"IEEE Electron Device Letters (2016),p.1462-1465.
- [15]Fei Zhang,Lina Shi,Chengfang Li,Liang Zhang,Wei Wang,Wen Yu,Xiaowei Sun,"Adjustable high-speed insulated gate bipolar transistor"IEEE Transactions on Plasma Science (2006),p.1021-1025.
- [16]R.Jayaraman,V.Rumennik,B.Singer,E.H.Stupp,"Comparison of high voltage devices for power integrated circuits"1984 International Electron Devices Meeting (1984),p.258-261.
- [17]B.JAYANT BALIGA,Power Semiconductor Device,Copyright 1996 by PWS publish company.
- [18]R.B Fair,H.W.Wivell,"Zener and avalanche breakdown in As-implanted low-voltage Si n-p junctions"IEEE Transactions on Electron Devices (1976),p.455-458.
- [19]Ke xu,Xing Chen,"Avalanche breakdown of the Schottky diode analyzed by physically based simulation"2016 IEEE/ACES International Conference on Wireless Information Technology and

- Systems(ICWITS) and Applied Computational Electromagnetics(ACES) (2016),p.1-2.
- [20] Young Chung,Hongzhong Xu,Richard Ida,Bob Baird,"Snapback Breakdown Dynamics and ESD Susceptibility of LDMOS"2006 IEEE International Reliability Physics Symposium Proceedings (2006),p.352-355.
- [21] Felix Palumbo,Moshe Eizenberg,Salvatore Lombardo,"General features of progressive breakdown in gate oxides: A compact model"2015 IEEE International Reliability Physics Symposium (2015),p.5A.1.1-5A.1.2.
- [22] Jin Wei,Meng Zhang,Huaping Jiang,Ching-Hsiang Cheng,Kevin J.Chen,"Low ON-Resistance SiC Trench/Panar MOSFET With Reduced OFF-State Oxide Field and Low Gate Charges"IEEE Electron Device Letters (2016),p.1458-1461.
- [23] Gabor Farkas,Tivadar Purak,Gergely Toth,"Thermal transient measurement of insulated gate devices using the thermal properties of the channel resistance and parasitic elements"20th International Workshop on Thermal Investigations of ICs and Systems (2014),p.1-6.
- [24] Kun-Ming Chen,Bo-Yuan Chen,Hsueh-Wei Chen,Chia-Sung Chiu,Guo-Wei Huang,Chia-Hao Chang,Hsin-Hui Hu,"Effect of drift region resistance on temperature characteristics of RF power LDMOS transistors"2013 IEEE Radio Frequency Intergrated Circuits Symposium(RFIC) (2013),p.443-446.
- [25] B.Bakeroot,J.Doutreloigne,P.Moens,"A new substrate current free nLIGBT for junction isolated technologies"Proceedings of the 30th European Solid-State Circuits Conference (2004),p461-464.
- [26] J.B.CHENG,B.Zhang,B.X Duan,Z.J.Li,"Low substrate-current and high breakdown voltage JI-LIGBT"Electronics Letters (2011),p.1148-1149.
- [27] A.L.Robinson,D.N.Pattanayak,M.S.Adler,B,J,Baliga,E.J.Wildi,"Lateral insulated gate transistors with improved latching characteristics"1985 International Electron Devices Meeting (1985),p.61-63.
- [28] J.K.O.Sin,S.Mukherjee,"Lateral insulated-gate bipolar transistor (LIGBT) with a segmented anode structure"IEEE Electron Device Letters (1991),p.45-47.
- [29] B.Bakeroot,J.Doutreloigne,P.Vanmeerbeek,P.Moens,"A New Lateral-IGBT Structure With a Wider Safe Operating Area"IEEE Electron

- Device Letters (2007),p.416-418.
- [30] Srabanti Chowdhury, Umesh K Mishra, "Lateral and Vertical Transistors Using the AlGaN/GaN Heterostructure" IEEE Transactions on Electron Devices (2013), p.3060-3066.
- [31] Noriyuki Iwamuro, Thomas Laska, "IGBT history, state-of-the-Art, and Future Prospects" IEEE Transactions on Electron Devices (2017), p.741-752.
- [32] Jesus Urresti, Salvador Hidalgo, David Flores, Daniel Fernandez Hevia, "3.3 kV PT-IGBT with voltage-sensor monolithically integrated" IET Circuits, Devices & Systems (2014), p.182-187.
- [33] Tadaharu Minato, Shinji Aono, Katsuni Uryu, Takashi Yamaguchi, "Making a bridge from SJ-MOSFET to IGBT via RC-IGBT structure Concept for 600V class SJ-RC-IGBT in a single chip solution" 2012 24th International Symposium on Power Semiconductor Devices and ICs (2012), p.137-140.
- [34] Marina Antoniou, Florin Udrea, Friedhelm Bauer, Andrei Mihaila, Iulian Nistor, "Towards, Achieving the Soft-Punch-Through Superjunction Insulated-Gate Bipolar Transistor Breakdown Capability" IEEE Electron Device Letters (2011), p.1275-1277.
- [35] J.F. Donlon, E.R. Motto, K. Ishii, T. Iida, "Application advantages of high voltage high current IGBTs with punch through technology" Industry Applications Conference, 1997 (1997), p.955-960.
- [36] Konstantin D. Stefanov, Andrew S. Clarke, Andrew D. Holland, "Fully Depleted Pinned Photodiode CMOS Image Sensor With Reverse Substrate Bias" IEEE Electron Device Letters (2017), p.64-66.
- [37] M. Vellvehi, J.L. Galvez, X. Perpina, X. Jorda, P. Godignon, J. Millan, "Trench isolation technique for reverse blocking IGBT using Boron nitride doping wafers" 2009 13th European Conference on Power Electronics and Applications (2009), p.1-5.
- [38] Isabella Rossetto, Matteo Meneghini, Riccardo Silvestri, Stefano Dalcanale, Enrico Zanoni, Gaudenzio Meneghesso, Oliver Hilt, Eldad Bahat-Treidel, Joachim Wuerfl, "Experimental demonstration of Weibull distributed failure in p-type GaN high electron mobility transistors under high forward bias stress" 2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD) (2016), p.35-38.
- [39] Donald A. Neamen, SEMICONDUCTOR PHYSICS AND DEVICES, Copy 2012 by The McGraw-Hill Companies, Inc.

- [40] Taiki Fujimoto, Akira Hiroki, Takuma Katano, "Analysis of inversion layer electron density of InGaAs MOSFETs" 2016 IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK) (2016), p.1-2.
- [41] John Jovalusky, "New low reverse recovery charge (QRR) high-voltage silicon diodes provide higher efficiency than presently available ultrafast rectifiers" 2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition (2008), p.918-923.
- [42] A.G.M. Strollo, "Calculation of power diode reverse-recovery time for SPICE simulations" Electronics Letters (1994), p.1109-1110.
- [43] 紀雅軒, 東海大學, (2014), 以雙層磊晶技術研製超高壓低漏電流

#### 橫向絕緣閘雙極性電晶體(LIGBT)

- [44] Benoit Bakeroot, Jan Doutreloigne, Piet Vanmeerbeek, Peter Moens, "Analysis of a Narrow-Base Lateral IGBT With Double Buried Layer for Junction-Isolated Smart-Power Technologies" IEEE Transactions on Electron Devices (2008), p.435-445.
- [45] Ying-Chieh Tsai, Jeng Gong, W.C. Chan, S.Y. Wu, C.H. Lien, "Design and analysis of a double RESURF 700V LIGBT with quasi-vertical DMOSFET in junction isolation technology" 2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD) (2014), p.147-150.
- [46] D.W. Green, S. Hardikar, R. Tadikonda, M. Sweet, K.V. Vershinin, E.M.S. Narayanan, "Design and analysis of multichannel LIGBTs in junction isolation technology" IEEE Transactions on Electron Devices (2005), p.1672-1676.
- [47] Hiroki Fujii, Shinichi Komatsu, Masaharu Sato, Toshihiko Ichikawa, "Design of an 80V-class high-side capable double-resurf JI L-IGBT" 2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (2011), p.372-375.
- [48] B. Bakeroot, J. Doutreloigne, P. Moens, "Ultrafast floating 75-V lateral IGBT with a buried hole diverter and an effective junction isolation" IEEE Electron Device Letters (2006), p.492-494.
- [49] E. Kho Ching Tee, A. Hoelke, S. Pilkington, D.K. Pal, M. Antoniou, F. Udrea, Wan Azlan bin Wan Zainal Abidin, Ng Liang Yew, "200V superjunction lateral IGBT fabricated on partial SOI" 2013 25th International Symposium on Power Semiconductor

Devices&IC's(ISPSD)(2013), p.389-392.

