

東海大學電機工程學系

碩士論文

應用於 5-GHz 無線通訊系統低功耗頻率合成器之設計與實現

**Design and Implementation of Low-Power Frequency
Synthesizer for 5-GHz Wireless Communication System**



研究生：邱智凱 Chih-Kai Chiu

指導教授：翁峻鴻 Jun-Hong Weng

中華民國 106 年 6 月

東海大學電機工程學系碩士學位

考試委員審定書

電機工程學系研究所 邱智凱 君所提之論文

應用於 5-GHz 無線通訊系統低功耗頻率合成器之

設計與實現，經本考試委員會審查，符合碩士

資格標準。

學位考試委員會 召集人：張智翔 (簽章)

委員：陳錡楓

翁俊鴻

中華民國 106 年 06 月 17 日

誌謝

在這充實兩年研究所生涯中，首先要感謝的是我的指導教授翁峻鴻老師，在老師悉心的教導與指點下使我得以在類比積體電路設計領域中有更深入的認識，而老師自由的教學風格也給予了我不少成長的空間與方向。此外本論文的完成亦得感謝口試委員陳錡楓教授與張智翔老師在論文與研究上給予我相當多的建議，使得本論文能更加完善。

感謝鄭慎學姊幫我補充有關工作站上的知識，也感謝育彰、彥辰在平常研究上的幫忙與討論，讓我能順利的找出解決問題的方法，使我的研究更加的順利，此外也感謝冠州、筵崧、明翰、國灃學弟們，有了你們的幫忙與搞笑也讓實驗室充滿了歡樂。有了各位學長姊、同學與學弟們的陪伴，讓這兩年的研究所生活變的更加絢麗多彩，感謝各位。

最後，謹以此文獻給我摯愛的雙親，研究所這兩年一路走來的艱辛與壓力使得自己無暇抽身常回家陪伴你們，謝謝你們的支持與提供我生活所需，讓我能全心全意投入研究且衣食無虞。



摘要

隨著近年來半導體製程的卓越成長，對晶片的操作速度要求是越來越快，因此在無線通訊系統中提供穩定本地振盪訊號之頻率合成器的設計也越來越具挑戰性。本論文主要是提出利用兩種不同技巧與架構的頻率合成器來實現低電壓以及低功耗的效能目標，並以運用在 IEEE 802.11 之通訊系統規格做為考量，主要分為三個部分來分別做討論。

首先第一部分將介紹鎖相迴路以及其主要子電路的架構原理與分析，接著再針對壓控振盪器與頻率合成器之特性與相位雜訊做分析及探討，最後再對整數與非整數頻率合成器做一個簡單的比較以及針對非整數除數之實現方法做介紹。接著第二部分將介紹一利用 TSMC 0.18 μm CMOS 製程技術實現之利用電感耦合技巧的低電壓頻率合成器，其操作頻率為 4.58-GHz 至 5.02-GHz，而迴路鎖定後的相位雜訊在頻率偏移 1-MHz 處為 -117.53 dBc/Hz，在 0.8 V 操作電壓下功率消耗為 5.02 mW。最後第三部分則是介紹一利用電流重複利用技巧所實現之低功耗頻率合成器，採用 TSMC 0.18 μm CMOS 製程技術來實現晶片，操作頻率為 4.83-GHz 至 5.03-GHz，其相位雜訊在頻率偏移 1-MHz 處為 -111.02 dBc/Hz，整體電路消耗功率為 3.58 mW。

Abstract

With the rapid development of semiconductor manufacturing process, the requirement of chip operating speed is become more faster and faster, so the design of frequency synthesizer is more challenging in the wireless communication system. In the thesis, we propose two frequency synthesizer using different architectures to achieve low supply voltage and low power targets for the protocol of IEEE 802.11 system. There are mainly divided into three parts in this thesis to discussed.

The first part will introduce the phase-locked loop and the principles of each sub-circuits, and the phase noise analysis of the oscillator and frequency synthesizer. The second part introduces a low-voltage frequency synthesizer which adopt the inductance coupled topology. Implemented by TSMC 0.18 μm CMOS process, the frequency synthesizer provides the tuning range of 4.58-GHz to 5.02-GHz and the phase noise is -117.53 dBc/Hz at 1-MHz frequency offset. The overall power consumption of the whole circuit is 5.02mW at 0.8v power supply. Finally, the last part discuss a low-power frequency synthesizer realized by using current-reuse principles. The chip is implemented by TSMC 0.18 μm CMOS process with an operating frequency of 4.83-GHz to 5.03-GHz and its phase noise is -111.02 dBc/Hz at 1-MHz frequency offset. The overall power consumption of the frequency synthesizer is 3.58mW.

目錄

誌謝.....	I
摘要.....	III
Abstract.....	IV
目錄.....	V
圖目錄.....	IX
表目錄.....	XV
第一章 緒論	- 1 -
1.1 研究動機.....	- 1 -
1.2 論文摘要.....	- 2 -
第二章 鎖相迴路	- 3 -
2.1 鎖相迴路基本原理.....	- 3 -
2.1.1 相位頻率偵測器(Phase Frequency Detector, PFD).....	- 5 -
2.1.2 傳統式與充電泵式鎖相迴路比較.....	- 10 -
2.1.3 充電泵(Charge pump, CP).....	- 12 -
2.1.4 迴路濾波器(Loop Filter, LPF).....	- 15 -
2.1.5 電壓控制振盪器(Voltage Controlled Oscillator, VCO).....	- 19 -
2.1.6 除頻器(Frequency Divider, FD).....	- 23 -
2.2 振盪器架構原理與頻率合成器特性分析.....	- 23 -
2.2.1 振盪器相位雜訊模型與雜訊抑制技巧.....	- 24 -
2.2.2 相位雜訊分析.....	- 32 -

2.2.3 參考頻率突波	- 36 -
2.3 整數與非整數頻率合成器之比較.....	- 38 -
2.3.1 三角積分調變技術	- 41 -
2.3.2 相位補償技術	- 42 -
第三章 利用電感耦合技巧之低電壓頻率合成器.....	- 43 -
3.1 系統架構簡介與迴路分析.....	- 43 -
3.2 電感耦合基本原理.....	- 45 -
3.3 內部電路架構.....	- 49 -
3.3.1 振盪器與源極耦合除頻器	- 49 -
3.3.2 高速除頻器	- 52 -
3.3.3 相位頻率偵測器	- 54 -
3.3.4 充電泵	- 56 -
3.4 頻率合成器模擬結果.....	- 58 -
3.5 晶片量測.....	- 61 -
第四章 利用電流重複利用技巧之低功耗頻率合成器	- 67 -
4.1 系統架構簡介與迴路分析.....	- 67 -
4.2 注入鎖定基本原理.....	- 71 -
4.3 內部電路架構.....	- 75 -
4.3.1 振盪器與注入鎖定除頻器	- 75 -
4.4 電路模擬結果.....	- 78 -

4.5 晶片量測.....	- 81 -
第五章 結論.....	- 87 -
參考文獻.....	- 87 -





圖目錄

圖 2.1	無線通訊系統架構圖	- 4 -
圖 2.2	傳統式鎖相迴路架構	- 5 -
圖 2.3	相位頻率偵測器行為示意圖	- 5 -
圖 2.4	相位頻率偵測器三態運作圖	- 6 -
圖 2.5	(a)當 F_{ref} 領先 F_{fb} (b)當 F_{fb} 領先 F_{ref} (c)當 F_{fb} 與 F_{ref} 相同	- 6 -
圖 2.6	相位頻率偵測器特性曲線	- 8 -
圖 2.7	(a) 相位頻率偵測器架構 (b)半穿透暫存器 (c)時脈關係圖	- 9 -
圖 2.8	傳統式鎖相迴路架構與期時脈關係圖	- 10 -
圖 2.9	充電泵式鎖相迴路	- 11 -
圖 2.10	相位頻率偵測器與充電泵運作原理	- 11 -
圖 2.11	充電泵充放電不均之情況 (a)控制訊號不匹配 (b)充放電流 不匹配	- 12 -
圖 2.12	(a)電荷注入效應 (b)時脈穿透效應 (c)電荷分享效應 ...	- 13 -
圖 2.13	鎖相迴路線性模型	- 15 -
圖 2.14	二階迴路濾波器	- 15 -
圖 2.15	開迴路頻率響應波德圖	- 17 -
圖 2.16	振盪器的線性模型	- 19 -
圖 2.17	控制電壓與輸出頻率特性曲線	- 20 -
圖 2.18	(a)理想 (b)實際 LC 共振電路	- 21 -
圖 2.19	加入負電阻之振盪器電路	- 22 -
圖 2.20	基本除頻器	- 23 -
圖 2.21	(a)交錯耦合對振盪器架構 (b)迴路增益特性圖	- 24 -

圖 2.22	相位雜訊模型	- 25 -
圖 2.23	電流脈衝注入之變化 (a)於訊號峰值時 (b)於訊號零交錯點時	- 28 -
圖 2.24	具雜訊濾波器之壓控振盪器 (a)電容濾波器 (b)完整雜訊濾波器	- 31 -
圖 2.25	交錯耦合對架構 (a)PMOS 型 (b)NMOS 型 (c)互補式 ..	- 32 -
圖 2.26	(a)理想頻譜脈衝 (b)實際頻譜脈衝 (c)時域訊號抖動 ...	- 33 -
圖 2.27	相位雜訊定義	- 33 -
圖 2.28	頻率合成器相位雜訊模型	- 34 -
圖 2.29	頻率合成器整體相位雜訊	- 36 -
圖 2.30	參考頻率突波示意圖	- 36 -
圖 2.31	突波對無線通訊系統的影響	- 37 -
圖 2.32	(a)加入雙模除頻器之非整數頻率合成器 (b)時序圖	- 40 -
圖 2.33	非整數突波延展	- 41 -
圖 2.34	非整數除數時序圖	- 42 -
圖 3.1	利用電感耦合技巧之頻率合成器架構	- 43 -
圖 3.2	系統 (a)開迴路 (b)閉迴路 頻率響應波德圖	- 44 -
圖 3.3	頻率合成器整體之系統模型	- 45 -
圖 3.4	頻率合成器暫態響應模擬	- 45 -
圖 3.5	(a)螺旋對稱型八角形電感 (b)變壓器架構	- 46 -
圖 3.6	(a)電感等效模形 (b)變壓器等效模形	- 46 -
圖 3.7	振盪器與源極耦合除頻器	- 49 -
圖 3.8	振盪器輸出頻譜	- 50 -
圖 3.9	振盪器頻率可調諧範圍	- 51 -
圖 3.10	振盪器相位雜訊	- 51 -

圖 3.11	振盪器與源極耦合除頻器輸出波型.....	- 51 -
圖 3.12	電流式邏輯除頻器.....	- 52 -
圖 3.13	源極耦合與電流式邏輯除頻器輸出波形.....	- 53 -
圖 3.14	真實單一相位時脈除頻器.....	- 53 -
圖 3.15	第三級完整除頻模擬.....	- 54 -
圖 3.16	動態式相位頻率器.....	- 54 -
圖 3.17	Ref 領先 Vco.....	- 55 -
圖 3.18	Vco 領先 Ref.....	- 55 -
圖 3.19	動態電流匹配充電泵.....	- 56 -
圖 3.20	傳統式充電泵充放電電流.....	- 57 -
圖 3.21	動態電流匹配充電泵充放電電流.....	- 57 -
圖 3.22	TT corner 鎖定情形.....	- 58 -
圖 3.23	TT corner 鎖定眼圖.....	- 58 -
圖 3.24	FF corner 鎖定情形.....	- 59 -
圖 3.25	FF corner 鎖定眼圖.....	- 59 -
圖 3.26	SS corner 鎖定情形.....	- 60 -
圖 3.27	SS corner 鎖定眼圖.....	- 60 -
圖 3.28	頻率合成器晶片照相圖.....	- 61 -
圖 3.29	NMOS Open Drain 與負載等效模型.....	- 61 -
圖 3.30	PCB 照相圖 (a)正面 (b)反面.....	- 62 -
圖 3.31	量測環境.....	- 63 -
圖 3.32	振盪器自由振盪與迴路鎖定輸出頻譜比較.....	- 63 -
圖 3.33	頻率合成器可鎖定範圍.....	- 64 -
圖 3.34	振盪器自由振盪與迴路鎖定之相位雜訊比較.....	- 64 -
圖 3.35	振盪器輸出抖動量.....	- 65 -

圖 4.1	利用電流重複利用技巧之頻率合成器架構.....	- 67 -
圖 4.2	(a)傳統電路 (b)電流重複利用架構.....	- 68 -
圖 4.3	系統 (a)開迴路 (b)閉迴路 頻率響應波德圖.....	- 69 -
圖 4.4	頻率合成器整體之系統模型.....	- 69 -
圖 4.5	頻率合成器暫態響應模擬.....	- 70 -
圖 4.6	(a)迴授調諧組態 (b)注入相位造成之相位偏移.....	- 71 -
圖 4.7	(a)振盪器開迴路特性 (b)注入電流造成之相位偏移.....	- 72 -
圖 4.8	注入電流 I_I 與輸出總電流 I_{total} 相位關係.....	- 73 -
圖 4.9	振盪器與注入鎖定除頻器.....	- 75 -
圖 4.10	振盪器輸出頻譜.....	- 76 -
圖 4.11	振盪器頻率可調諧範圍.....	- 76 -
圖 4.12	振盪器相位雜訊.....	- 77 -
圖 4.13	注入鎖定除頻器輸出四相位波形.....	- 77 -
圖 4.14	TT corner 鎖定情形.....	- 78 -
圖 4.15	TT corner 鎖定眼圖.....	- 78 -
圖 4.16	FF corner 鎖定情形.....	- 79 -
圖 4.17	FF corner 鎖定眼圖.....	- 79 -
圖 4.18	SS corner 鎖定情形.....	- 80 -
圖 4.19	SS corner 鎖定眼圖.....	- 80 -
圖 4.20	頻率合成器晶片照相圖.....	- 81 -
圖 4.21	PCB 照相圖 (a)正面 (b)反面.....	- 82 -
圖 4.22	量測環境.....	- 82 -
圖 4.23	振盪器自由振盪與迴路鎖定輸出頻譜比較.....	- 83 -
圖 4.24	頻率合成器可鎖定範圍.....	- 84 -
圖 4.25	振盪器自由振盪與迴路鎖定之相位雜訊比較.....	- 84 -

圖 4.26 振盪器輸出抖動量..... - 85 -





表目錄

表 2-1	相位邊限 PM 和 γ 值的關係.....	- 18 -
表 3-1	頻率合成器模擬與量測規格比較表	- 65 -
表 3-2	與參考文獻之規格比較表.....	- 66 -
表 4-1	頻率合成器模擬與量測規格比較表	- 85 -
表 4-2	與參考文獻之規格比較表.....	- 86 -





第一章

緒論

1.1 研究動機

隨著近幾年來無線通訊產業的快速發展，使得積體化電路的製造技術有著相當大的改變，特別是應用在射頻(RF)發射端(TX)和接收端(RX)的部分。在現今的行動電子設備中，也逐漸朝向了將許多不同功能之電路整合在一起，以系統單晶片(System on Chip, SoC)的形式來減少產品重量以及體積的趨勢。而為了要使系統中各個區塊的電路能夠同步操作，時脈同步電路即扮演了一個很重要的角色，尤其是當電路操作在較高頻率時，若時脈訊號不同步或失真的話都將導致系統的錯誤。

在混合訊號(Mixed-Signal)系統中，鎖相迴路(Phase-Lock Loop)被廣泛的使用來提供一個穩定且乾淨的參考時脈訊號給晶片內部的各個電路，以解決時脈訊號不同步的問題，使晶片內各個電路能夠正常的操作。因此鎖相迴路已成為一重要且普遍的技術，也衍生出了頻率合成器的概念。而由於鎖相迴路是最常用來產生參考時脈訊號的電路之一，因此也不能忽略其功率消耗。

隨著製程技術的進步，頻率合成器也趨向更高的操作頻率來發展，使得在接收端和發送端的電路設計變得更加困難，且也消耗更多的功率。而在頻率合成器中，由於壓控振盪器與第一級除頻器往往是操作在最高的頻率下，因此其相對消耗功率比其他子電路來的大，故本論文主要的研究為分別利用電感耦合以及電流重複利用的技巧來降

低壓控振盪器與第一級除頻器的消耗功率，以實現低電壓、低功耗的頻率合成器。詳細實現辦法、電路架構以及相關模擬結果將在後續章節做介紹與說明。

1.2 論文摘要

本論文分為五個章節來討論，首章將介紹本論文之研究動機。第二章將接著簡單的介紹一下鎖相迴路的基本原理並針對振盪器與頻率合成器的相位雜訊進行分析以及說明整數與非整數鎖相迴路之差別。第三章將介紹電感耦合技巧並針對利用電感耦合技巧實現之低電壓頻率合成器進行各個子電路的分析與介紹。第四章則介紹一利用電流重複利用原理以及注入鎖定技巧所實現之低功耗頻率合成器與簡單的探討一下注入鎖定原理。最後第五章將對所有章節做個結論並討論改進的方向。

The logo of Tungshai University is a circular seal with a scalloped edge. It features a central emblem with a cross and three rings, surrounded by the text 'TUNGSHAI UNIVERSITY' and the year '1955' at the bottom.

第二章

鎖相迴路

本章節主要是討論鎖相迴路以及頻率合成器的基本原理，並針對主要內部電路架構、頻率合成器的形式與相位雜訊做一系列的介紹與討論。首先是描述鎖相迴路的各區塊電路，包含相位頻率偵測器(Phase & Frequency Detector, PFD)、充電泵(Charge Pump, CP)、迴路濾波器(Loop Filter, LPF)、電壓控制振盪器(Voltage Controlled Oscillator, VCO)以及除頻器(Frequency Divider, FD)。接續著是對傳統式與充電泵式鎖相迴路進行比較，並討論兩者的特性以及說明為何現今鎖相迴路大多採用充電泵式的架構。由於相位雜訊是評估頻率合成器輸出效能的重要指標，第二部分將介紹振盪器的雜訊模型、雜訊抑制技巧並對相位雜訊以及參考頻率突波進行分析與說明。最後則是討論非整數頻率合成器，並依其實現的方式做一個優缺點的比較。

2.1 鎖相迴路基本原理

鎖相迴路至今已是一種相當成熟的技術，也被製做成各種類比IP廣泛的應用於電子與通訊領域中，不管是在數位或是類比電路中，都非常強調鎖相迴路的應用與規格。其應用包含時脈誤差校正(Clock Deskewing)、時脈與資料回復(Clock Data Recovery)、時脈產生(Clock Generator)及頻率合成(Frequency Synthesizer)等，這些功能皆被視為在無線通訊系統應用中不可或缺的核心技術。而在這個無線通訊產業蓬勃發展的今日，高頻通訊也越發講究，因此產品不僅是要低成本與體

積小，低消耗功率與低雜訊更是一大要求，使得鎖相迴路的設計更顯重要且困難[1]。

圖 2.1 為頻率合成器在無線通訊系統中的應用，訊號由天線端接收後，經過低雜訊放大器(LNA)後，再利用混波器(Mixer)降頻，而混波器所使用的本地振盪訊號(LO)即是由頻率合成器來提供，因此有一個純淨且穩定的本地振盪訊號，有利於後者數位訊號的處理[4]。

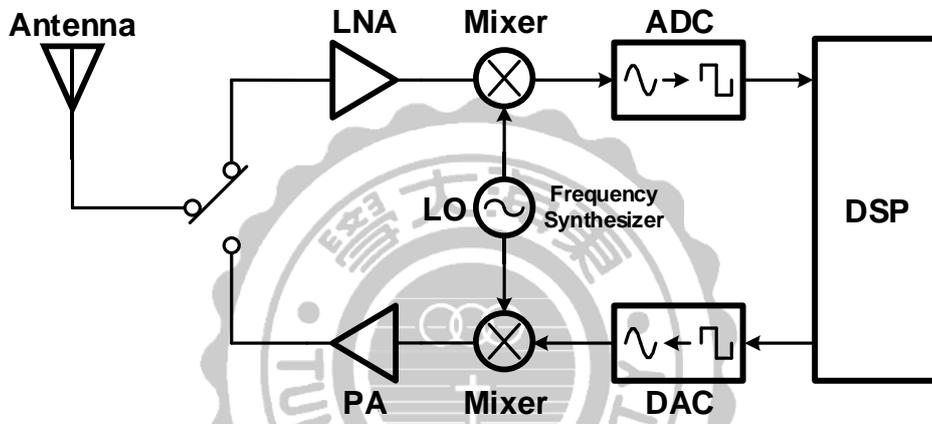


圖 2.1 無線通訊系統架構圖

圖 2.2 為一傳統式的鎖相迴路架構圖，鎖相迴路最主要是利用一負回授系統來消除輸出訊號與輸入訊號之間的相位差以及強健輸出訊號使其呈現穩定狀態。其主要電路包含相位偵測器(Phase Detector, PD)、迴路濾波器(Loop Filter, LPF)以及壓控振盪器(Voltage Controlled Oscillator, VCO)。相位偵測器主要是用來接收輸入參考時脈訊號(F_{ref})與回授的時脈訊號(F_{fb})並執行相位比較的动作，將相位差異轉換成一誤差訊號。而這個誤差訊號將送入迴路濾波器轉換成一控制電壓來調整壓控振盪器之輸出頻率，使輸出訊號與參考訊號間的相位差逐漸縮

小，直到達到一固定的相位差(constant phase error)，此現象稱為迴路相位鎖定(locked)。以下將接續介紹鎖相迴路中的各個主要子電路。

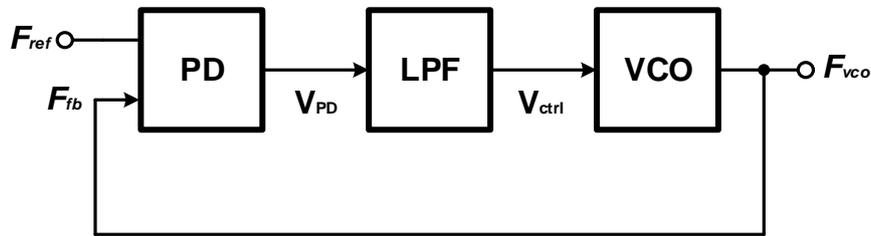


圖 2.2 傳統式鎖相迴路架構

2.1.1 相位頻率偵測器(Phase Frequency Detector, PFD)

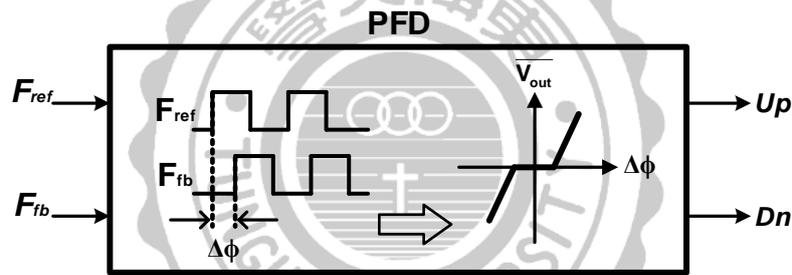


圖 2.3 相位頻率偵測器行為示意圖

相位頻率偵測器的功能是用來偵測輸入訊號的頻率以及相位差別，並送出正比於差異量的訊號。圖 2.3 為偵測器的行為示意圖，相位頻率偵測器會比較輸入訊號 F_{ref} 和 F_{fb} 的相位差 $\Delta\phi$ ，並將這個值轉換成一個輸出訊號 V_{out} 送至充電泵，此輸出訊號的平均值 $\overline{V_{out}}$ 會正比於 $\Delta\phi$ ，也就是當 F_{ref} 與 F_{fb} 的相位差異量越大時，輸出電壓 V_{out} 的脈衝寬度(pulse width)也會越大。其關係式如公式(2-1)，其中 K_{PFD} 為相位頻率偵測器的增益(V/rad)。

$$\overline{V_{out}} = K_{PFD} \times \Delta\phi \quad (2-1)$$

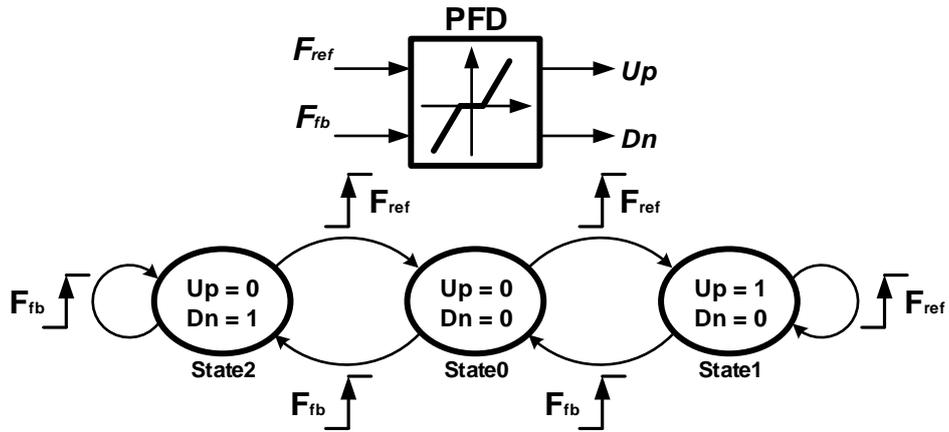


圖 2.4 相位頻率偵測器三態運作圖

相位頻率偵測器是一具有三種狀態的電路，其運作模式可以利用一三態運作圖來做簡要敘述，如圖 2.4 所示，由此狀態圖分析，可能有三種情形：

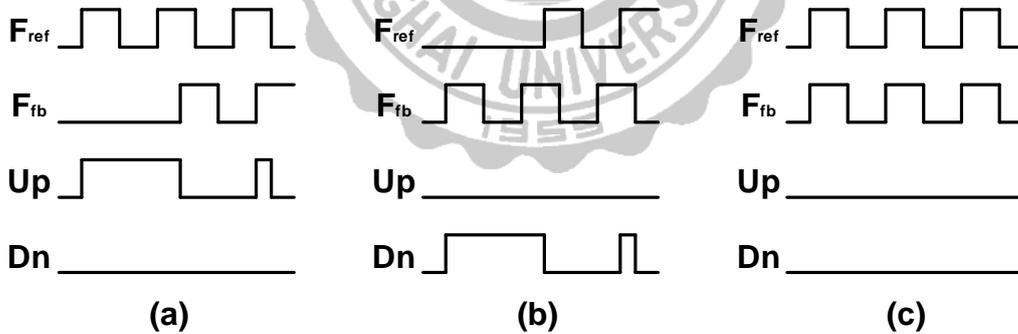


圖 2.5 (a)當 F_{ref} 領先 F_{fb} (b)當 F_{fb} 領先 F_{ref} (c)當 F_{fb} 與 F_{ref} 相同

- (1) 假設初始狀態在 State0，當輸入訊號 F_{ref} 出現正緣(Rising edge)時，表示 F_{ref} 的速度較快，此時狀態會移至 State1，輸出訊號 Up 會由 0 變成 1，並控制充電泵充電。當相位頻率偵測器處在 State1 的情況下，即使輸入訊號 F_{ref} 再度出現正緣，狀態仍然會維持在

State1，直到輸入訊號 F_{fb} 出現正緣時，狀態會回到 State0。以圖來解釋，如圖 2.5(a) 所示，當 F_{ref} 的正緣比 F_{fb} 先出現時，輸出訊號 Up 會由 Low 變成 High，而訊號 Dn 則是會維持在 Low。等到 F_{fb} 的正緣也出現時，相位頻率偵測器會發出 Reset 的訊號，將 Up 跟 Dn 同時重置到 Low，完成一次比較的動作。

- (2) 假設初始狀態在 State0，當輸入訊號 F_{fb} 出現正緣時，表示 F_{fb} 的速度較快，此時狀態會移至 State2，輸出訊號 Dn 會由 0 變成 1，並控制充電泵放電。當相位頻率偵測器處在 State2 的情況下，即使輸入訊號 F_{fb} 再度出現正緣，狀態仍然會維持在 State2，直到輸入訊號 F_{ref} 出現正緣時，狀態會回到 State0。以圖來解釋，如圖 2.5(b) 所示，當 F_{fb} 的正緣比 F_{ref} 先出現時，輸出訊號 Dn 會由 Low 變成 High，而訊號 Up 則是會維持在 Low。等到 F_{ref} 的正緣也出現時，相位頻率偵測器會發出 Reset 的訊號，將 Up 跟 Dn 同時重置到 Low，完成一次比較的動作。

- (3) 當 F_{ref} 與 F_{fb} 的頻率及相位都相同時，由於兩者的正緣同時出現，因此狀態在還沒改變至 State1 或 State2 之前就會跳回至 State0，此時輸出訊號 Up 及 Dn 都為 Low，也就是鎖定狀態，如圖 2.5(c) 所示。

一般在設計相位偵測器或相位頻率偵測器時，主要有幾個考量，一個是最高可操作的頻率，另一個是線性度，而最重要的則是可偵測相位差的最小值，即所謂的禁止區(dead zone)。當相位誤差的差距很小時，進入了偵測器的禁止區中，會使得迴路濾波器的輸出電壓發生

擾動，進而造成壓控振盪器輸出訊號抖動(jitter)，產生靜態的相位誤差。為了改善此相位誤差，在設計時應採用禁止區範圍較小的相位頻率偵測器。禁止區的範圍越小，所能偵測到的相位差就越窄，誤差也就越小；相反的，禁止區的範圍越大，偵測到的相位差寬，所產生的誤差也就越大，圖 2.6 為相位頻率偵測器之特性曲線。

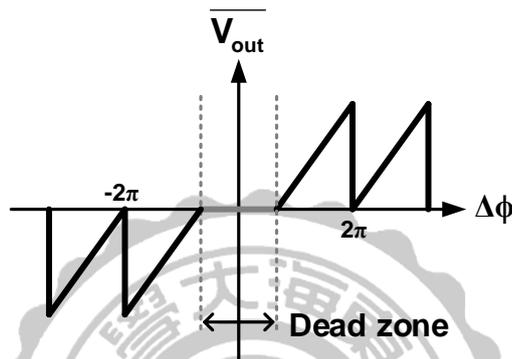


圖 2.6 相位頻率偵測器特性曲線

要以電路來實現相位頻率偵測器，通常有三種選擇(1)類比式(2)傳統靜態邏輯式(3)動態邏輯式。類比式的相位頻率偵測器通常是由類比乘法器或互斥或閘(XOR)來實現，其優點是無禁止區且低雜訊，但缺點是相位的捕獲範圍(acquisition range)較小。傳統靜態邏輯式相位頻率偵測器是由兩個邊緣觸發具重置功能的 D 型正反器與一 AND 閘構成，此種架構常會面臨到禁止區的瓶頸，為了避免當相位差距很小時無法推動充電泵進行充放電動作，可以藉由在重置的路徑上加入額外的延遲來增加最窄脈衝寬度來改善這個問題，但增加延遲的同時卻也會降低偵測器的最高操作頻率。而利用最後一種動態邏輯式的好處在於比傳統靜態邏輯式構成的電路有更快的操作頻率，也比類比式有更大的相位捕獲範圍[5][6]，因此本論文中所採用的架構為動態邏輯式的

相位頻率偵測器，其架構如圖 2.7(a) 所示，主要是由兩個半穿透暫存器(圖 2.7(b))組成[7][8]，當偵測器的兩個輸入訊號相位很接近時，由於在很短的脈波寬度時間內無法推動充電泵充放電開關，此現象即稱為禁止區。為了縮小禁止區的範圍，我們在 Rst 的路徑上加上延遲單元(τ)以增加 Up 和 Dn 的脈波寬度，使輸出能提供足夠推動充電泵開關的脈波，其工作時脈如圖 2.7(c) 所示。

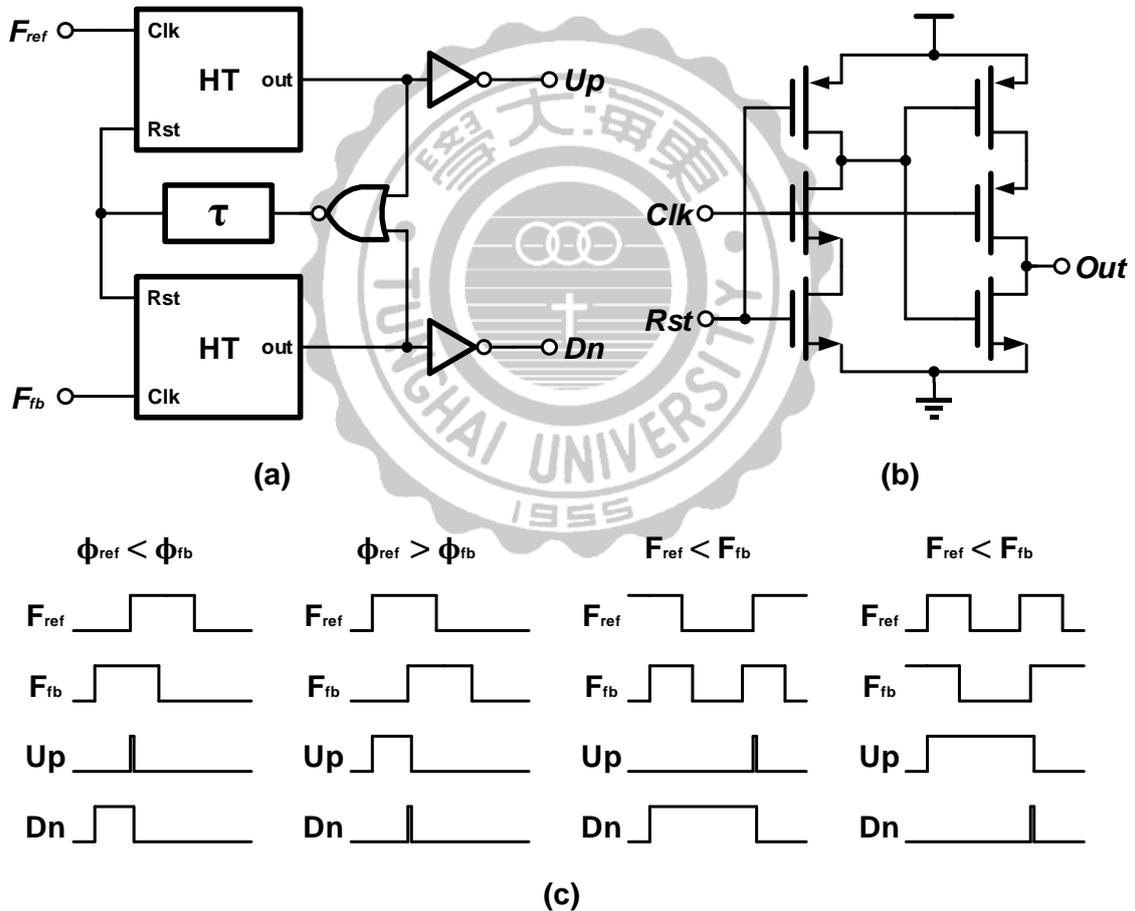


圖 2.7 (a) 相位頻率偵測器架構 (b) 半穿透暫存器 (c) 時脈關係圖

2.1.2 傳統式與充電泵式鎖相迴路比較

傳統式鎖相迴路架構如圖 2.2 所示，用來調整输出的主要機制是使用相位偵測器(PD)，簡而言之就是用於偵測輸入與回授訊號的相位差，並將偵測後的相位差訊號由迴路濾波器做後續處理。理想上相位差訊號會經由迴路濾波器輸出一平均電壓值來控制後級的壓控振盪器，但實際上除非迴路濾波器是一個極高階且優良的濾波器，否則會因為迴路濾波器的設計與非線性的效應使得输出的控制電壓(V_{ctrl})產生一漣波(ripple)如圖 2.8 所示。若想改善這種漣波效應勢必得將濾波器的頻寬設計得更窄，而這種設計不但會耗費更大的面積也會影響迴路的穩定性。

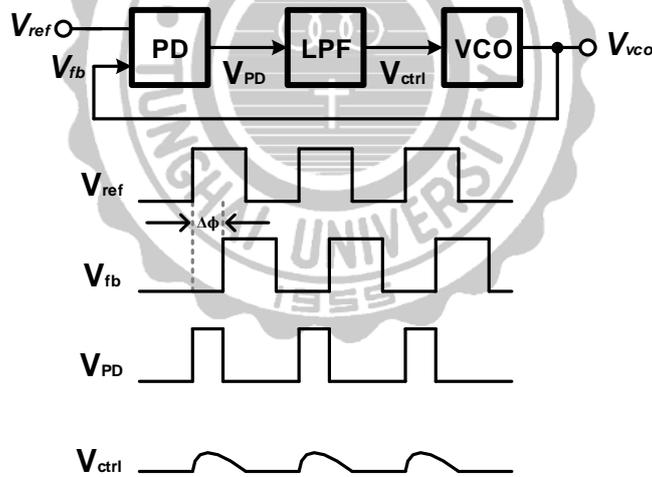


圖 2.8 傳統式鎖相迴路架構與期時脈關係圖

此外，在傳統式鎖相迴路的相位偵測器和迴路濾波器之間，並不是高阻抗路徑，因此在經過相位偵測器每個週期的相位比較並存入電荷於迴路濾波器後，電荷將會從低阻抗路徑流失掉，進而造成控制電壓的變動。

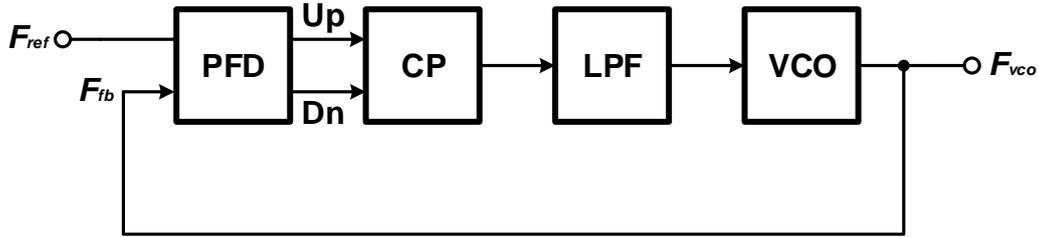


圖 2.9 充電泵式鎖相迴路

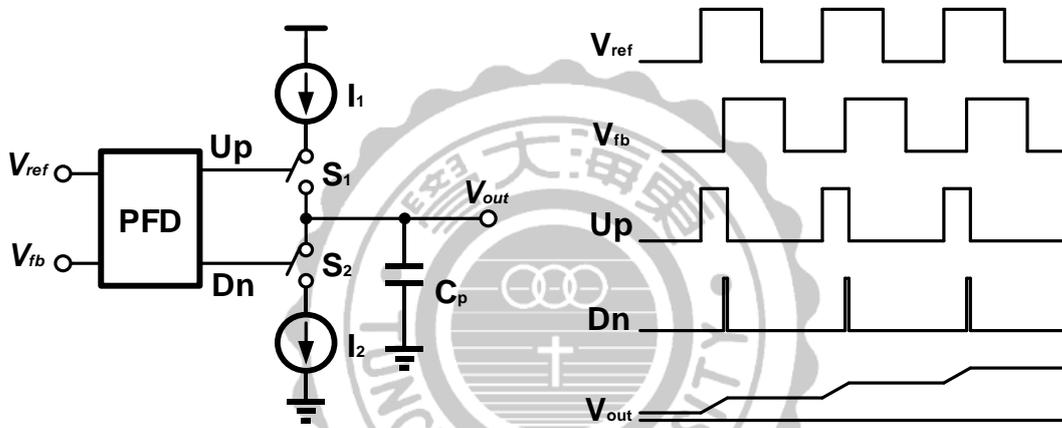


圖 2.10 相位頻率偵測器與充電泵運作原理

而以上所提到的缺點可由後期被提出的充電泵式鎖相迴路所解決，其架構如圖 2.9 所示[9][10]，與傳統式的鎖相迴路差異在於利用了相位頻率偵測器(PFD)來做為偵測機制。當除頻回授訊號的頻率與輸入訊號有差異時，利用結合頻率偵測與相位偵測的偵測器可先針對頻率的不同進行鎖頻的追鎖動作，直到頻率相同之後再接著進行鎖相，而利用將頻率與相位分開鎖定的方式可使迴路會鎖定到一定量的相位差之後才由相位偵測器運作，避免相位捕獲範圍不足導致無法鎖定的現象。

充電泵式鎖相迴路的運作原理可由圖 2.10 來說明，由於相位頻率偵測器的輸出(U_p 、 D_n)並非直接輸入迴路濾波器，而是透過控制充電泵的開關(S_1 、 S_2)，將數位訊號轉換成類比電流對迴路濾波器進行充電，如此一來即可將平均數位訊號所產生的電壓漣波消除，使控制電壓穩定。而充電泵式鎖相迴路所具有的優點即是如前面所提，可以使鎖定時的固定相位誤差為零，因為當 $\omega_{ref} = \omega_{fb}$ 時，也就是當頻率鎖定後偵測器將會進入鎖相機制，在 ϕ_{ref} 相位領先或落後 ϕ_{fb} 時，充電泵會持續進行充電或放電直到沒有相位差，而不會因為頻率已相等就停止動作，也就是說由相位頻率偵測器與充電泵的組合下，只要相位出現差異即會啟動鎖相機制將相位誤差校正為零[11]。由上述可知使用充電泵式鎖相迴路不僅能改善傳統式鎖相迴路所具有的缺點，也能提供更廣泛且實際的應用，故此類型的鎖相迴路也已經成為主流。

2.1.3 充電泵(Charge pump, CP)

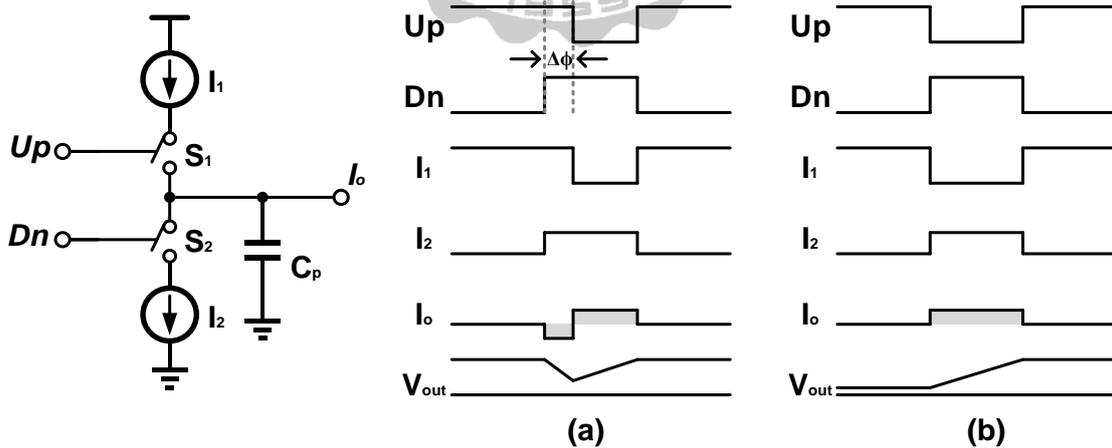


圖 2.11 充電泵充放電不均之情況 (a)控制訊號不匹配 (b)充放電流不匹配

在上一節所討論過的充電泵式鎖相迴路雖然具有許多優點，但實際上在相位頻率偵測器與充電泵結合的電路中還是存在著幾個非理想效應，對鎖相迴路整體的影響也不容小覷，甚至造成參考頻率突波(reference spur)影響鎖相迴路的特性。在充電泵中常見到的非理想效應有兩大類，分別為電路缺陷與元件缺陷。首先要探討的是電路缺陷的部份，此類的效應有控制訊號不匹配、充放電流不匹配這兩種。圖 2.11(a)為控制訊號不匹配的示意圖，當迴路鎖定後，為了維持動態鎖定，數位訊號(U_p 、 D_n)送入開關(S_1 、 S_2)中的脈波寬度不同時，使(I_1 、 I_2)充放電電流大小不均導至最後輸出的電流 I_0 不為零，造成輸出電壓的擾動，也就是漣波。而另一種充放電流不匹配的情況如圖 2.11(b)所示，這種情況為即使當(U_p 、 D_n)同時送入開關(S_1 、 S_2)的脈波寬度相同，但因 PMOS 與 NMOS 的電子飄移率(mobility)的不同造成上下充放電流大小不均，進而造成輸出電壓產生擾動。

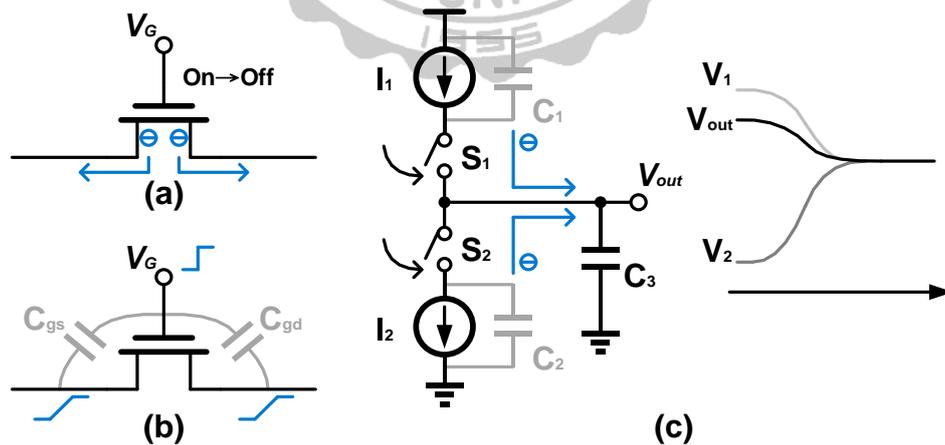


圖 2.12 (a)電荷注入效應 (b)時脈穿透效應 (c)電荷分享效應

接下來要探討的是元件缺陷的部份，由於電晶體元件本身的寄生效應所造成的缺點，包含時脈穿透、電荷注入與電荷分享的非理想效應。圖 2.12(a) 為電荷注入效應示意圖，當利用電晶體做為開關，在開關導通時反轉層會吸附電荷；當開關關閉時，儲存的電荷會透過源極與汲極端釋放出電荷至開關兩邊的電容，造成所謂的電荷注入。另一效應如圖 2.12(b) 所示，由於開關之寄生電容(C_{gd} 、 C_{gs})的存在，當一脈衝訊號送入閘極時，訊號會透過寄生電容的路徑耦合至汲極與源極造成兩端電壓的抖動因而形成雜訊，此情況就稱為時脈穿透。最後圖 2.12(c) 所示的是電荷分享效應，當充電泵開關(S_1 、 S_2)關閉時，寄生電容(C_1 、 C_2)將分別儲存電荷於高電位與低電位；當開關(S_1 、 S_2)開啟時，寄生電容(C_1 、 C_2)中儲存的電荷將會平均分散於寄生電容(C_1 、 C_2)與負載電容(C_3)，因電荷分享的動作使迴路濾波器輸出的電壓產生擾動。以上所提到的非理想效應皆會使迴路濾波器的輸出電壓產生漣波，因此在設計充電泵時要盡量避免各種不匹配以及元件寄生效應所造成的缺陷，也要考慮相位頻率偵測器，兩者的關係式可表示為：

$$I_o = I_{cp} \times \frac{\Delta\phi}{2\pi} \quad (2-2)$$

其中 I_o 為充電泵輸出電流， $I_{cp} = I_1 = I_2$ 為充電泵充放電電流源大小， $\Delta\phi$ 為相位頻率偵測器的兩個輸入訊號之相位差，由於相位頻率偵測器所能偵測的區間為 $\pm 2\pi$ ，因此將相位差 $\Delta\phi$ 除以 2π 。

2.1.4 迴路濾波器 (Loop Filter, LPF)

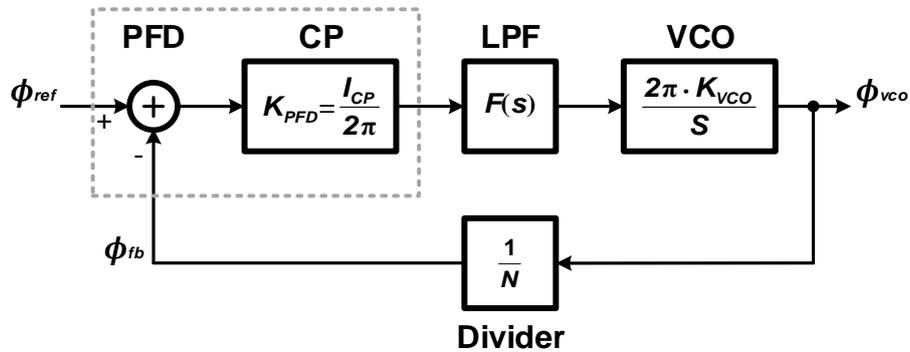


圖 2.13 鎖相迴路線性模型

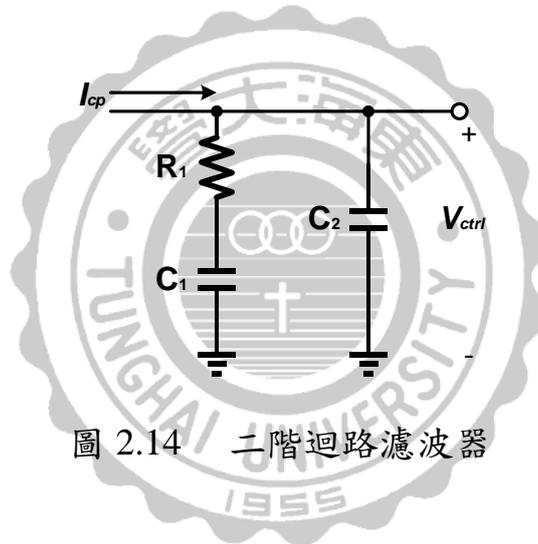


圖 2.14 二階迴路濾波器

在鎖相迴路中，迴路濾波器的設計與系統的穩定性息息相關，為了將充電泵輸出的電流轉換成電壓來控制振盪器，必須在中間加上一個低通迴路濾波器來過濾相位誤差訊號中的高頻成分以及雜訊。迴路濾波器最重要的功能在於能提供一零點補償使系統穩定，若不具迴路濾波器，會造成系統一開始就處於不穩定的狀態下，所以若能提供零點補償相位就能使系統穩定。其線性模型如圖 2.13 所示，其中 K_{PFD} 是相位頻率偵測器加充電泵的增益， $\frac{2\pi \cdot K_{VCO}}{s}$ 是壓控振盪器的增益， N 為除頻器之除數。由於以被動元件方式設計的濾波器除了較簡易外也

有較優的抗雜訊表現，因此本論文採用由被動元件所設計的架構，如圖 2.14 所示，由此架構圖可推算出迴路濾波器的轉移函數如下：

$$F(s) = \frac{V_{ctrl}}{I_{cp}} = \left(R_1 + \frac{1}{sC_1} \right) \parallel \frac{1}{sC_2} = \frac{sR_1C_1 + 1}{s^2R_1C_1C_2 + s(C_1 + C_2)}$$

$$= \frac{1 + s\tau_z}{s(C_1 + C_2)(1 + s\tau_p)} \quad (2-3)$$

其中 $\tau_z = R_1C_1$ ， $\tau_p = \left(\frac{R_1 \cdot C_1 \cdot C_2}{C_1 + C_2} \right)$ 。

接著由公式(2-3)即可推得零點 ω_z 與極點 ω_p ：

$$\omega_z = \frac{1}{\tau_z} = \frac{1}{R_1C_1} \quad (2-4)$$

$$\omega_p = \frac{1}{\tau_p} = \frac{C_1 + C_2}{R_1 \cdot C_1 \cdot C_2} = \omega_z \left(1 + \frac{C_1}{C_2} \right) \quad (2-5)$$

並將迴路濾波器的轉移函數改寫成：

$$F(s) = \frac{R_1C_1}{C_1 + C_2} \cdot \frac{\frac{1}{R_1C_1} + s}{s + s^2 \left(\frac{R_1C_1C_2}{C_1 + C_2} \right)} = K_f \cdot \frac{s + \omega_z}{\left(\frac{1}{\omega_p} \right) s^2 + s} \quad (2-6)$$

其中 $K_f = \frac{R_1 \cdot C_1}{C_1 + C_2}$ ，因此由圖 2.13 即可以得知整個開迴路的轉移函數

為：

$$G(s) = K_{PFD} \cdot F(s) \cdot \frac{2\pi \cdot K_{vco}}{s} \cdot \frac{1}{N} = \frac{I_{cp} \cdot F(s) \cdot K_{vco}}{s} \cdot \frac{1}{N}$$

$$= \frac{I_{cp} \cdot K_f \cdot K_{vco}}{N} \cdot \frac{s + \omega_z}{s^2 \left(\frac{s}{\omega_p} + 1 \right)} \quad (2-7)$$

而迴路頻寬 ω_c ，可以定義為開迴路轉移函數在增益為 1 的頻率，即單位增益頻寬 (unity gain bandwidth) 或稱為截止頻率 (cutoff

frequency)，但因為 ω_c 通常遠大於 ω_z ，又遠小於 ω_p ，因此由式(2-7)可推得迴路頻寬 ω_c ：

$$G(s) = \frac{I_{cp} \cdot K_f \cdot K_{vco}}{N} \cdot \frac{S + \omega_z}{S^2 \left(\frac{S}{\omega_p} + 1 \right)} \approx \frac{I_{cp} \cdot K_f \cdot K_{vco}}{N} \cdot \frac{S}{S^2} = 1$$

$$\Rightarrow \omega_c \approx \frac{I_{cp} \cdot K_{vco} \cdot R_1}{N} \quad (2-8)$$

圖 2.15 為開迴路的頻率響應波德圖，在頻率一開始接近零時的相位大小約為 -180° ，當零點 ω_z 出現時，相位邊限增加，當極點 ω_p 出現時，相位邊限則會降低，因此在此範圍內相位邊限存在一最大值 ω_c 。

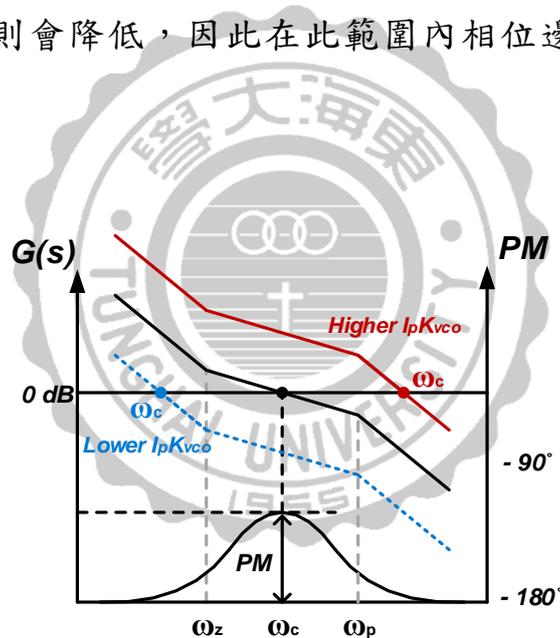


圖 2.15 開迴路頻率響應波德圖

為了穩定度的考量，必須將 ω_c 放置於 ω_z 與 ω_p 之間，從(2-8)式可以得知 ω_c 為 N 的函數，因此除頻器除數的變動將會造成迴路頻寬的變化，由(2-7)式可以得到相位邊限 PM(Phase Margin)的大小：

$$PM = \tan^{-1}\left(\frac{\omega_c}{\omega_z}\right) - \tan^{-1}\left(\frac{\omega_c}{\omega_p}\right) \quad (2-9)$$

而為了使整個系統的暫態行為在改變除頻器所有可能的除數的情況下幾乎不會改變，迴路頻寬 ω_c 將被放置於當改變除數 N 時相位邊限變化最小的地方，為了找到滿足以上條件的迴路增益頻寬 ω_c ，將(2-9)式對 ω_c 做微分並另其為 0 可得到：

$$\frac{d}{dK} \left[\tan^{-1}\left(\frac{\omega_c}{\omega_z}\right) - \tan^{-1}\left(\frac{\omega_c}{\omega_p}\right) \right] = \frac{\omega_z}{\omega_c^2 + \omega_z^2} - \frac{\omega_p}{\omega_z^2 + \omega_p^2} = 0$$

$$\Rightarrow \omega_c = \sqrt{\omega_z \cdot \omega_p} \quad (2-10)$$

此時如果將迴路頻寬 ω_c 設定在零點 ω_z 與極點 ω_p 的幾何平均數時，可得到最大的相位邊限。因此我們定義了一個新的變數 γ ：

$$\gamma = \frac{\omega_c}{\omega_z} = \frac{\omega_p}{\omega_c} \quad (2-11)$$

相位邊限和 γ 值的關係如表 2-1 所示，我們所選定的相位邊限值會決定系統的鎖定時間、穩定度及抖動的好壞：

表 2-1 相位邊限 PM 和 γ 值的關係

γ	1	2	3	4	5	6
PM	0°	36.9°	53.1°	61.9°	67.4°	71°

選定 γ 與 ω_c 之後，利用公式(2-11)可以導出濾波器上的電容關係式為：

$$\frac{C_1}{C_2} = \gamma^2 - 1 \quad (2-12)$$

因此迴路頻寬 ω_c 可以表示成以下 γ 的函數：

$$\omega_c = I_p \cdot R_1 \left(1 - \frac{1}{\gamma^2}\right) \frac{K_{vco}}{N} \quad (2-13)$$

由式(2-11)至(2-13)即可導出迴路濾波器上的電阻及電容值分別為：

$$C_1 = C_2 \cdot (\gamma^2 - 1) \quad (2-14)$$

$$R_1 = \frac{\gamma}{C_1 \cdot \omega_c} \quad (2-15)$$

$$C_2 = \frac{1}{\gamma^2} \cdot \frac{I_{cp} K_{vco}}{\omega_c^2 \cdot N} \cdot \sqrt{\frac{1 + \gamma^2}{1 + (\frac{1}{\gamma})^2}} \quad (2-16)$$

2.1.5 電壓控制振盪器 (Voltage Controlled Oscillator, VCO)

壓控振盪器的效能往往直接影響到整體鎖相迴路的性能，可說是整個迴路中最核心的角色，所以其輸出訊號的純淨度與抗雜訊能力會直接影響迴路輸出與射頻前端電路的表現。

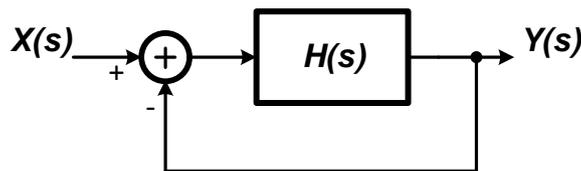


圖 2.16 振盪器的線性模型

電壓控制振盪器的負回授線性模型如圖 2.16，其轉移函數可表示為：

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 + H(s)} \quad (2-17)$$

為了維持電壓控制振盪器的穩定振盪，有兩個條件必須要同時滿足，稱之為巴克豪森條件：

(1) 迴路增益大於等於 1， $|H(j\omega_0)| \geq 1$

(2) 迴路的相位位移總和為 180° ， $\angle H(j\omega_0) = 180^\circ$

注意到此巴克豪森條件是必須但不是充分的條件。舉例來說，迴路的相位位移在頻率 0 時若等於 360° ，且迴路增益是足夠的情況下，電路將會發生門鎖現象而不會振盪。

接著讓我們瞭解電壓控制振盪器的特性，其振盪系統的操作行為是利用其輸入的直流電壓來改變輸出頻率，因此可定義為：

$$\omega_{out} = \omega_0 + 2\pi \cdot K_{vco} \cdot V_{ctrl} \quad (2-18)$$

其中 ω_0 為控制電壓在 0 V 時的自由振盪頻率 (free running frequency)、 K_{vco} 為電壓控振盪器增益 (Hz/V)、 V_{ctrl} 為控制電壓，而 ω_{out} 則是輸出頻率。理想上控制電壓與輸出頻率會是呈現一個線性關係，如圖 2.17 所示。

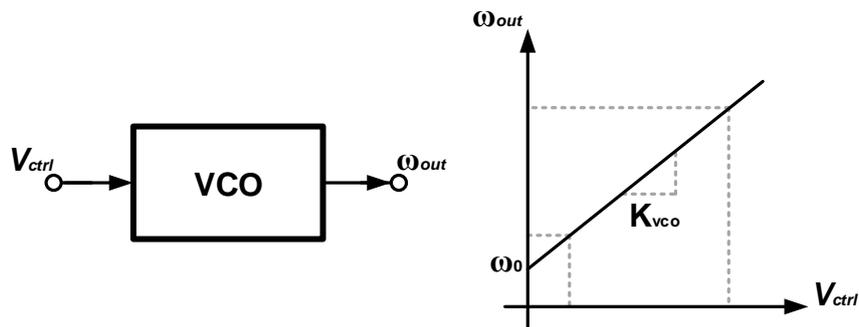


圖 2.17 控制電壓與輸出頻率特性曲線

現今的振盪器大至上可區分為兩種類型，(1)環型振盪器(Ring Oscillator)與(2)電感電容式振盪器(LC Oscillator)，環型振盪器的優勢在於擁有較寬廣的可調頻率範圍(tuning range)、較強健的輸出訊號與較小的面積，且具有多相位之能力，然而當電路應用於高頻時，因受到電路本身雜訊的影響，在相位雜訊上的表現會較不如電感電容式振盪器。而電感電容式振盪器之優勢則是在於高頻操作時的相位雜訊的表現較佳，利用其高品質因子(Q factor)的特性來得到具有低相位雜訊的訊號，但其缺點為可調頻率範圍較小，因此各有各的優缺點。本論文中的振盪器所採用的架構為電感電容式，故不再特別針對環型振盪器多做介紹。

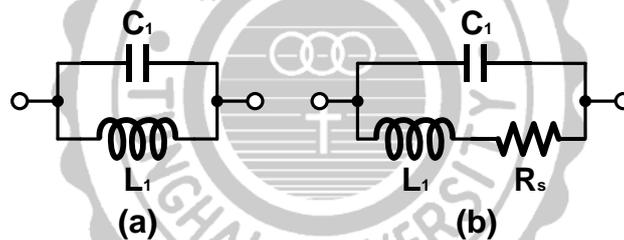


圖 2.18 (a)理想 (b)實際 LC 共振電路

圖 2.18(a)中顯示，一電容 C_1 與電感 L_1 並聯且共振在頻率 $\omega_{osc} = \frac{1}{\sqrt{L_1 C_1}}$ 處，在此頻率下電感的阻抗與電容的阻抗為相等但反相，因此造就了一無限大的阻抗。但實際上電感會產生一電阻成份 R_s 如圖 2.18(b) 所示，使得共振腔會因為電阻將能量轉換成熱並以此形式損耗，故無法維持振盪。考慮一脈衝響應，如圖 2.19，若加入一負電阻 $-R_p$ 與 R_p 並聯，使 $(-R_p) \parallel R_p = \infty$ ，電路將會穩定振盪，而負電阻通常會利用電晶體的交錯耦合對來提供。

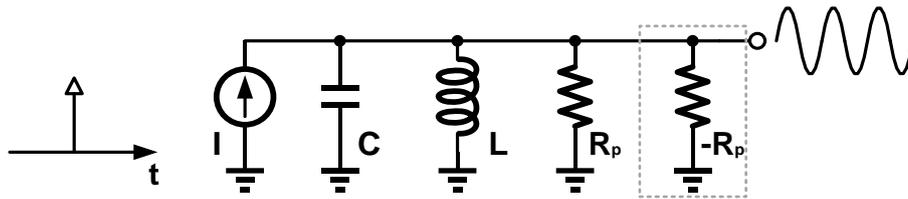


圖 2.19 加入負電阻之振盪器電路

而設計電壓控制振盪器通常要注意以下特點：

(1) 頻率可調諧範圍與線性度：

在考慮到應用層面時，原則上都是希望壓控振盪器能夠提供足夠的頻寬做為設計要求，故頻率可調範圍將會是設計的主要考量之一，也是常被用來評估一壓控振盪器的性能指標。而線性度的部分，與上述的 K_{vco} 息息相關，若線性度不佳則會使得迴路鎖定後的效能因變動大的 K_{vco} 值而起伏不定。

(2) 相位雜訊：

由於壓控振盪器的雜訊將會影響整個鎖相迴路系統，且若要將其應用於射頻系統其雜訊也將影響全體系統的效能表現。為了要有較好的相位雜訊除了採用電感電容式振盪器外，也會利用差動輸出架構來抑制雜訊，而共振腔的品質因子 Q 將決定整體電感電容式振盪器的相位雜訊表現，但 Q 值往往卻又與頻率可調諧範圍互相違背(trade off)，因此如何取捨也是設計上的一大挑戰。

2.1.6 除頻器(Frequency Divider, FD)

除頻器在鎖相迴路中雖是非必要加入的電路，但是必須加入除頻器才能使鎖相迴路的輸出相對於輸入參考頻率產生倍頻的效果，其關係式為：

$$f_{vco} = f_{ref} \times N \quad (2-19)$$

最簡單的除頻器是由正反器所組成，如圖 2.20 為一正緣觸發的 D 型正反器，由於正緣輸入後才會使輸出反向，因此經過兩次正緣觸發後輸出的訊號才會回到原本的狀態，此時輸出的頻率會等於輸入的一半。這類除頻器的優點是具有較快的操作速度，但其缺點是由於一級只能除二，故除數會受限於 $N=2^M$ ，其中 M 為除頻器串接的級數。

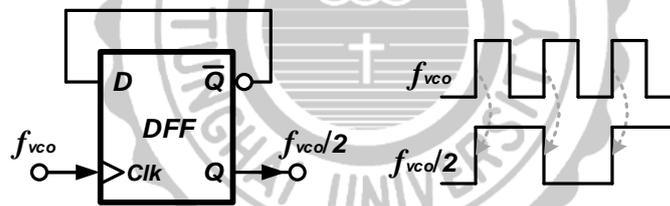


圖 2.20 基本除頻器

2.2 振盪器架構原理與頻率合成器特性分析

在無線通訊系統中，利用純淨的振盪訊號來做頻率合成是非常關鍵的技術，電感電容式振盪器的原理是利用能儲能的電容及電感組成一個共振腔來起振，其振盪頻率為 $\frac{1}{\sqrt{L_1 C_1}}$ ，可利用壓控電容來改變振盪頻率。圖 2.21(a) 為常見的二級迴授調諧組態，其中 R_p 為等效寄生電阻， C_p 為等效電容，L 為電感，而 M_1 、 M_2 提供了一個 $-\frac{2}{g_m}$ 的負

阻值。此調諧組態以迴授的方式使迴路節點 X、Y 能交錯振盪形成差動輸出，藉由差動輸出的特性來抑制雜訊，且比起單級放大的振盪電路來說能提供更大的阻抗。此外在共振時，迴路的總相位偏移為零，也就是說如果 $g_{m1}R_p g_{m2}R_p \geq 1$ ，則迴路將會產生振盪，其迴路增益特性如圖 2.21(b) 所示。本節將先針對振盪器的指標—相位雜訊進行解說，並提出抑制相位雜訊的技巧，接著再對頻率合成器的另一項效能指標—參考頻率突波做介紹。

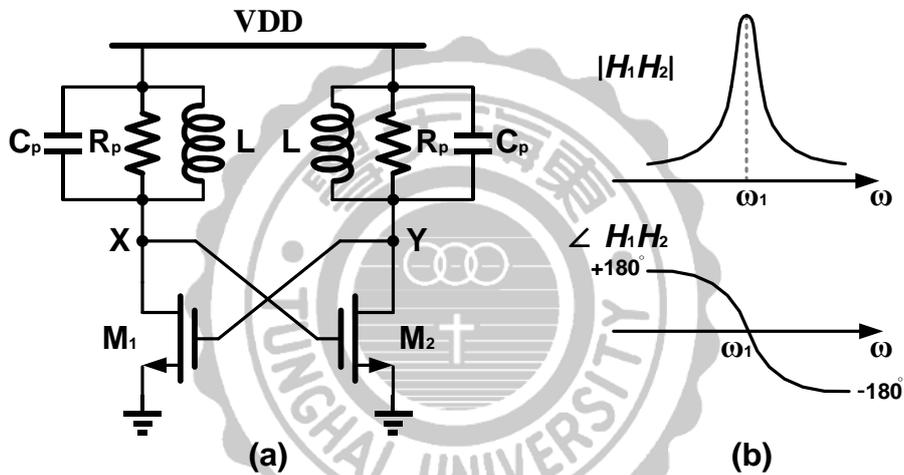


圖 2.21 (a)交錯耦合對振盪器架構 (b)迴路增益特性圖

2.2.1 振盪器相位雜訊模型與雜訊抑制技巧

相位雜訊是被用來評估一個振盪器的特性好壞的重要指標，其形成的原因可分為非時變與時變，首先以非時變概念來分析相位雜訊形成原因，非時變指的是雜訊源不論何時注入壓控振盪器所得到的相位雜訊都是不變的，也就是不會受時間參數的影響，通常是屬於元件上所產生的雜訊源。舉例來說熱雜訊(Thermal noise)就是屬於白雜訊(white noise)的一種，所以無論何時都會影響到電路的相位雜訊，這就

是一種非時變因素。而常見到用來分析相位雜訊的方式為D. B. Leeson所提出的線性非時變相位雜訊模型[12]，其提出相位雜訊在頻率偏移為 $\Delta\omega$ 時可以表示成：

$$L(\Delta\omega) = 10\log\left\{\frac{2FkT}{P_{\text{signal}}}\left[1 + \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2\right]\left(1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|}\right)\right\} \quad (2-20)$$

其中 F (Leeson's noise factor) 為一經驗參數，無法正確估計。 $\Delta\omega_{1/f^3}$ 為 $1/(\Delta\omega)^2$ 與 $1/(\Delta\omega)^3$ 的區間，k 為波茲曼常數， P_{signal} 為訊號的能量強度，Q 為振盪器的品質因子。本模型的優點是可藉由式(2-20)觀察出若要降低相位雜訊的話可藉由提高 Q 值、增強信號的振幅與能量亦或是降低 F 參數來實現。而其缺點則是雜訊因子 F 為一經驗值，與 $\Delta\omega_{1/f^3}$ 一樣無法以數學式來做分析。

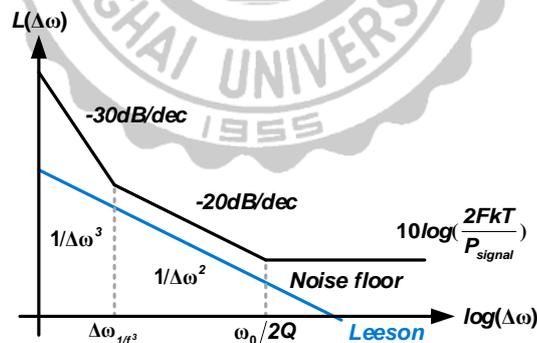


圖 2.22 相位雜訊模型

之後 J. J. Real 與 A. A. Abidi 所提出的相位雜訊模型[13]中將會對各種非時變雜訊來做分析，包括 LC 共振腔、電流源以及交錯耦合對雜訊等。

(1) LC 共振腔雜訊：

假設一雜訊電流源 $I_n \sin[(\omega_0 \pm \Delta\omega)t + \phi]$ 為造成共振腔損耗的雜訊源，而 $I_n^2 = \frac{4kT}{R_p}$ 。此雜訊源會使差動對的零交錯點(zero crossing)產生調變，並產生一個方波電流以及一個被 $2\omega_0$ 取樣的雜訊電流。取樣後經過共振腔的低通特性濾掉三階以上的諧波後將會近似於 $(\omega_0 \pm \Delta\omega)$ 項，並在穩態時造成一對稱電壓響應於共振腔中，可表示成：

$$V_{out} = V_0 \sin \omega_0 t + \left(\frac{I_n L \omega_0^2}{4\omega_0} \right) \sin(\omega_0 - \Delta\omega)t + \left(\frac{-I_n L \omega_0^2}{4\omega_0} \right) \sin(\omega_0 + \Delta\omega)t \quad (2-21)$$

上式也證明了在穩態時第二項與第三項的雜訊電流將會對共振腔的相位雜訊造成影響，其熱能損耗所造成的相位雜訊可表示成：

$$L(\Delta\omega) = N_1 N_2 \frac{kTR_p}{V_0^2} \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \quad (2-22)$$

其中 $N_1 = 2$ 表示有兩個損耗源於共振腔中； $N_2 = 4$ 則是在 $(\omega_0 \pm \Delta\omega)$ 處有四個非相關的雜訊源造成SSB(Single Side Band)相位雜訊。

(2) 電流源雜訊：

電感電容式振盪器中的差動對開關的切換動作對電流源的雜訊做整流可以等效成一個單邊平衡混波器(Single Balanced Mixer)，所以雜訊將因此被升頻或降頻進入共振腔中。由於混波器的原理，電流源於 $\Delta\omega$ 處的雜訊將被升頻至 $(\omega_0 \pm \Delta\omega)$ 處，相對的於 $(2\omega_0 \pm \Delta\omega)$ 處的雜訊將被降頻至 $(\omega_0 \pm \Delta\omega)$ 處。雖然升頻項的雜訊

會造成 AM 調變 (AM modulation)，但不會影響差動對的零交錯點，然而降頻項將會造成相位雜訊。而源自於 $2\omega_0$ 處的熱雜訊所造成的相位雜訊可表示成：

$$L(\Delta\omega) = \frac{32}{9} \gamma g_m \frac{kTR_p}{V_0^2} \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \quad (2-23)$$

(3) 交錯耦合對雜訊：

源自於交錯耦合對的雜訊不同於先前兩者，只有某一部分的雜訊頻譜會貢獻至相位雜訊，而耦合對電晶體在相互切換時的操作電壓是由振盪器的振幅來提供，因此實際上耦合對的雜訊並不會被一連串的脈衝取樣，但卻會被有限寬度的窗口 (time window) 取樣。而時間窗口的高度將會與電晶體的轉導值成正比，其寬度與電流源電流大小以及振盪波形在零交錯點的斜率有關。因此若當取樣的窗口寬度越窄，也就是當取樣的頻寬越大時，雜訊頻譜密度就越低。考量遍佈整個取樣頻寬的頻率轉移後，由耦合對所造成的 SSB 相位雜訊可表示成：

$$L(\Delta\omega) = \frac{32\gamma I_{bias} R_p}{\pi V_0} \cdot \frac{kTR_p}{V_0^2} \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \quad (2-24)$$

而總結上述討論的三種非時變雜訊可以得到最終的相位雜訊為：

$$L(\Delta\omega) = \left(2 + \frac{8}{9} R_p \gamma g_m + \frac{8\gamma I_{bias} R_p}{\pi V_0} \right) \frac{4kTR_p}{V_0^2} \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \quad (2-25)$$

再將(2-24)式與 D. B. Leeson 所提出的相位雜訊假設比較後可發現熱雜訊因子 F 為：

$$F = 2 + \frac{8}{9} R_p \gamma g_m + \frac{8\gamma I_{bias} R_p}{\pi V_0} \quad (2-26)$$

在此可發現如果想要具體的降低F值，可以藉由提高電流源的電流來使輸出振幅變大，但由於輸出振幅變大的比率還是比電流源來的大一些，因此可以有效的降低相位雜訊，不過當輸出振幅達到飽和時，F會隨著電流的加大而增加，反而會使相位雜訊提升。藉由以上分析可以瞭解若要有有效的降低相位雜訊，提高共振腔的Q值與在輸出振幅未飽和的前提下提高電流源大小是非常實際的做法。

另外 $\Delta\omega_1/f^3$ 項不能以非時變模型分析的缺點，A. Hajimini 與 T. H. Lee 也提出了一個線性時變的相位雜訊模型[14]。其主要的概念為假設當有一脈衝電流注入一個無損耗的 LC 諧振電路，在系統振盪於穩態時有固定頻率與振幅，若注入時間在振幅峰值時會造成訊號振幅上的變化，此時並不會造成相位雜訊的改變；若注入時間在零交錯點時則會造成訊號相位上的改變，且改變量與注入脈衝大小有關。由上述即可得知相位雜訊的變化完全是決定在注入的時間點，因此稱為時變模型，如圖 2.23 所示。

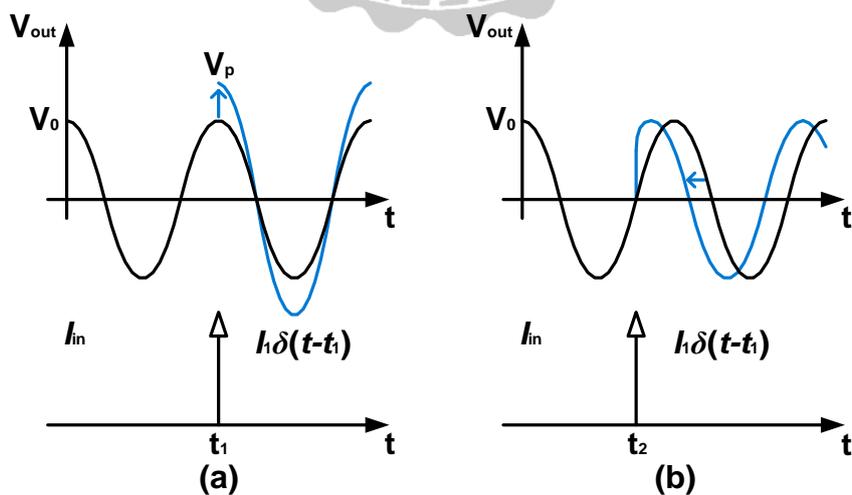


圖 2.23 電流脈衝注入之變化 (a)於訊號峰值時 (b)於訊號零交錯點時

假設電流脈衝在時間 τ 時介入表示為：

$$h_{\phi}(t, \tau) = \frac{\Gamma(\omega_0 \tau)}{q_{max}} u(t - \tau) \quad (2-27)$$

其中 $u(t)$ 為單位步階函數、 q_{max} 為 LC 共振腔注入的最大電荷、 $\Gamma(x)$ 為 ISF (Impulse Sensitivity Function)，表示振盪器對於電流脈衝於 $\omega_0 \tau$ 時注入的敏感度，經由傅立葉轉換 (Fourier transform) 展開後可得到：

$$\Gamma(\omega_0 \tau) = \frac{C_0}{2} + \sum_{n=1}^{\infty} C_n \cos(n\omega_0 \tau + \theta_n) \quad (2-28)$$

其中 C_n 為實數、 θ_n 為第 n 個 ISF 諧波的相位，再經由相位換算後可得到在 $\Delta\omega_{1/f^3}$ 的相位雜訊為：

$$L(\Delta\omega) = 10 \log \left(\frac{C_0^2 \cdot \omega_{1/f} \cdot \overline{I_n^2} / \Delta f}{8 q_{max}^2 \Delta\omega^3} \right) \quad (2-29)$$

再與熱雜訊所形成的相位雜訊做比較後可得到：

$$\Delta\omega_{1/f^3} = \omega_{1/f} \cdot \frac{C_0^2}{4 \Gamma_{rms}^2} \quad (2-30)$$

而這意味著若要降低 $\Delta\omega_{1/f^3}$ 處的相位雜訊除了可利用低雜訊的低頻元件，也可以透過降低 C_0 ，也就是 ISF 的直流成份。上述就是如何使用時變模型來解釋 flicker noise 對壓控振盪器的影響，也補強了 D. B. Leeson 的非時變模型無法解釋 flicker noise 的影響的部分。經由上面的討論過後，可以了解到振盪器相位雜訊的形成原因，而要如何降低或避免相位雜訊的來源，可藉由接下來三種針對電感電容式振盪器所提出的方式來解決：

(1) 增加共振腔的Q值：

根據 D. B. Leeson 所提出的相位雜訊模型可以得知若要降低相位雜訊可以利用增加共振腔的 Q 值來實現，在共振腔中，通常積體化的電容的 Q 值會較高，因此電感的 Q 值將主導共振腔的特性。

(2) 增加電流源電晶體的長寬：

利用這個方式可降低電流源電晶體的 V_{DS} ，使其趨近於理想電流源以降低由電源處穿透至共振腔的雜訊。而電流源可以電流鏡的架構來實現，藉由設計較大的鏡像比來降低穿透至晶片的外部雜訊。

(3) 加入雜訊濾波器：

在電流源的實現上除了上述方法之外，也可在電流源端上加入雜訊濾波器，加入雜訊濾波器可濾除大部分的雜訊。在 [15] 中有提到，對於電流源來說，相位雜訊主要是來自於振盪訊號二次諧波($2\omega_0$)處附近的熱雜訊，而在此二次諧波處也需提供一高阻抗來避免交錯耦合對進入三極管區進而造成共振腔的 Q 值降低。以一具電流源的電感電容式振盪器為例，有兩種抑制雜訊的技巧，第一種如圖 2.24(a) 所示，利用將一平行板電容與電流源並聯的方法來提供一個將振盪訊號二次諧波處的雜訊導至地的路徑，藉此達到雜訊抑制的效果；另一種技巧如圖 2.24(b) 所示，利用在交錯耦合對的共模點與電流源之間再插入

一共振頻率在二次諧波處的電感來提高尾電流源的阻抗，以避免損耗所造成的雜訊。

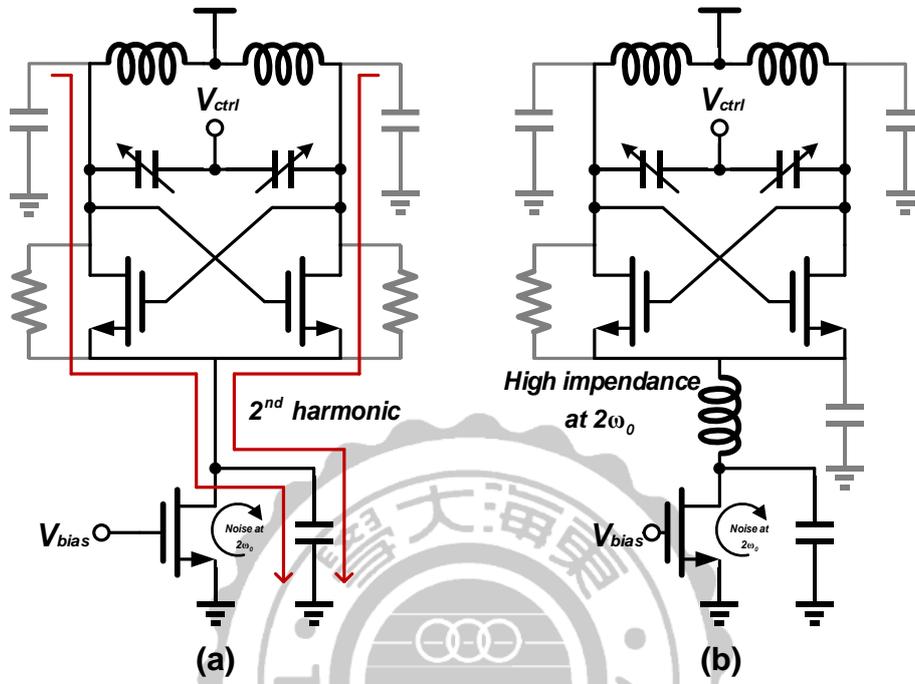


圖 2.24 具雜訊濾波器之壓控振盪器 (a) 電容濾波器 (b) 完整雜訊濾波器

除了以上三種方法之外，在交錯耦合對振盪器架構選擇上的不同也會對相位雜訊有所影響，有 PMOS、NMOS 與互補式三種架構可選擇，如圖 2.25 所示。PMOS 交錯耦合對的優點是由於 PMOS 有 N-well 的隔離使其 flicker noise 較 NMOS 低，因此會有較佳的相位雜訊表現；而 NMOS 交錯耦合對的優點是由於其電子飄移率較 PMOS 佳，因此在相同的功耗下可以有較寬的頻率可調諧範圍以及較高的輸出頻率；第三種互補式交錯耦合對的優點是因在 PMOS 與 NMOS 轉導值對稱的設計下，能提供較前兩種架構更對稱的輸出波形，同時也能降低在 $\Delta\omega_1/f^3$ 處的相位雜訊，但其

缺點則是由於使用了較多層的電晶體，且寄生電容的提升也使頻率可調諧範圍縮小，因此較不適用於低電壓操作。

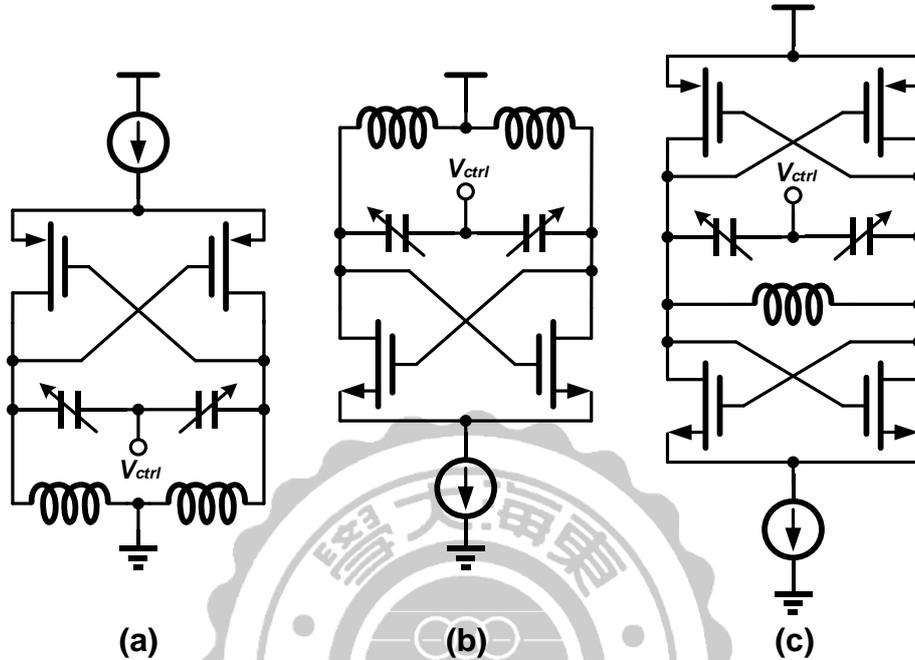


圖 2.25 交錯耦合對架構 (a)PMOS 型 (b)NMOS 型 (c)互補式

2.2.2 相位雜訊分析

對頻率合成器的設計來說，重要的除了頻率可調諧範圍之外，其次即是整個迴路的相位雜訊，因為相位雜訊的好壞將直接影響到輸出訊號的純淨度(Purity)。從頻域來看，理想的振盪器輸出訊號在頻譜上會是一根乾淨脈衝訊號，如圖 2.26(a) 所示，但實際上此脈衝訊號會因相位雜訊的影響[17]出現裙狀的分布訊號在中心載波頻率 ω_0 附近，如圖 2.26(b) 所示。而在頻域上的相位雜訊表現對應於時域上所表現出來

的是訊號上的抖動(jitter)，如圖 2.26(c) 所示，這些因素都將導致訊號的不乾淨。

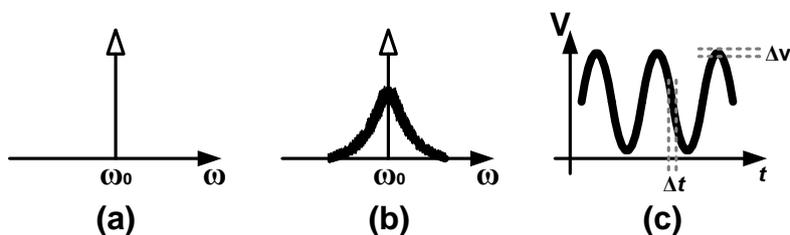


圖 2.26 (a)理想頻譜脈衝 (b)實際頻譜脈衝 (c)時域訊號抖動

而相位雜訊的定義是指在功率頻譜密度(Power Spectral Density)上載波頻率 ω_0 處與的距離載波 $\Delta\omega$ ，也就是在 $(\omega_0 \pm \Delta\omega)$ 處單位頻寬 (1-Hz) 下的功率比值，其關係式為：

$$L(\omega_0) = \frac{P_{\text{Signal}}}{P_{\text{SSB}}} \quad (2-31)$$

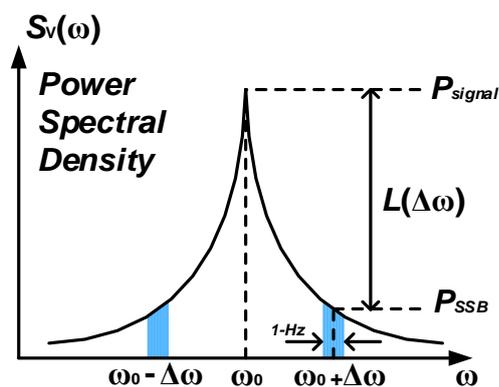


圖 2.27 相位雜訊定義

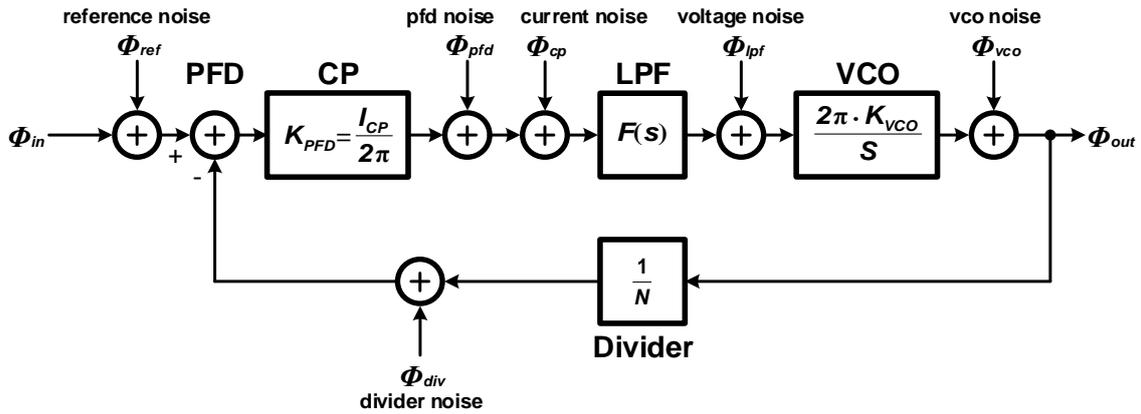


圖 2.28 頻率合成器相位雜訊模型

接著要分析的是頻率合成器整體的相位雜訊，圖 2.28 為頻率合成器的相位雜訊模型，從模型中可以發現其實每個子電路方塊都會提供雜訊[18]，整個雜訊的成分包括了 Φ_{ref} 、 Φ_{pfd} 、 Φ_{cp} 、 Φ_{lpf} 、 Φ_{vco} 和 Φ_{div} ，而整體的輸出雜訊(Φ_{out})轉移函數可分為低通以及高通的部分，因此輸出相位雜訊的功率密度(phase noise power density)又可被定義成：

$$\Phi_{out}^2(\Delta\omega) = \Phi_{out}^2_{LP}(\Delta\omega) + \Phi_{out}^2_{HP}(\Delta\omega) \quad (2-32)$$

在推導整體的相位雜訊轉移函數前，首先可以從圖 2.28 得知整個系統的開迴路轉移函數為：

$$G(f) = \frac{I_{cp} \cdot F(s) \cdot K_{vco}}{N \cdot S} \quad (2-33)$$

故其開迴路轉移函數 $H(f)$ 可以表示成：

$$H(f) = \frac{G(f)}{1+G(f)} \quad (2-34)$$

再來即可利用圖 2.28 與式(2-33)導出每個雜訊源的轉移函數為：

(1) Reference noise、Divider noise：

$$\frac{\Phi_{out}}{\Phi_{ref}} = \frac{\Phi_{out}}{\Phi_{div}} = \frac{\frac{I_{cp} \cdot F(s) \cdot K_{vco}}{s}}{1 + \frac{I_{cp} \cdot F(s) \cdot K_{vco}}{N \cdot s}} = \frac{N \cdot G(f)}{1 + G(f)} = N \cdot H(f) \quad (2-35)$$

(2) PFD noise、Current noise：

$$\frac{\Phi_{out}}{\Phi_{pfd}} = \frac{\Phi_{out}}{\Phi_{cp}} = \frac{\frac{F(s) \cdot 2\pi \cdot K_{vco}}{s}}{1 + \frac{I_{cp} \cdot F(s) \cdot K_{vco}}{N \cdot s}} = \frac{N}{K_{PFD}} \cdot \frac{G(f)}{1 + G(f)} = \frac{N}{K_{PFD}} \cdot H(f) \quad (2-36)$$

(3) Voltage noise：

$$\frac{\Phi_{out}}{\Phi_{lpf}} = \frac{\frac{2\pi \cdot K_{vco}}{s}}{1 + \frac{I_{cp} \cdot F(s) \cdot K_{vco}}{N \cdot s}} = \frac{N}{K_{PFD} \cdot F(s)} \cdot \frac{G(f)}{1 + G(f)} = \frac{N}{K_{PFD} \cdot F(s)} \cdot H(f) \quad (2-37)$$

(4) VCO noise：

$$\frac{\Phi_{out}}{\Phi_{vco}} = \frac{1}{1 + \frac{I_{cp} \cdot F(s) \cdot K_{vco}}{N \cdot s}} = \frac{1}{1 + G(f)} = 1 - \frac{G(f)}{1 + G(f)} = 1 - H(f) \quad (2-38)$$

從式(2-35)可看出相位頻率偵測器以及除頻器所造成的雜訊有低通的特性且具有一直流增益 N ，由此可得知當除頻器的除率越高時也會導至越嚴重的相位雜訊[19]。而由式(2-38)可看出振盪器所造成的雜訊有高通的特性，綜合上述雜訊源的分析後可得知低頻部分雜訊的成分主要是來自輸入，而高頻部分雜訊的成分主要是由振盪器所貢獻。另外要提到的則是來自除頻器的雜訊，如圖 2.29 所示，除頻器會產生

一 $20\log N$ 的相位雜訊，也就是說當除頻器之除率越高時相位雜訊也會越差，而這也可以呼應到上面推導除頻器相位雜訊的結論。

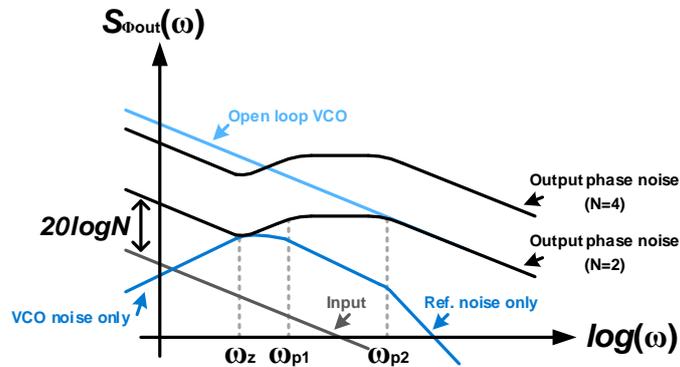


圖 2.29 頻率合成器整體相位雜訊

2.2.3 參考頻率突波

除了上述評估指標外，另一項可視為頻率合成器的效能指標的即是參考頻率突波(reference spur)，其示意圖如圖 2.30 所示，出現於距離中心載波頻率一個參考頻率也就是 $(\omega_0 \pm \Delta\omega)$ 的地方，主要是因相位頻率偵測器的非線性特性、充電泵充放電電流不匹配與迴路濾波器漏電流等非理想效應使壓控振盪器的控制電壓抖動造成。

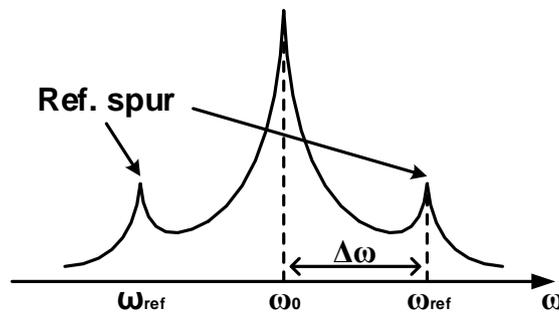


圖 2.30 參考頻率突波示意圖

而這個效應也會對無線通訊系統造成影響，以圖 2.31 為例來說，假設一高頻輸入訊號包含所需要訊號 (Desired Signal) 及干擾訊號 (Interferer) 要與頻率合成器輸出做降頻時，理想上若只有 LO 訊號 (ω_0) 則會得到一完整降頻訊號 (ω_{IF})；但實際上在輸出訊號處會因參考頻率突波 (ω_{ref}) 的影響，且當 $\omega_{int} - \omega_{ref} = \omega_{rf} - \omega_0 = \omega_{IF}$ 時產生不需要的訊號，進而影響訊號的完整性。

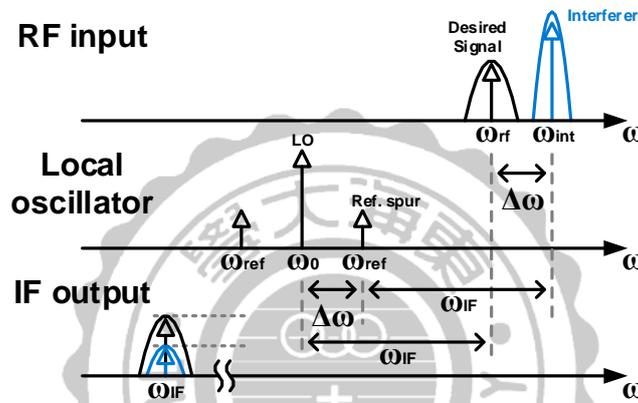


圖 2.31 突波對無線通訊系統的影響

接下來要討論的是該如何量化參考頻率突波，由於參考頻率突波主要是受到壓控振盪器控制電壓抖動的影響，因此假設一輸入振盪器之控制電壓為：

$$V_{ctrl}(t) = V_m \cdot \cos(\Delta\omega t) \quad (2-39)$$

其中 V_m 為振幅，由上式可將壓控振盪器之輸出訊號表示成：

$$V_{out}(t) = V_m \cdot \cos(\omega_0 t + 2\pi \cdot K_{vco} \int_0^t V_{ctrl}(\tau) d\tau + \phi_0) \quad (2-40)$$

其中 ϕ_0 為初始相位差。而相位變化可定義成：

$$\begin{aligned}\Delta\phi &= \left| K_{vco} \int_0^t V_{ctrl}(\tau) d\tau \right|_{max} = \left| K_{vco} \int_0^t V_m \cdot \cos(\omega_{ref}\tau) d\tau \right|_{max} \\ &= \frac{K_{vco} \cdot V_m}{\Delta\omega}\end{aligned}\quad (2-41)$$

假設初始相位差為 0，則可由式(2-40)得知：

$$V_{out}(t) \approx V_m \left[\cos\omega_0 t - \frac{\Delta\phi}{2} \cdot \cos(\omega_0 - \Delta\omega)t + \frac{\Delta\phi}{2} \cdot \cos(\omega_0 + \Delta\omega)t \right] \quad (2-42)$$

從式(2-40)可得知控制電壓的抖動會造成輸出在頻率偏移量 $\pm\Delta\omega$ 處出現一根大小為 $\frac{\Delta\phi}{2}$ 的參考頻率突波，而其功率頻譜密度為：

$$P_r = 20 \log \left[\frac{K_{vco} \cdot V_m}{\Delta\omega} \right] dBc \quad (2-43)$$

由上述的討論可得知若要降低參考頻率突波可從三個方面下手：

(1)降低 K_{vco} (2)降低控制電壓的抖動以及(3)加大輸入參考頻率。

2.3 整數與非整數頻率合成器之比較

在無線通訊系統中，頻率合成器被廣泛的使用於產生本地振盪訊號，其中又以鎖相迴路為基礎所建立的整數型頻率合成器架構最為成熟也最受歡迎。然而，由於整數型頻率合成器受限於頻率解析度、通道切換速度、相位雜訊等特性上的問題以至於無法滿足一些系統的應用與規格，因此非整數型頻率合成器架構應運而生。在說明非整數頻率合成器前，先針對整數型頻率合成器在設計上所遇到的問題就以下三個方面下去說明：

(1) 通道頻率間距與參考頻率突波之間的斟酌：

在上一節有提到，參考頻率突波主要是因為充電泵的非理想效應造成極少許的漏電流而產生。當輸入參考頻率越高，則參考頻率突波的效應越低；反之，當輸入較低的參考頻率時，由於充電泵在不動作的時間較長，因此漏電流的時間也較長，這將導致輸出控制電壓抖動變大，也就是參考頻率突波變大。

(2) 通道頻率間距與相位雜訊之間的斟酌：

頻率合成器的相位雜訊層可以表示成：

$$\text{Phase Noise Floor} = PN_{\text{PFD_CP}} + 20\log|N| \quad (2-44)$$

其中 $PN_{\text{PFD_CP}}$ 為相位頻率偵測器與充電泵的雜訊、 N 為除頻器的除率。從上式可觀察出相位雜訊會隨著除率的增加而增加。當維持固定輸出頻率時，若要使系統解析度提高則必須降低輸入的參考頻率，也就是說會增加除頻器的除率，因此相位雜訊也會隨之增加。

(3) 通道頻率間距與通道切換速度之間的斟酌：

整數型頻率合成器由於除率為整數，故其通道頻率間距必為參考頻率，因此若是想要有更小的通道間距的話就必須選擇較低的參考頻率，但如此一來迴路頻寬(Loop Bandwidth)將會因此被限制住，因為一般來說，迴路頻寬需小於參考頻率的 1/10 以降低參考頻率饋入(reference feedthrough)的影響及保持迴路的收斂性。然而，迴路頻寬是決定迴路速度的主要參數，因此降低輸入參考頻率所伴隨而來的效應即是延後穩定時間(settling time)。

經由上述三個方面的分析後可得知，所有導至缺點的因素都是在為了要提高系統解析度的情況下降低輸入參考頻率而產生。於是為了要解決以上所遇到的問題，導入了非整數頻率合成器的概念，最典型的作法是利用雙模除頻器來實現非整數的除數，如圖 2.32(a) 所示，其推導如下：

$$\begin{aligned}
 F_{VCO,avg} &= \frac{1}{(T_N + T_{N+1})} [T_N \times N + T_{N+1} \times (N + 1)] \times F_{ref} \\
 &= [N + \frac{T_{N+1}}{T_N + T_{N+1}}] \times F_{ref} \\
 &= (N.f) \times F_{ref}
 \end{aligned} \tag{2-45}$$

其中 T_N 為決定除 N 之週期、 T_{N+1} 為決定除 $N+1$ 之週期、 N 與 f 分別代表整數與非整數的部分。

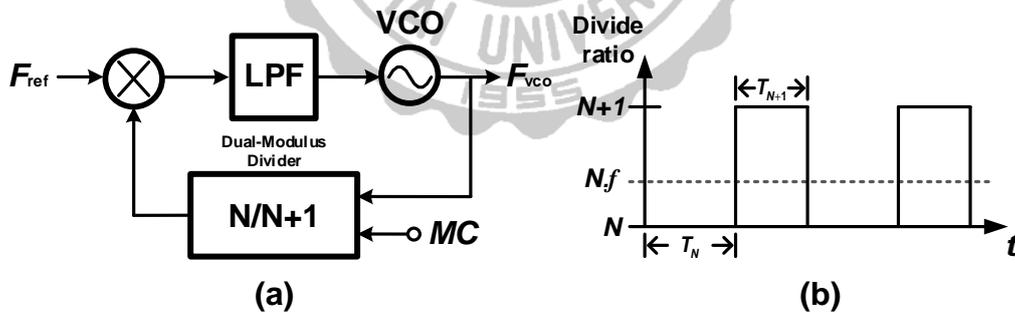


圖 2.32 (a)加入雙模除頻器之非整數頻率合成器 (b)時序圖

由式(2-45)與圖 2.32(b)可得知非整數除數的實現實際上是由雙模除頻器的兩個整數平均而來，但由於在切換的過程中會有相位誤差的累積，因此會造成相位雜訊上的影響，轉換到頻譜上所看到的

即是非整數突波(Fractional spur)，而為了要消除這個非整數突波，可以利用三角積分調變或是相位補償技術，接下來將簡單的介紹一下這兩種方法。

2.3.1 三角積分調變技術

三角積分調變技術(Delta-Sigma Modulation)其原理是利用將除數隨機化的方式使平均除數仍然是 $N.f$ [20][21]，但在每個短週期的除數卻不盡相同，而這個技巧也能將切換過程中所累積的量化相位誤差(quantization phase error)成分有效的轉換至隨機的雜訊，在頻譜上所看到的即是將非整數突波推離至較高的頻率，如圖 2.33 所示。然而這種方法雖能使量化相位誤差所產生的非整數突波對中心載波頻率的影響降低，但實際上此非整數突波還是會呈現在頻譜上，因此並不是真正的消除電路所產生的量化相位誤差。

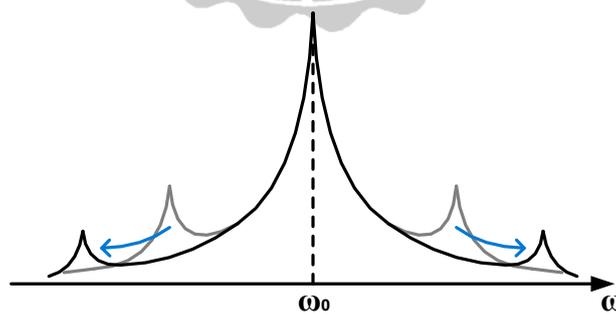


圖 2.33 非整數突波延展

2.3.2 相位補償技術

上述的三角積分調變技術雖能有效的改善量化相位雜訊的影響，但由於不是真正的消除非整數突波，因此有了相位補償技術(Phase Compensation)的概念，其想法是補正平均除非整數在除數切換時所產生的相位差，如圖 2.34 所示，故稱為相位補償，也可以叫做相位旋轉(Phase Rotate)，這個方法是一個不但可以實現真實非整數除數也可以直接根治相位誤差的方法，因此在頻譜上所反映出來的非整數突波也能有效的被消除[22]。當然實際上也會因為電路上延遲單元的不匹配或製程變異而產生一些相位誤差，但與量化誤差相較下來還是小很多，所以也是本論文所使用的架構，更詳細的電路將會在第五章做說明。

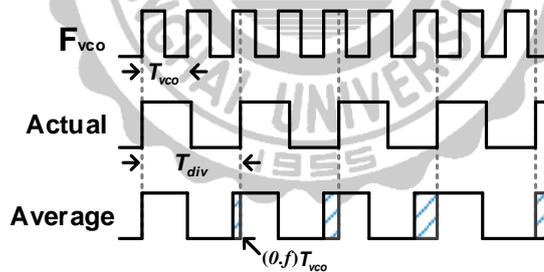


圖 2.34 非整數除數時序圖

第三章

利用電感耦合技巧之低電壓頻率合成器

3.1 系統架構簡介與迴路分析

本章將介紹一利用電感耦合(Inductance Coupled)技巧所設計並實現之低電壓頻率合成器，其架構如圖 3.1 所示，包含相位頻率偵測器(Phase Frequency Detector, PFD)、充電泵(Charge Pump, CP)、低通濾波器(Loop Filter, LPF)、壓控振盪器與源極耦合除頻器(Voltage Control Oscillator with Source Couple Logic divider, VCO with SCL)、電流式邏輯除頻器(Current Mode Logic divider, CML)、真實單一相位時脈除頻器(True Single-Phase Clock, TSPC)。

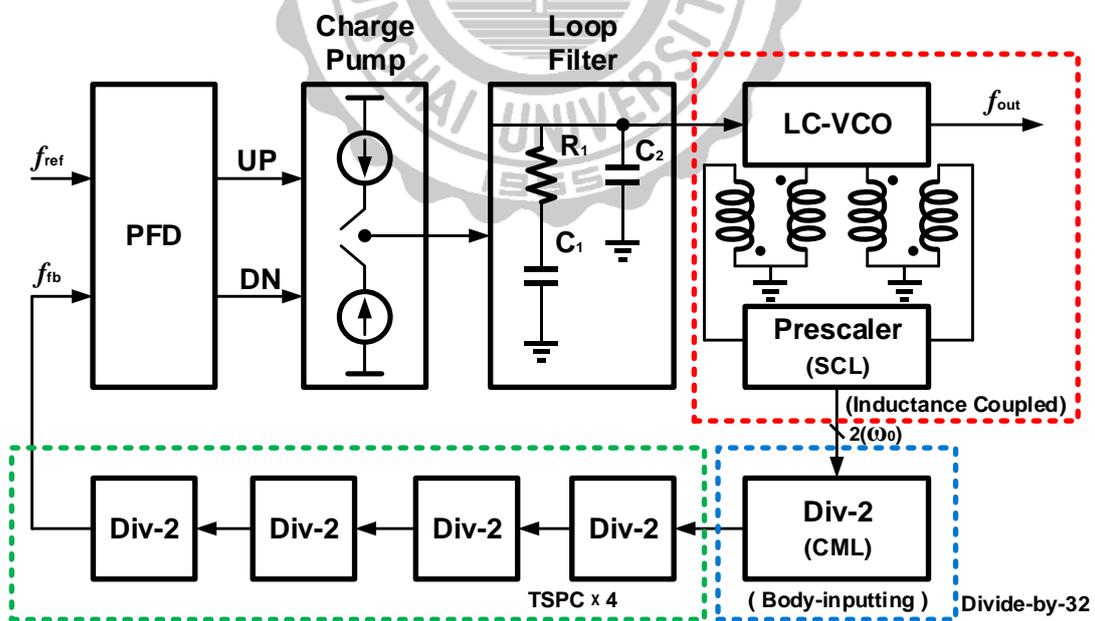


圖 3.1 利用電感耦合技巧之頻率合成器架構

由於頻率合成器的整體電路較為龐大，因此先透過 Matlab & Simulink 來模擬開迴路與閉迴路行為並觀察暫態響應將會省下許多時間。首先，振盪器經模擬後得知操作頻率為 4.67-GHz 至 5.5-GHz，迴路增益約為 1037 MHz/V，再由 2.1.4 節之公式可求得迴路濾波器之電阻(R_1)與電容(C_1 、 C_2)參數，將相位邊限設計在 60° 帶入後即可求得開迴路與閉迴路頻率響應波德圖，如圖 3.2 所示。

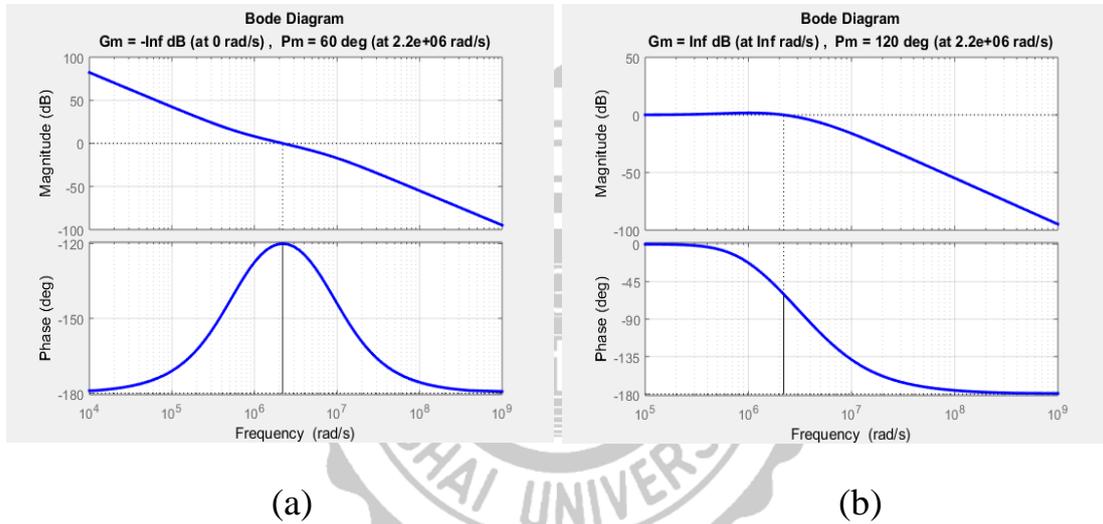


圖 3.2 系統 (a)開迴路 (b)閉迴路 頻率響應波德圖

接著要模擬的是系統穩定度，圖 3.3 為此頻率合成器的 Simulink 模型圖，包含相位頻率偵測器、充電泵、迴路濾波器以及壓控振盪器，而圖 3.4 為頻率合成器之暫態響應模擬。有了系統上的驗證之後即證明了這個架構與其所用參數的可行性，接著將對電感耦合基本原理以及此頻率合成器的各個子電路做介紹。

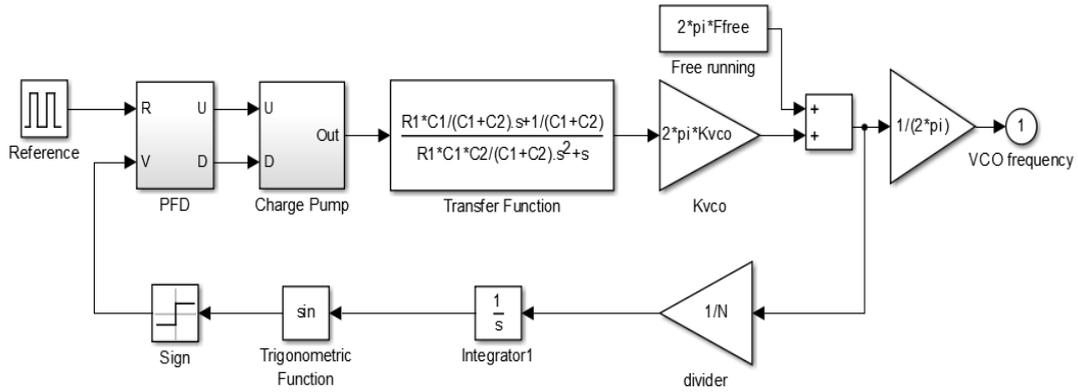


圖 3.3 頻率合成器整體之系統模型

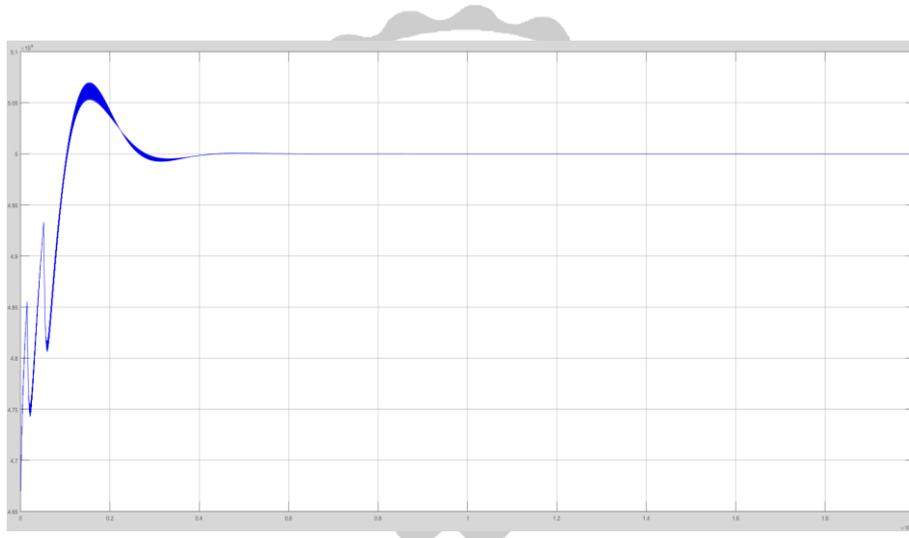


圖 3.4 頻率合成器暫態響應模擬

3.2 電感耦合基本原理

在積體化電路設計上所需要的電感通常可以由以下三種方式去實現(1)晶片外加式電感(2)封裝磅線式電感(3)積體化電感。晶片外加式電感由於會受限於腳位數且具有較差的雜訊效能，因此較不適用於高頻電路設計，而封裝磅線式電感雖然有較好的品質因子(Q)，但其重複製造性與穩定性卻較差，因此積體化電感對積體化電路設計來說是

最好的選擇。常見的積體化電感形狀可分為方形、圓形與八角形等，如圖 3.5(a) 為一螺旋對稱型八角形電感，其中 N 為電感的圈數，圈數越多則感值越大，但其等效串聯阻抗也會跟著變大； R 為電感內的半徑，隨著半徑的增加，通過電感的磁通量也會跟著增加； W 為電感走線的寬度，寬度越大則等效串聯阻抗越小，但會造成寄生電容的增加； S 為電感走線與走線之間的距離，通常是越小越好以降低等效串聯阻抗。而體化變壓器就是由兩個或多個不同形狀的電感進行耦合 (Coupling) 來構成，如圖 3.5(b) 所示。在理想的情況下，變壓器可以將主線圈上的能量完全耦合至副線圈上，但實際上由於電感形狀的關係，對於不同形狀的電感會有不同的能量轉移比率，也可稱為耦合系數 K ($0 \leq K \leq 1$)。

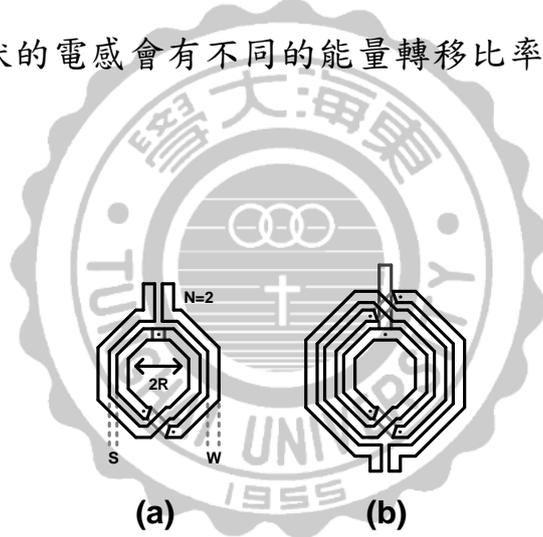


圖 3.5 (a)螺旋對稱型八角形電感 (b)變壓器架構

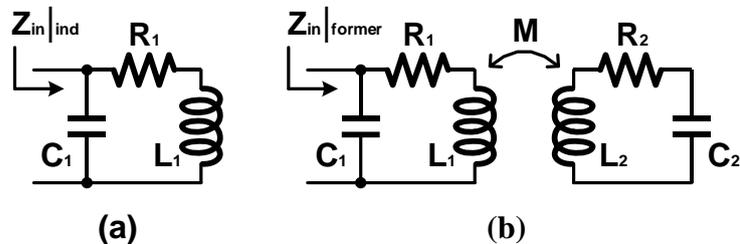


圖 3.6 (a)電感等效模形 (b)變壓器等效模形

而變壓器品質因子(Q factor)與一般電感的差異可先由圖 3.6 中一般電感與變壓器之等效模型推導出其輸入阻抗分別為：

$$Z_{in}|_{Ind} = \frac{R_1 + j[\omega L_1(1 - \omega^2 L_1 C_1) - \omega R_1 C_1]}{(1 - \omega^2 L_1 C_1)^2 + \omega R_1 C_1} \quad (3-1)$$

$$Z_{in}|_{former} =$$

$$\frac{\frac{L_1}{C_2} + \omega^2(M^2 - L_1 L_2) + R_1 R_2 + j[\omega(R_1 L_2 + R_2 L_1) - \frac{R_1}{\omega C_1}]}{R_2 - \omega C_1[\omega(R_1 L_2 + R_2 L_1) - \frac{R_1}{\omega C_1}] + j\{\omega C_1[\omega^2(M^2 - L_1 L_2) + \frac{L_1}{C_2} + R_1 R_2] + \omega L_2 - \frac{1}{\omega C_1}\}}$$

(3-2)

假設此變壓器為對稱型架構，且 $R = R_1 = R_2$ 、 $L = L_1 = L_2$ 、 $C = C_1 = C_2$ 的情況下，此時若電阻 $R = 0$ 則可將其共振頻率分別表示成：

$$\omega_0^2|_{Ind} \cong \frac{1}{LC} \quad (3-3)$$

$$\omega_0^2|_{former} = \frac{-(L_1 C_1 + L_2 C_2) \pm \sqrt{(L_1 C_1 + L_2 C_2)^2 + 4C_1 C_2(M^2 - L_1 L_2)}}{2C_1 C_2(M^2 - L_1 L_2)}$$

$$\cong \frac{1}{(L \pm M)C} \quad (3-4)$$

因此品質因子可以定義成 $Q = -\frac{\omega}{2} \frac{d\theta}{d\omega} \Big|_{\omega=\omega_0}$ ，其中 $\theta = \tan^{-1} \frac{I_m(Z_{in})}{R_e(Z_{in})}$ ，

接著可將其微分分別簡化成下式：

$$\frac{d\theta}{d\omega} \Big|_{\omega=\frac{1}{\sqrt{LC}}}^{ind} = \frac{2L + R^2 C}{R + \frac{R^3 C}{L}} \quad (3-5)$$

$$\frac{d\theta}{d\omega} \Big|_{\omega=\frac{1}{\sqrt{(L+M)C}}}^{former} = \frac{2(L+M) + R^2 C}{R + \frac{R^3 C}{L}} \quad (3-6)$$

從上述可觀察出，若忽略 R^2C 與 $\frac{R^3}{L}$ 這兩項的話，當電感感值與變壓器感值相同時，變壓器的 Q 值會是一般電感的兩倍，因此不論是在高頻電路或是在低電壓電路設計上，皆可利用變壓器的互感耦合特性來提升電路效能。



3.3 內部電路架構

3.3.1 振盪器與源極耦合除頻器

圖 3.7 為此頻率合成器所使用之振盪器與源極耦合除頻器的架構，振盪器的部分是由可變電容、螺旋對稱型八角形電感以及 PMOS 交錯耦合對負阻抗架構組成。與傳統架構不一樣的是，此振盪器的尾部電流源是以螺旋對稱型八角形電感所構成的變壓器(T_1 、 T_2)取代，利用這個方式不但能減少電路的頭部空間電位還能藉由電感耦合的方式將訊號直接透過對螺旋對稱型電感耦合至除頻器 M_1 、 M_2 的源極端，如此一來不但能將振盪器與第一級除頻器設計在更低的操作電壓下，也能降低電路功耗[23]。

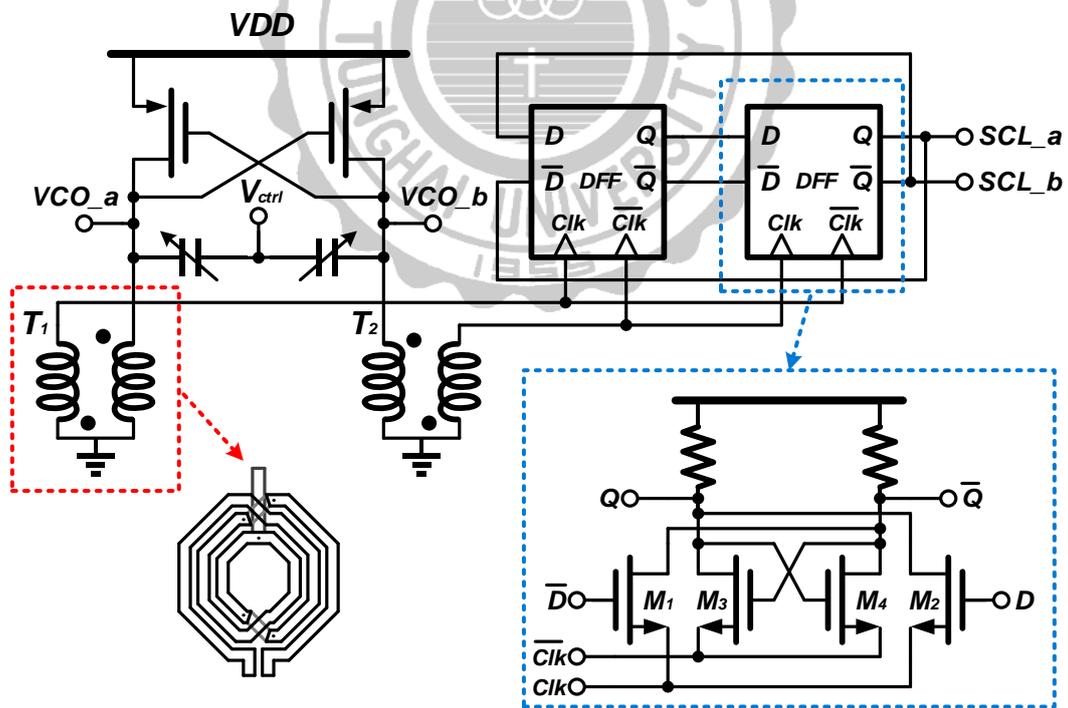


圖 3.7 振盪器與源極耦合除頻器

而第一級除頻器所用的架構為源極耦合除頻器(SCL)，是由兩組閃鎖器(latch)構成，如圖 3.7 藍色框框區域所示，每組閃鎖器都有一對用來將電流轉換為電壓訊號的電阻(R_D)、一組取樣差動對(M_1 、 M_2)以及一組閃鎖對(M_3 、 M_4)。其電路操作原理為當輸入時脈 Clk 為 High 時，電路會進入取樣模式，由第一組取樣差動對(M_1 、 M_2)對 Q 、 \bar{Q} 進行取樣；當輸入時脈 $\bar{\text{Clk}}$ 為 Low 時，第一組閃鎖對(M_3 、 M_4)會啟動並閃鎖住上一個狀態的資料，同時第二組取樣差動對會開啟並讀入第一組閃鎖器中閃鎖住的資料，直到下一次輸入時脈再次切換時再將資料交給第二組閃鎖對閃鎖住並傳回給第一組取樣差動對(M_1 、 M_2)，藉由反覆循環的動作後，輸出時脈頻率即是輸入時脈頻率的一半。圖 3.8 為模擬此壓控振盪器輸出頻譜圖，在 5.14-GHz 的輸出約為 -11.44 dBm，圖 3.9 為振盪器之頻率可調諧範圍模擬，約為 4.67-GHz 至 5.5-GHz，而其所對應到的相位雜訊在頻率偏移 1-MHz 處約為 -117.6 ~ -119.7 dBc/Hz，如圖 3.10 所示，圖 3.11 為振盪器與源極耦合除頻器模擬輸出波形。

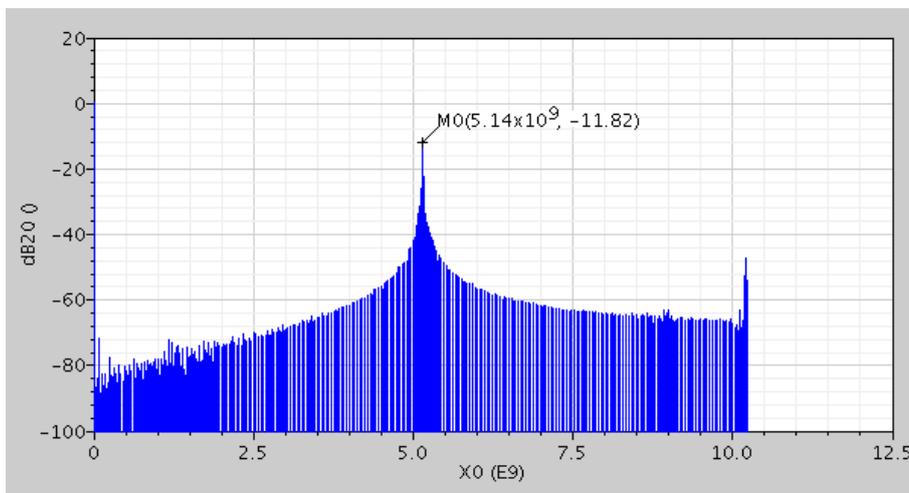


圖 3.8 振盪器輸出頻譜

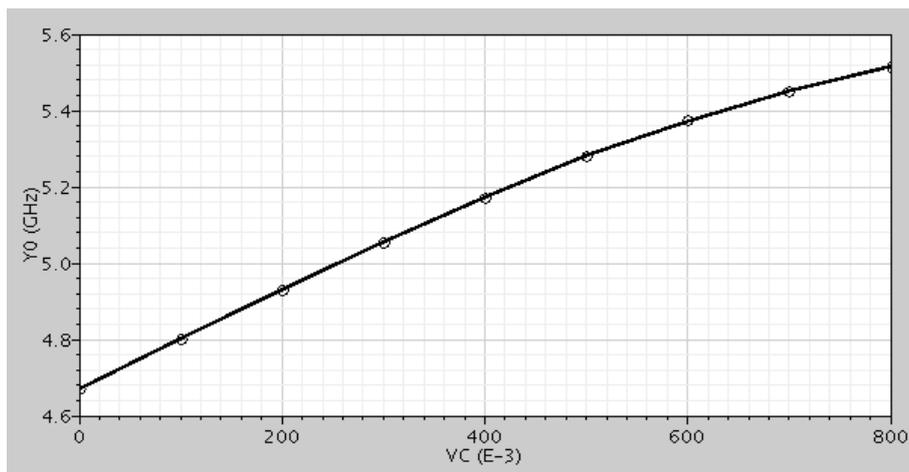


圖 3.9 振盪器頻率可調諧範圍

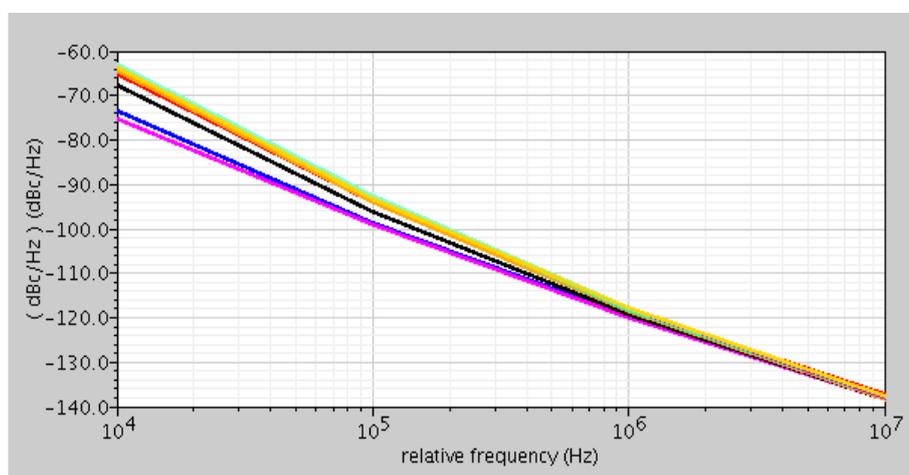


圖 3.10 振盪器相位雜訊

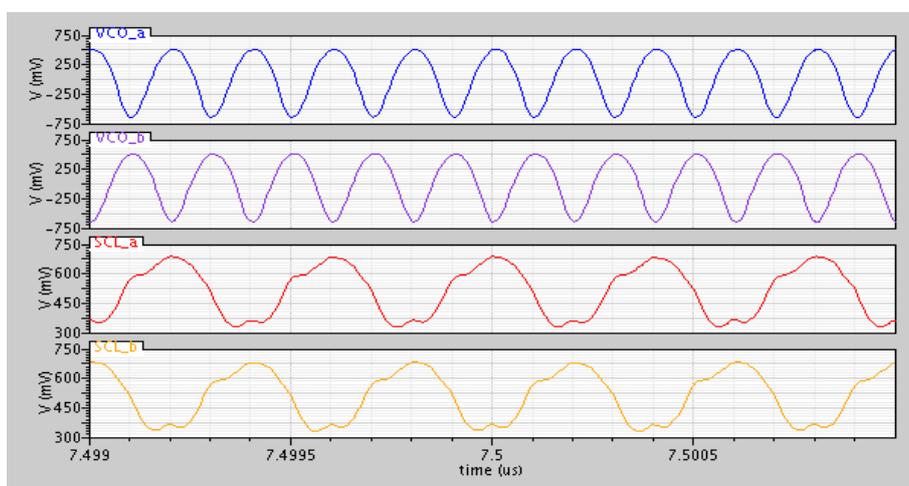


圖 3.11 振盪器與源極耦合除頻器輸出波型

3.3.2 高速除頻器

在除頻器的選擇上，由於要確保電路在高頻的狀態下仍要正常操作，目前最常見到被採用的高速除頻器有兩種架構，分別是電流式邏輯除頻器與注入式鎖定除頻器。雖然電流式邏輯除頻器無法操作在很高的頻率，但由於其具有除頻範圍很大的優點，所需要面積也很小，故也是本節所提出的頻率合成器第二級除頻器所使用的架構[25][26]，主要是由兩組基極輸入(Body-Input)電流式閃鎖器所構成，其架構如圖 3.12 所示，其中(M_1 、 M_2)為取樣差動對、(M_3 、 M_4)為閃鎖對、(R_D)為將電流轉換成電壓之電阻，其操作原理與源極耦合閃鎖器相同，故在此不再贅述。

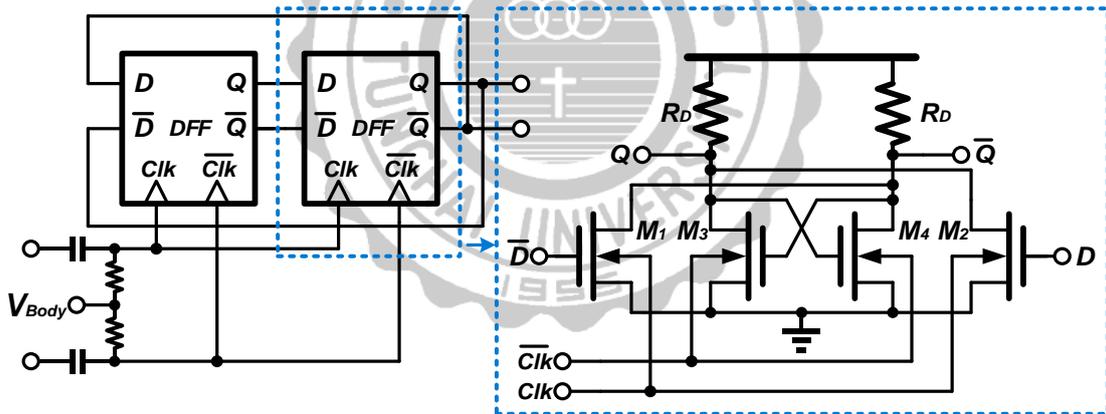


圖 3.12 電流式邏輯除頻器

與一般電流式邏輯除頻器不同的地方是，利用基極輸入的優點除了輸入不需要先跨越 V_{TH} 之外，當藉由改變基極輸入的電壓 (V_{Body}) 時， V_{BS} 會因為不再為 0 而隨著 V_{Body} 的改變而改變，進而造成源極與基極之 PN 接面有逆向或順向偏壓之現象，且當順向偏壓時由於 PN 接面之空乏區會變小，故電晶體導通電壓 V_{TH} 也會跟著變小，也就是

說能更容易的操作在低電壓下[27][28]，圖 3.13 為此電流式邏輯除頻器的模擬結果。

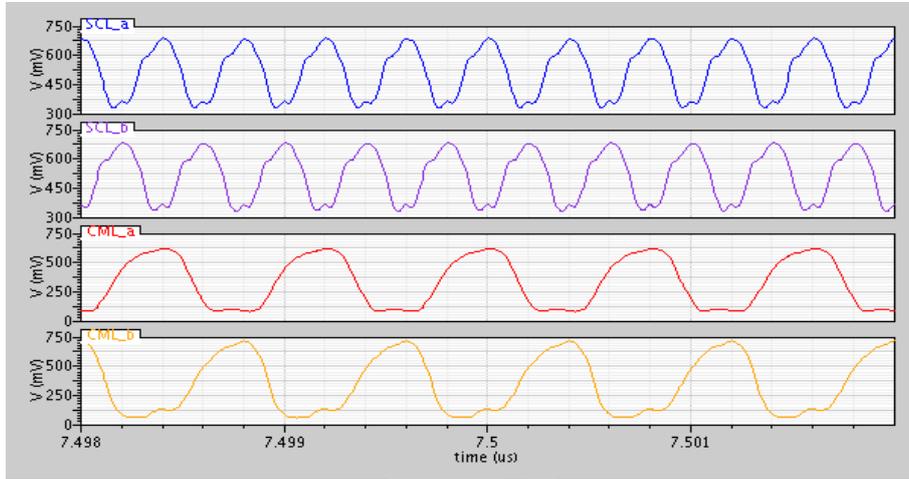


圖 3.13 源極耦合與電流式邏輯除頻器輸出波形

經由第一、二級除頻器降低頻率後，第三級利用串接四級的真實單一相位時脈(TSPC)除頻器來實現除 16，將訊號做一個完整的除頻以方便提供給相位頻率偵測器與參考頻率做比較，其具有架構上較為簡單且操作速度快的優點[29]，架構如圖 3.14 所示，而圖 3.15 為第三級 TSPC 除頻器模擬。

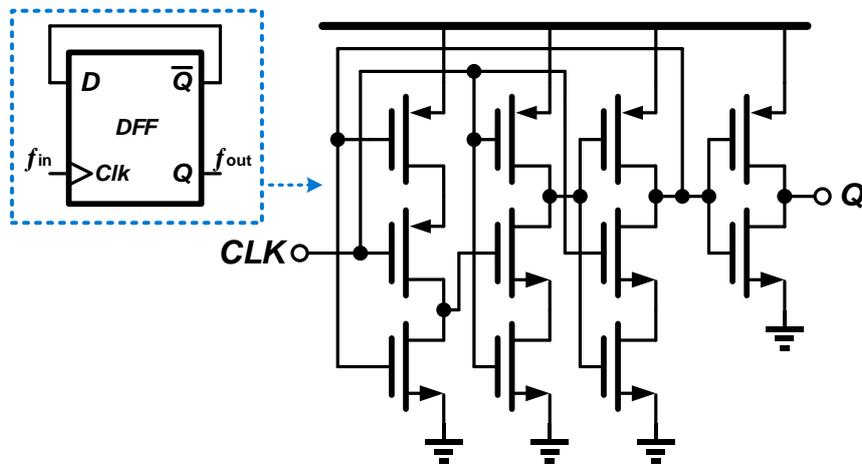


圖 3.14 真實單一相位時脈除頻器

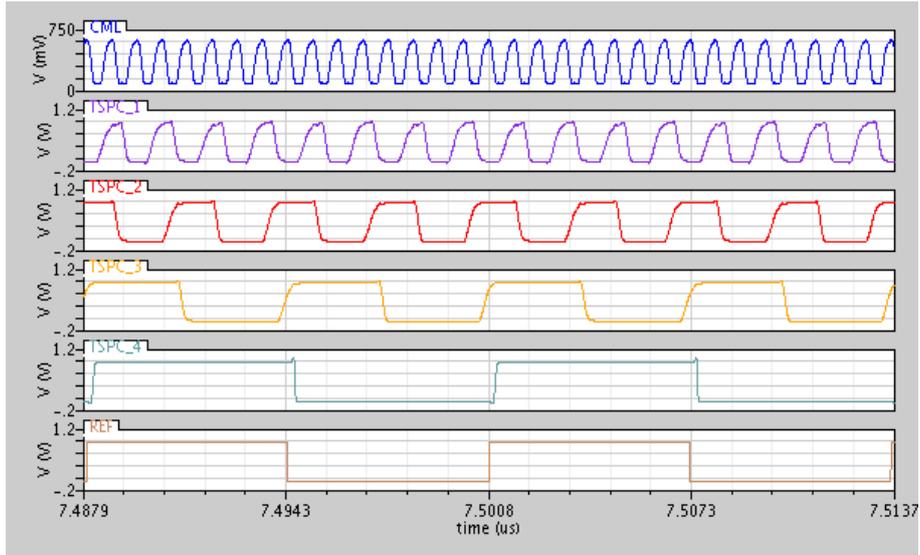


圖 3.15 第三級完整除頻模擬

3.3.3 相位頻率偵測器

相位頻率偵測器最重要的除了可捕獲的相位範圍以及禁止區之外即是操作頻率，因此目前最也常見到利用動態式邏輯閘取代傳統靜態式邏輯閘來實現具有較高操作頻率以及相位捕獲範圍的相位頻率偵測器。動態式相位頻率偵測器主要是由兩個半穿透暫存器(HT Register)所組成，其架構如圖 3.16 所示。

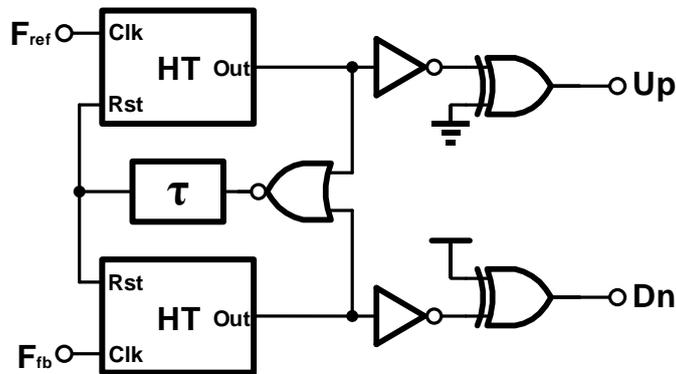


圖 3.16 動態式相位頻率器

在一個半穿透暫存器中，假設兩個輸入訊號(Clk、Rst)有著相同的頻率，此時若 Clk 領先 Rst，將會產生一個代表相位差的輸出訊號 Out；若 Clk 落後 Rst，輸出訊號 Out 將會維持在 High，而這邊值得注意的是，由於一個半穿透暫存器只能偵測單向的相位誤差，因此需要利用兩個半穿透暫存器來實現動態式頻率偵測器，而其原理在 2.1.1 章節已有介紹，故不再贅述。圖 3.17、3.18 分別為動態式相位頻率偵測器在 Ref 領先與 Vco 領先時之模擬。

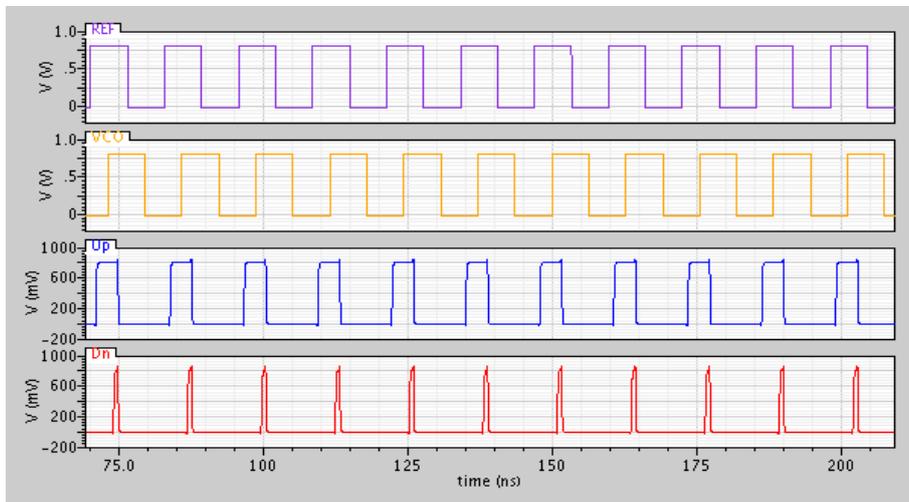


圖 3.17 Ref 領先 Vco

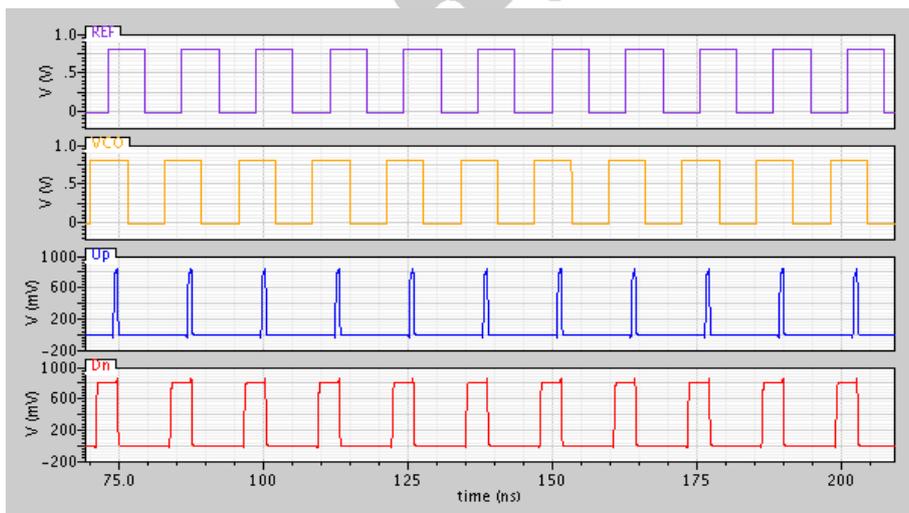


圖 3.18 Vco 領先 Ref

3.3.4 充電泵

在 2.1.3 節有提到充電泵存在著許多非理想的效應，例如電荷注入、時脈穿透與電荷分享效應，以及控制訊號、充放電流不匹配等，這些都將直接影響頻率合成器的輸出。為了改善以上這些非理想效應，本論文採用一具動態電流匹配的充電泵應用於電路中，架構如圖 3.19 所示。

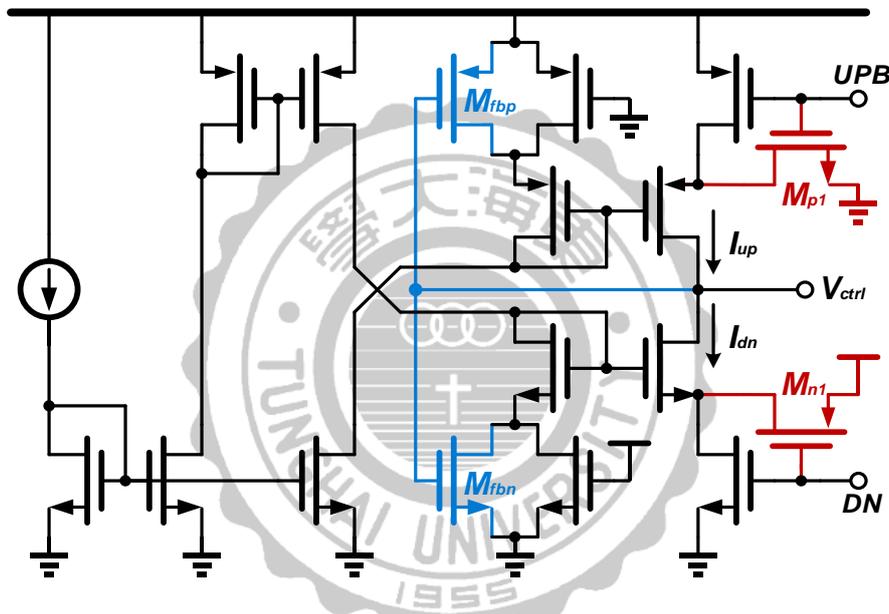


圖 3.19 動態電流匹配充電泵

其原理是藉由額外加入的兩顆電晶體(M_{fbp} 、 M_{fbn})來補償電流源的通道調變效應，當控制電壓(V_{ctrl})增加時，電晶體 M_{fbn} 會進入深三極管區，此時元件的導通電阻會因並聯而變小，相對的就是減少電流鏡鏡射至放電路徑的電流量，也就是說降低了 I_{up} 與 I_{dn} 的誤差量；相同的，當控制電壓降低時，電晶體 M_{fbp} 會進入深三極管區，減少電流鏡鏡射至充電路徑的電流量，使充放電電流盡可能的匹配[34]。而另外兩顆在開關電晶體旁所加入的補償電晶體(M_{p1} 、 M_{n1})則是用來避免

當開關電晶體打開或關閉時，通道所儲存之電荷分享至迴路濾波器，進而影響到控制電壓以及抑制雜訊的產生。圖 3.20、21 分別為傳統式架構以及動態電流匹配架構之充電泵充放電電流模擬。

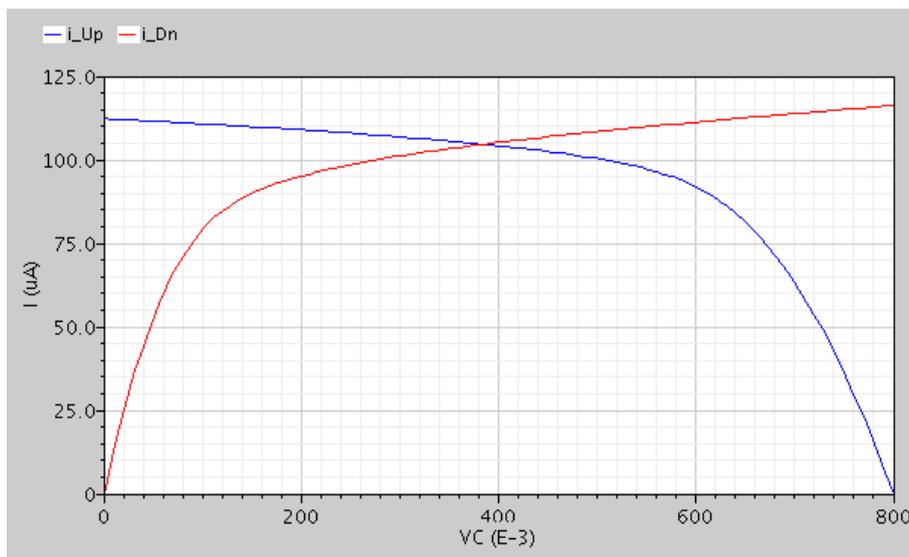


圖 3.20 傳統式充電泵充放電電流

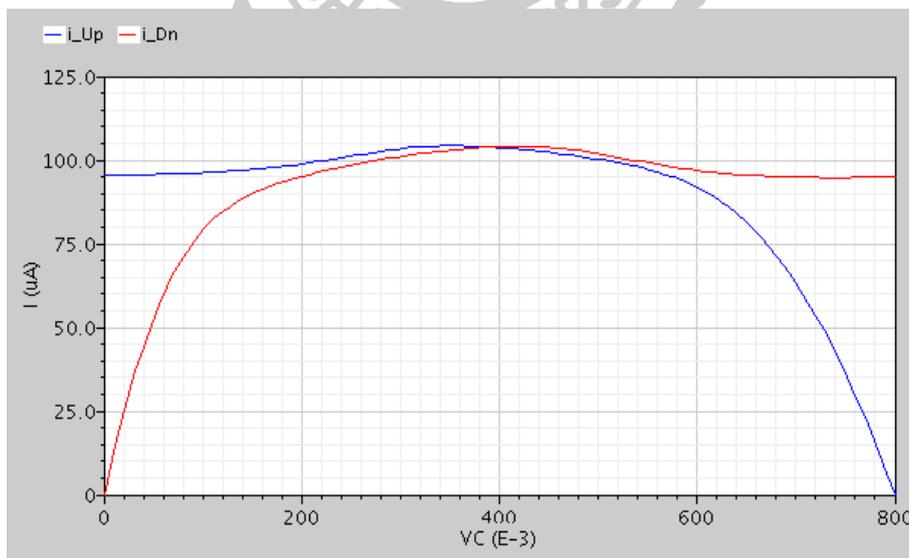


圖 3.21 動態電流匹配充電泵充放電電流

3.4 頻率合成器模擬結果

接下來為 Post-simulation 此頻率合成器的輸出抖動以及鎖定情形，在輸入以及輸出端掛上負載以模擬實際量測時的情形。

在 TT corner 輸出頻率為 5-GHz 時的輸出電壓(V_{ctrl})抖動情形如圖 3.22 所示，約 3.2 mV，可在 3.6 μ s 內鎖定。圖 3.23 為頻率合成器輸出眼圖，其抖動量約為 9.7 ps(p-p)。

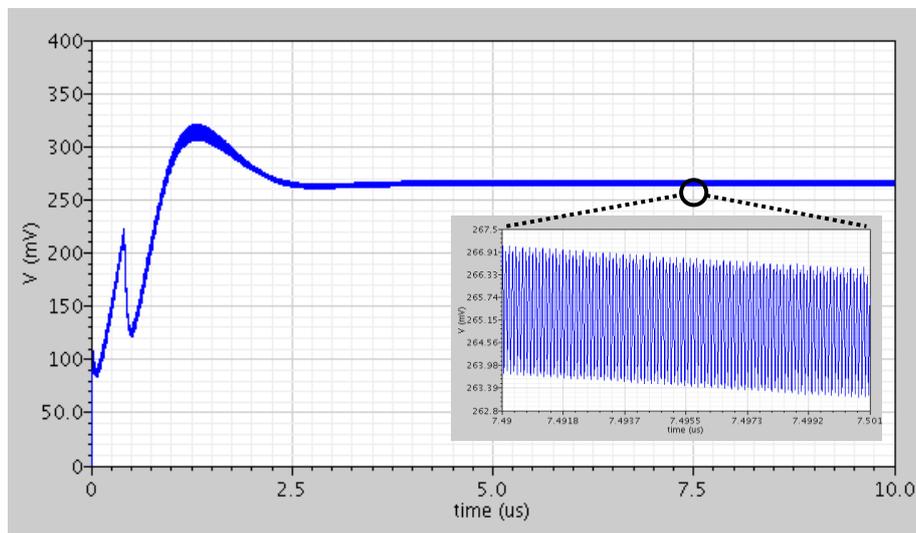


圖 3.22 TT corner 鎖定情形

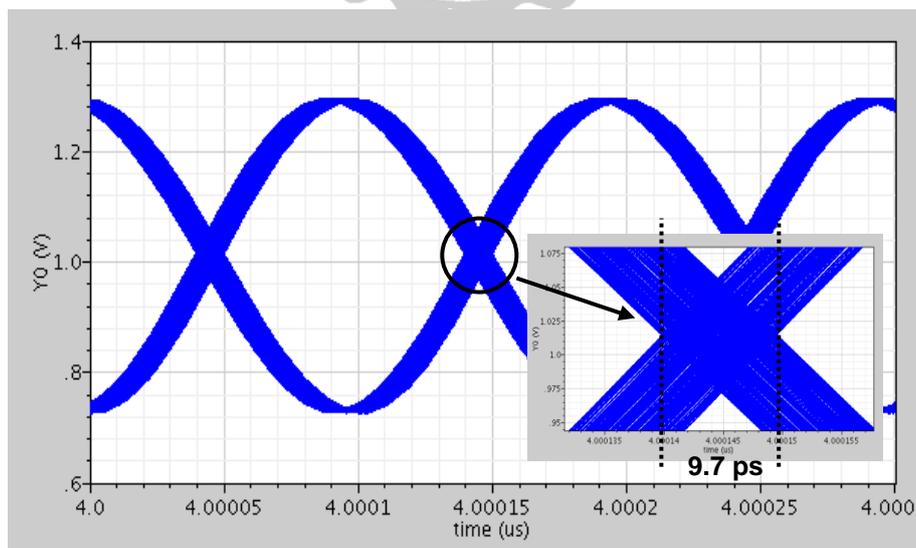


圖 3.23 TT corner 鎖定眼圖

在 FF corner 輸出頻率為 5-GHz 時的輸出電壓(V_{ctrl})抖動情形如圖 3.24 所示，約 2.9 mV，可在 3 μ s 內鎖定。圖 3.25 為頻率合成器輸出眼圖，其抖動量約為 9.2 ps(p-p)。

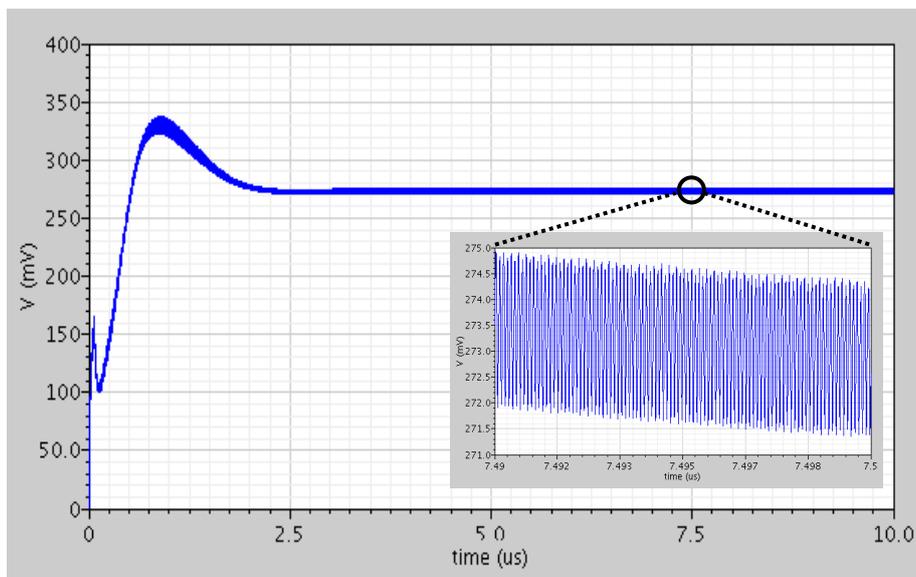


圖 3.24 FF corner 鎖定情形

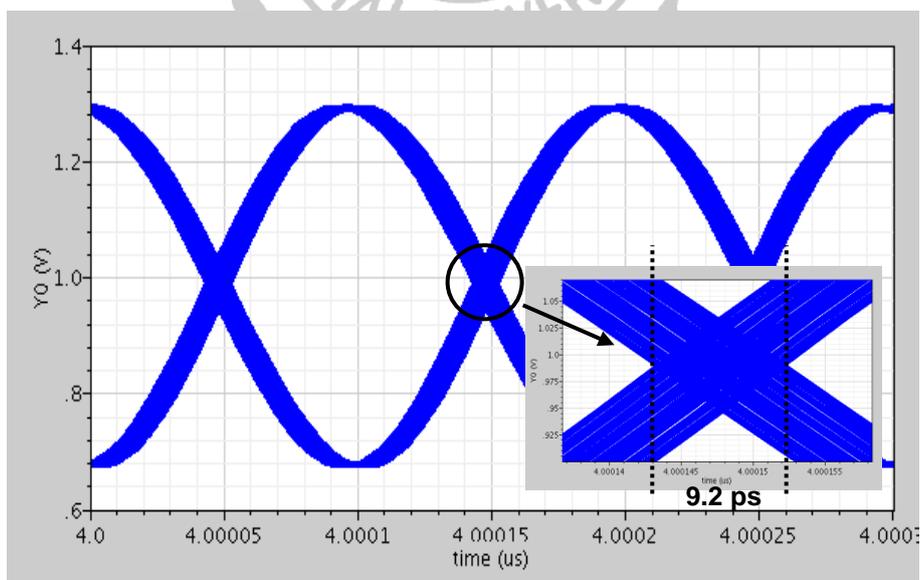


圖 3.25 FF corner 鎖定眼圖

在 SS corner 輸出頻率為 5-GHz 時的輸出電壓(V_{ctrl})抖動情形如圖 3.26 所示，約 3.3 mV，可在 4 μ s 內鎖定。圖 3.27 為頻率合成器輸出眼圖，其抖動量約為 12.1 ps(p-p)。

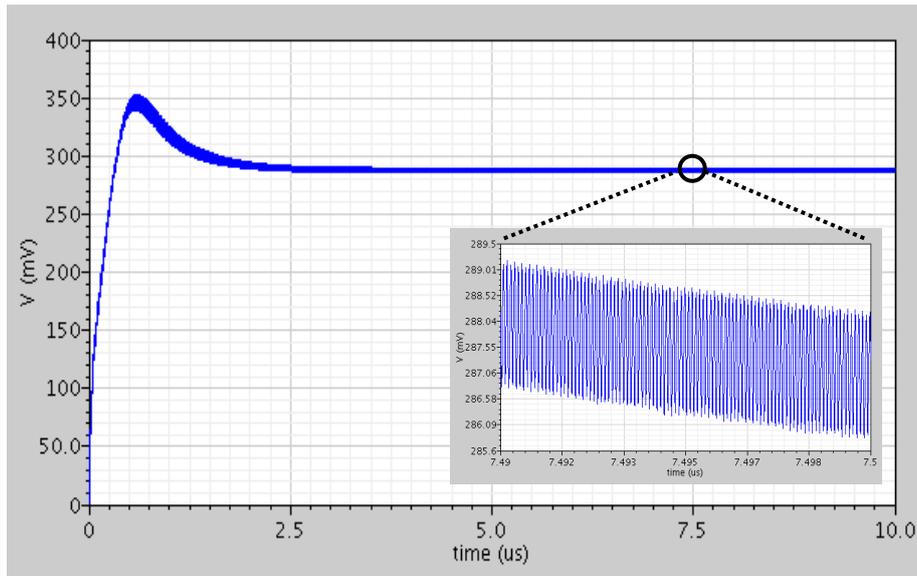


圖 3.26 SS corner 鎖定情形

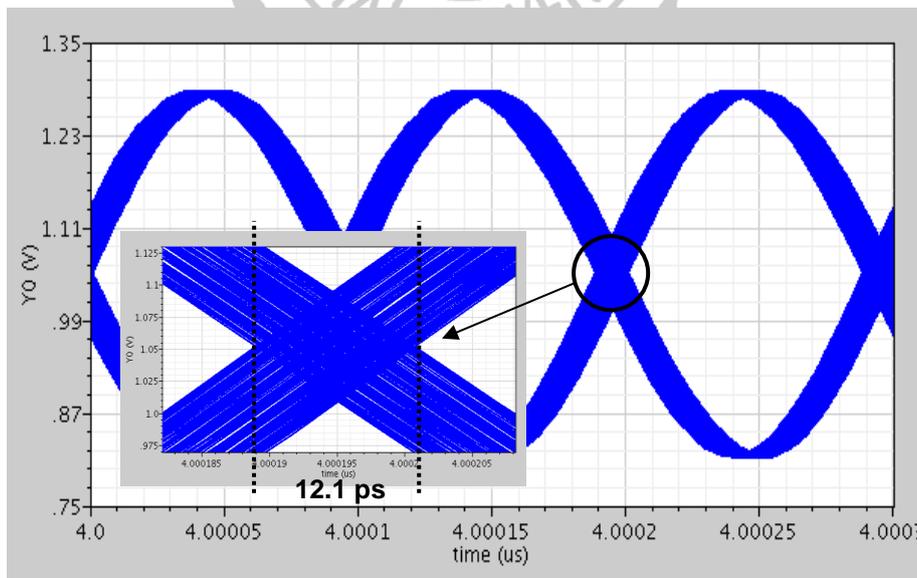


圖 3.27 SS corner 鎖定眼圖

3.5 晶片量測

圖 3.28 為此頻率合成器之晶片佈局照相圖，其面積為 $1.1 \times 1.1 \text{ mm}^2$ ，是由 TSMC $0.18 \mu\text{m}$ CMOS 製程實現。為了避免壓控振盪器的輸出訊號量測失真，因此採用 NMOS Open Drain 緩衝器來隔離與後級的寄生效應，其架構與量測等效模型如圖 3.29 所示。

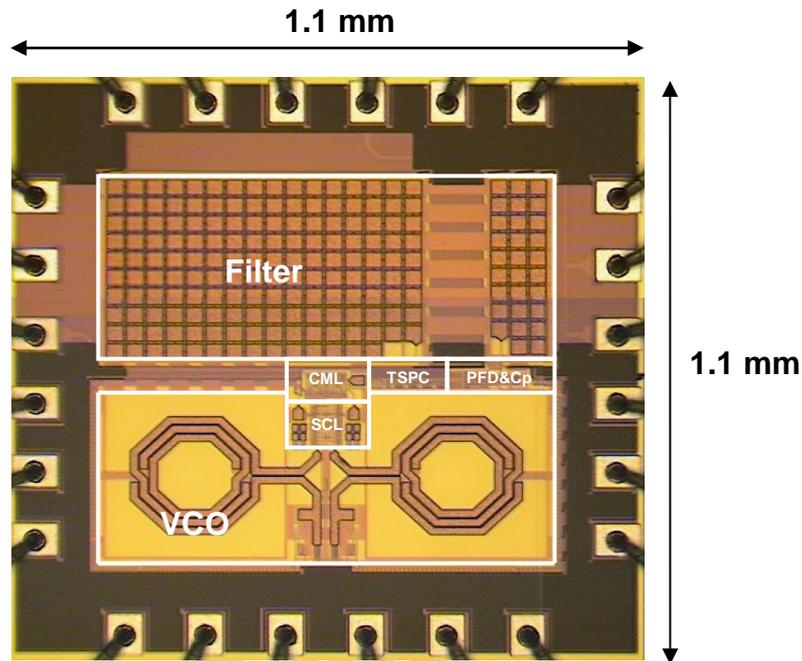


圖 3.28 頻率合成器晶片照相圖

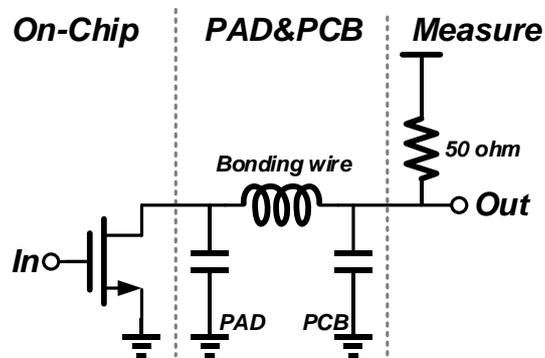


圖 3.29 NMOS Open Drain 與負載等效模型

晶片電源接腳的考量是將供應電源分為類比與數位兩組，而壓控振盪器輸出緩衝器之供應電源則而外擺放，量測時採用雙面感光電路板(Photosensitive Circuit Board, PCB)進行量測，圖 3.30 為 PCB 版正反面照相圖。

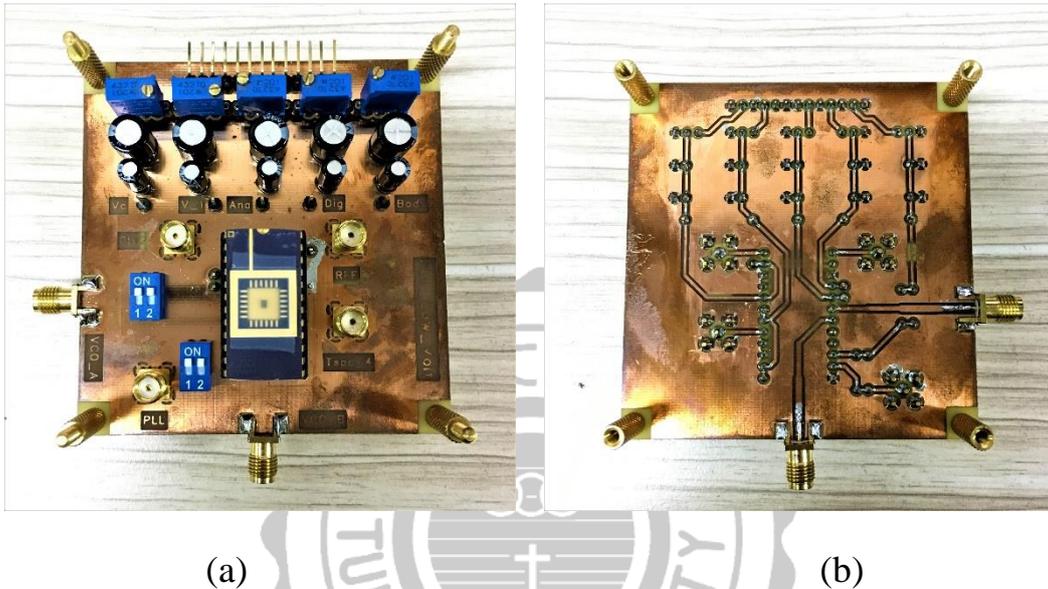


圖 3.30 PCB 照相圖 (a)正面 (b)反面

首先獨立量測壓控振盪器的部分，確認振盪器是否正常起振，量測環境如圖 3.31 所示，接續量測的是除頻器的輸出點確定除頻器是否正常工作，儀器的部分是使用 Rohde & Schwarz FSUP 頻譜分析儀來量測振盪器輸出頻譜與相位雜訊，並使用 Agilent DSO81204B 示波器來量測輸出波形，確認振盪器輸出正確後再使用 Tektronic AFG3252C Function Generator 來灌入所需的輸入參考訊號，最後再啟動所有電路來觀察迴路是否有鎖定。

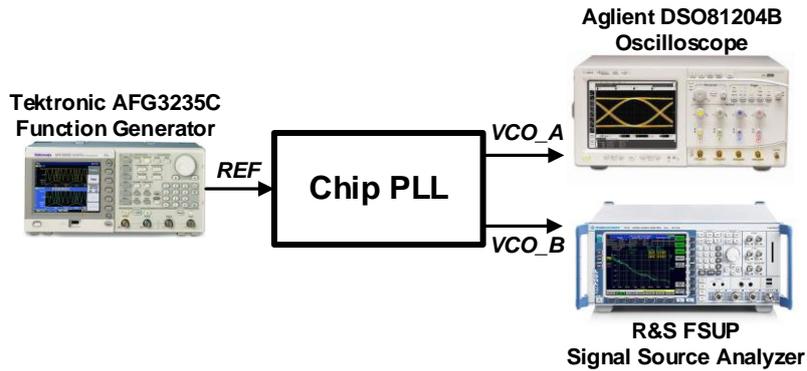


圖 3.31 量測環境

圖 3.32 為振盪器自由振盪以及迴路鎖定輸出頻譜比較，其輸出功率為 -4.49 dBm，圖 3.33 為頻率合成器可鎖定範圍，約 4.58-GHz 至 5.02-GHz，圖 3.34 為振盪器自由振盪時與迴路鎖定時所對應的相位雜訊比較，在頻率偏移 1-MHz 處的相位雜訊為 -117.53 dBc/Hz，而圖 3.35 為迴路鎖定時振盪器頻率為 4.87-GHz 之輸出波形，其輸出抖動量為 7.37 ps(p-p)。最後表 3-1 為此頻率合成器效能比較表。

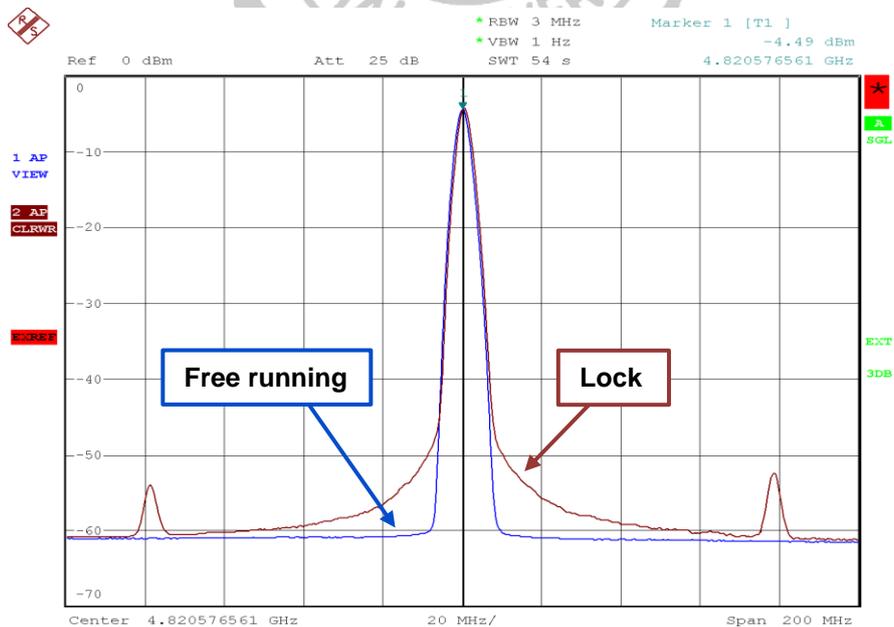


圖 3.32 振盪器自由振盪與迴路鎖定輸出頻譜比較

第三章 利用電感耦合技巧之低壓頻率合成器

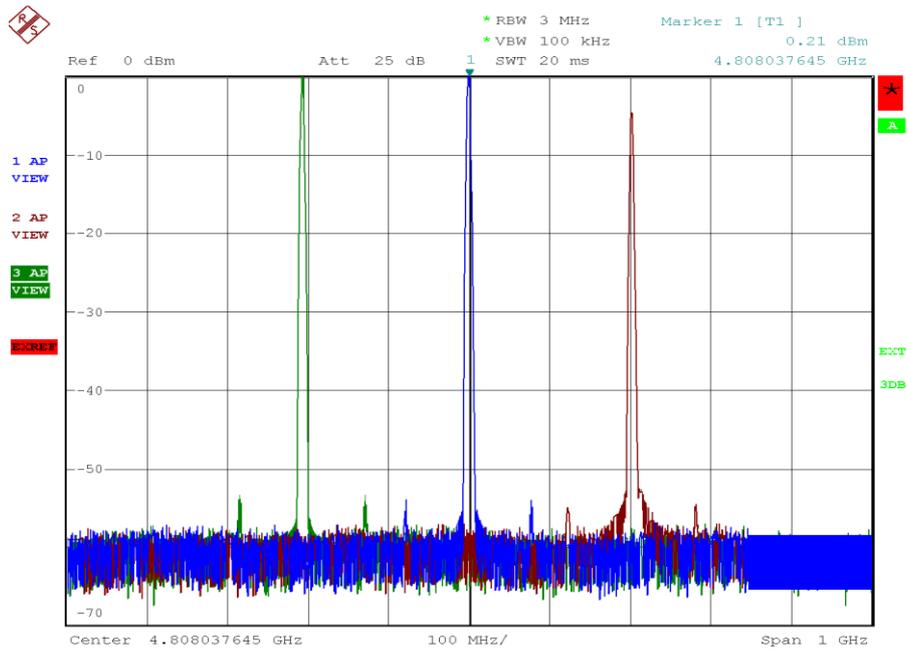


圖 3.33 頻率合成器可鎖定範圍

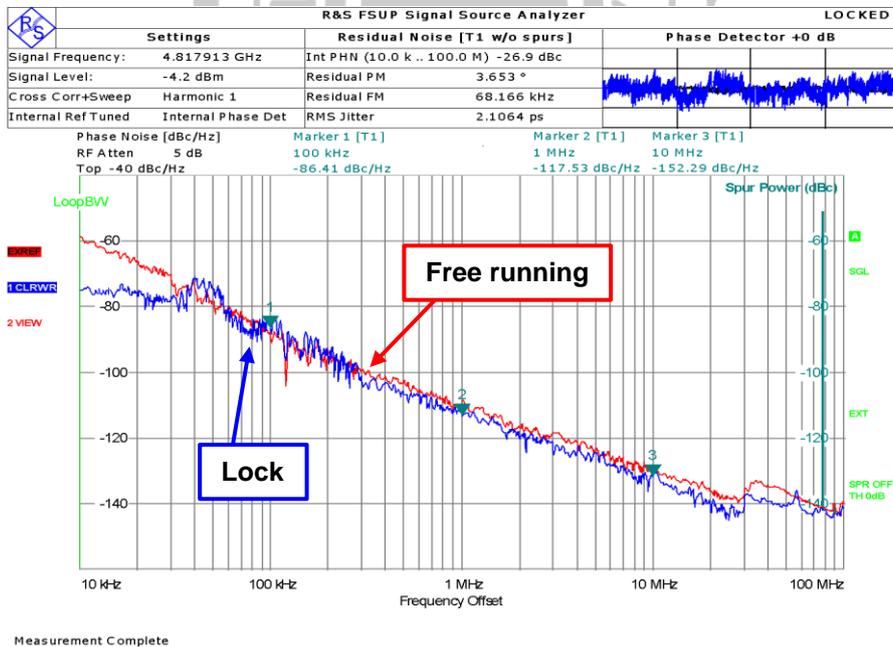


圖 3.34 振盪器自由振盪與迴路鎖定之相位雜訊比較

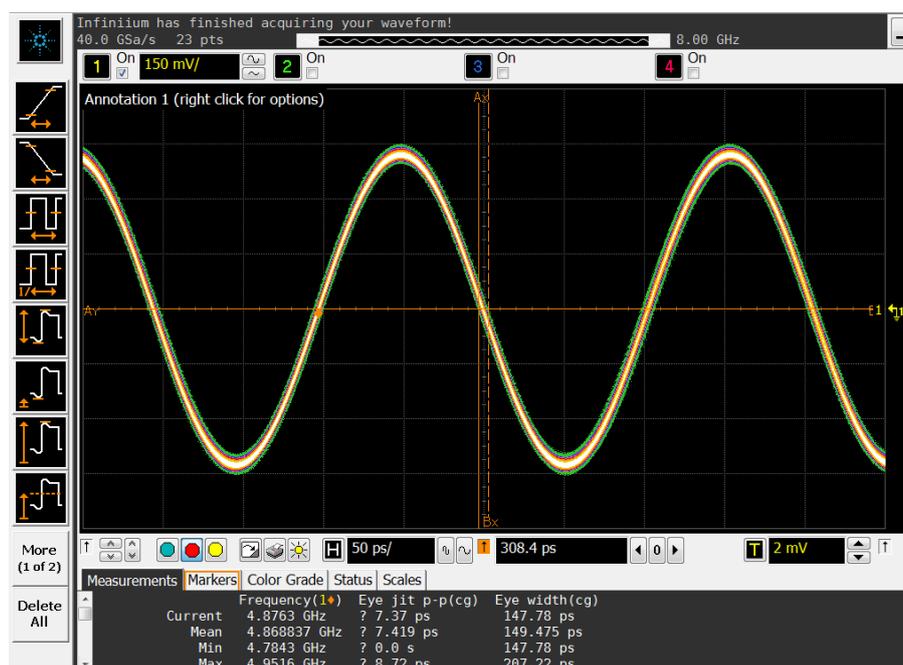


圖 3.35 振盪器輸出抖動量

表 3-1 頻率合成器模擬與量測規格比較表

Parameter	Post-simulation	Measurement
Tech. (μm)	0.18	0.18
VDD (V)	0.8	0.8
Reference Freq. (MHz)	78.125	78.125
Freq. (GHz)	4.67-5.5	4.58-5.02
Bandwidth (K-Hz)	350	350
PN@1MHz (dBc/Hz)	-118.2	-117.53
Jitter (ps)	9.7	7.37
P_{DC} (mW)	4.8	5.02
Chip area (mm^2)	1.1×1.1	1.1×1.1

表 3-2 與參考文獻之規格比較表

Parameter	[23] CAS-II	[31] MWCL	[32] ISSCC	[40] CAS-I	This work
Tech. (μm)	0.13	0.18	0.09	0.18	0.18
Inductor	5	1	2	5	2
VDD (V)	0.5/0.8	1.8	0.5/0.65	0.6	0.8
Tuning Range (%)	4.2	18	7.7	8	9.2
Freq. (G-Hz)	8.8-9.2	4.39-5.26	2.5	2.4-2.64	4.58-5.02
P_{DC} (mW)	12	9.7	6	14.4	5.02
PN@1MHz (dBc/Hz)	-104.5	-113.7	-113	-105	-117.53
FOM (dBc/Hz)	-172.9	-178.2	-173.9	-161.3	-184.2



第四章

利用電流重複利用技巧之低功耗頻率合成器

4.1 系統架構簡介與迴路分析

本章將介紹一利用電流重複利用(Current-Reused)技巧所設計並實現之低功耗頻率合成器，其架構如圖 4.1 所示，包含相位頻率偵測器(Phase Frequency Detector, PFD)、充電泵(Charge Pump, CP)、低通濾波器(Loop Filter, LPF)、壓控振盪器(Voltage Control Oscillator, VCO)、注入鎖定除頻器(Injection Lock Frequency Divider, ILFD)、電流式邏輯除頻器(Current Mode Logic divider, CML)、真實單一相位時脈除頻器(True Single-Phase Clock, TSPC)。

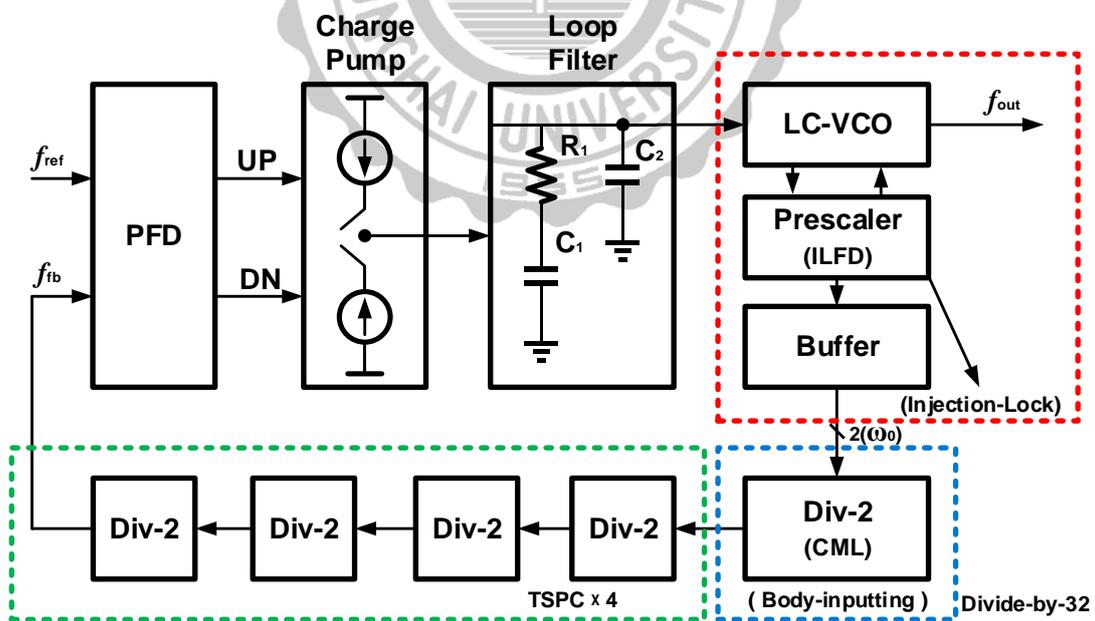


圖 4.1 利用電流重複利用技巧之頻率合成器架構

如圖 4.2(a) 所示，在傳統的電路中，振盪器以及除頻器的部份必須分別提供多路的電流源，而這種方式對操作於高頻段的振盪器及除頻器來說將會消耗掉更多的功率。因此本架構利用電流重複利用的方式將較耗電的振盪器與第一級除頻器整合成一塊電路，如此一來只需要一路的電流源就能同時提供給振盪器與第一級除頻器，也就是說減少了電流的消耗，藉此達到降低功耗的效果[35][36]，其示意圖如圖 4.2(b)。

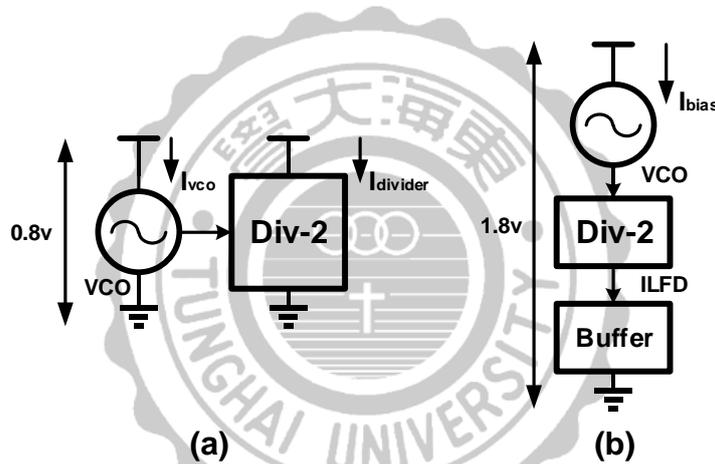


圖 4.2 (a)傳統電路 (b)電流重複利用架構

首先透過 Matlab&Simulink 來模擬開迴路與閉迴路行為並觀察暫態響應，振盪器經模擬後得知操作頻率為 4.8-GHz 至 5.25-GHz，迴路增益約為 562.5 MHz/V，再由 2.1.4 節之公式可求得迴路濾波器之電阻 (R_1)與電容(C_1 、 C_2)參數，將相位邊限設計在 60° 帶入後即可求得開迴路與閉迴路頻率響應波德圖，如圖 4.3 所示。

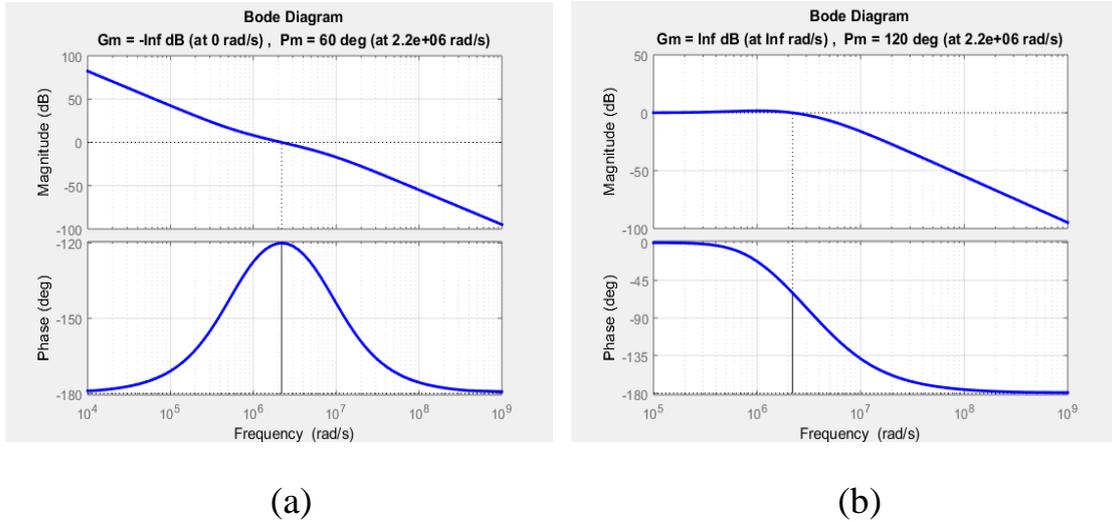


圖 4.3 系統 (a)開迴路 (b)閉迴路 頻率響應波德圖

接著要模擬的是系統穩定度，圖 4.4 為此頻率合成器的 Simulink 模型圖，包含相位頻率偵測器、充電泵、迴路濾波器以及壓控振盪器，而圖 4.5 為頻率合成器之暫態響應模擬。有了系統上的驗證之後即證明了這個架構與其所用參數的可行性，接著將對注入鎖定基本原理以及此頻率合成器的所使用的電流重複利用壓控振盪器與除頻器做介紹。

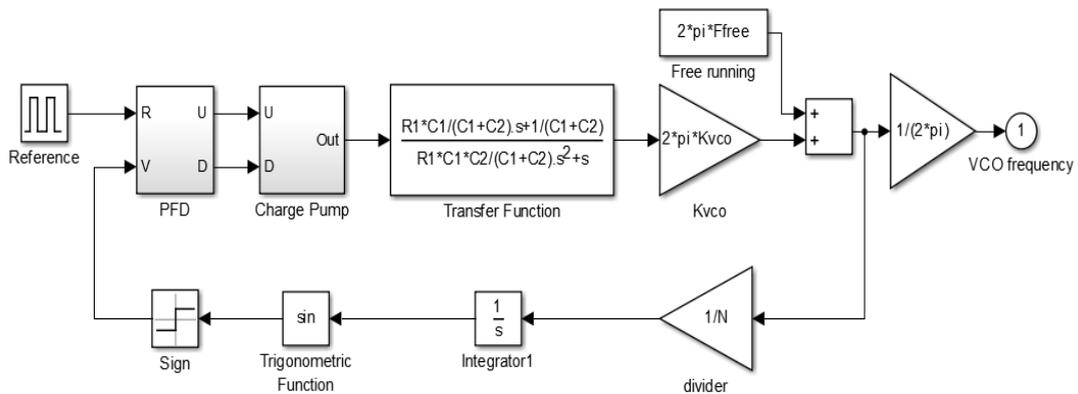


圖 4.4 頻率合成器整體之系統模型

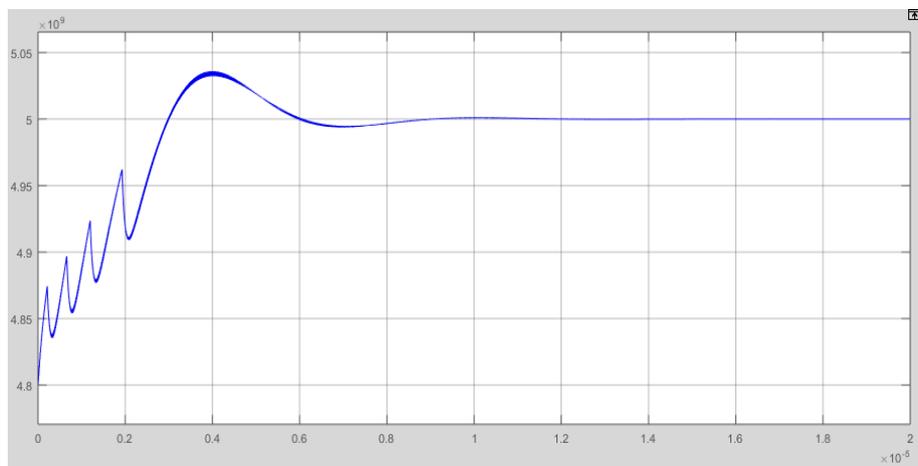


圖 4.5 頻率合成器暫態響應模擬



4.2 注入鎖定基本原理

在一自由振盪頻率為 ω_0 的振盪系統中，假設有一外來之振盪頻率為 ω_1 的振盪訊號注入，若 ω_1 相當接近 ω_0 時，此時會產生一耦合現象，使頻率 ω_0 鎖定在頻率 ω_1 處，此現象即稱為注入鎖定(Injection-Locked)。以振盪器為例子來說，假設有一壓控振盪器自由振盪在 ω_0 處，此時若有一振盪頻率為 ω_1 的振盪訊號從外部注入壓控振盪器中，會有兩種現象，當頻率 ω_1 與 ω_0 距離很遠時，在頻譜上會呈現各自振盪在不同頻率下的訊號；而當頻率 ω_1 逐漸接近 ω_0 到達一個一定的範圍時，原先壓控振盪器的振盪頻率 ω_0 將會被取代為 ω_1 ，達到注入鎖定[37]。

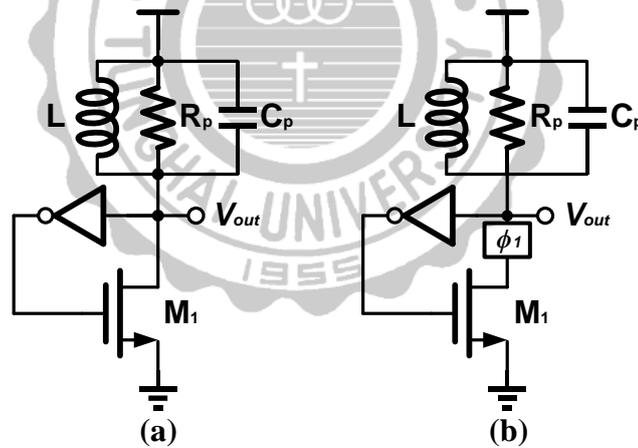


圖 4.6 (a)迴授調諧組態 (b)注入相位造成之相位偏移

圖 4.6(a)為一迴授調諧組態，假設此共振腔之共振頻率為 $\omega_0 = \frac{1}{\sqrt{L_1 C_1}}$ ，而在輸出端所加入回授至輸入端的理想反向器是為了使迴路產生一 360° 的相位偏移以確保振盪器能振盪於頻率 ω_0 。從注入

相位來看，考慮若有一造成相位偏移 ϕ_1 之振盪頻率為 ω_1 的訊號注入至共振腔中，從圖 4.6(b) 可以看出整體系統的振盪條件會因為此相位偏移而改變，故振盪器必須改變其本身的振盪頻率來產生一個額外的相位以消除此相位偏移，即從振盪頻率 ω_0 變成 ω_1 ，如圖 4.7(a) 所示。

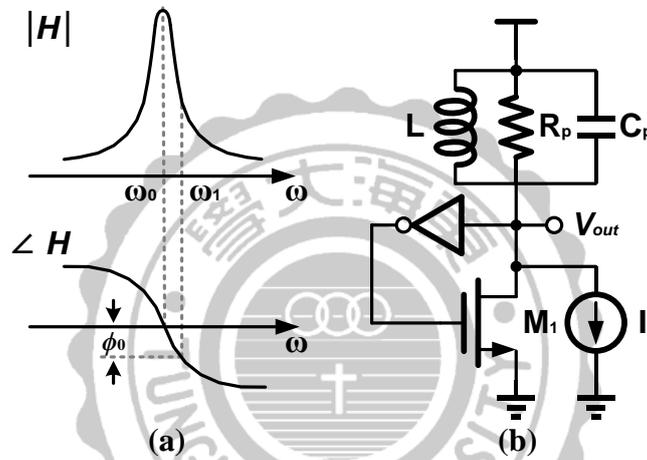
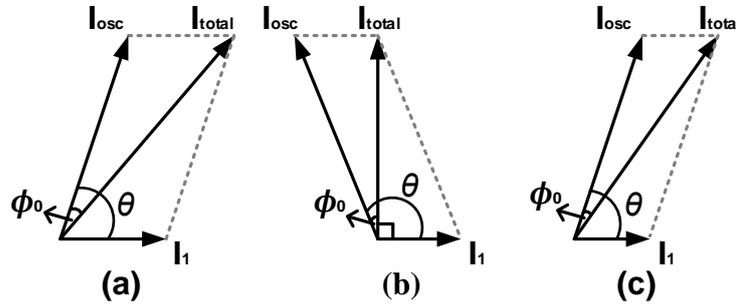


圖 4.7 (a)振盪器開迴路特性 (b)注入電流造成之相位偏移

而從注入電流來看，圖 4.7(b) 為將注入電流模型 I_1 加入之迴授調諧組態，假設其注入電流之頻率 ω_1 ，此時共振腔最後的電流會因此注入電流不再為 I_{osc} 而是總輸出電流 I_{total} 。若注入電流的頻率與大小選擇適當的話將會產生注入鎖定現象，使振盪由 ω_0 變為 ω_1 。而當 $\omega_1 \neq \omega_0$ 時，由於注入訊號會造成相位偏移 ϕ_1 ，因此在注入電流 I_{osc} 與 I_1 之間會產生一有限的相位差 θ ，如圖 4.8 所示，而這個相位差即是注入鎖定範圍。


 圖 4.8 注入電流 I_1 與輸出總電流 I_{total} 相位關係

為了要求注入鎖定的範圍，可由 4.8(a) 向量示意圖將其關係式寫成：

$$\sin \phi_1 = \frac{I_1}{I_{total}} \sin \theta = \frac{I_1 \sin \theta}{\sqrt{I_{osc}^2 + I_1^2 + 2I_{osc}I_1 \cos \theta}} \quad (4-1)$$

其中當 $\cos \theta = -\frac{I_1}{I_{osc}}$ 時可達到最大值 $\sin \phi_{1,max} = \frac{I_1}{I_{osc}}$ ，這指出 I_{total} 與 I_1 之間的相位差將達到 90° ，也代表 I_{osc} 與 I_1 之間的相位差達到了 $90^\circ + \phi_{0,max}$ 。

接著針對圖 4.8(b) 之情況來做進一步的探討：

$$\tan \phi_1 = \frac{I_1}{I_{total}} \cong \frac{2Q}{\omega_0} (\omega_0 - \omega_1) \quad (4-2)$$

其中 $I_{total} = \sqrt{I_{osc}^2 + I_1^2}$ ，藉由(4-2)可推導出注入鎖定的範圍為：

$$\omega_{Lock} = \omega_0 - \omega_1 = \frac{2Q}{\omega_0} \cdot \frac{I_1}{I_{osc}} \cdot \frac{1}{\sqrt{1 - \frac{I_1^2}{I_{osc}^2}}} \quad (4-3)$$

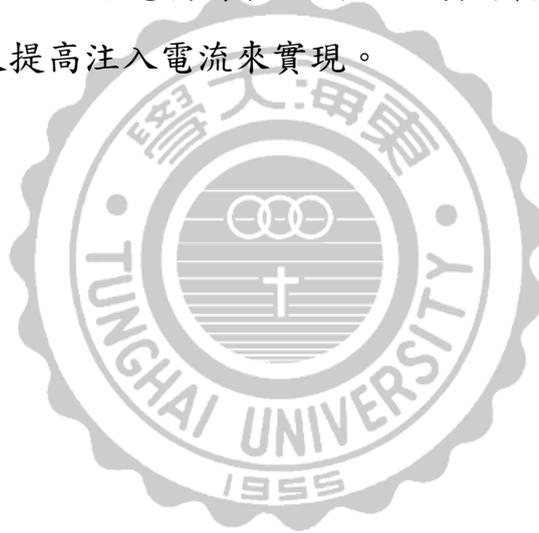
而當 $I_1 \ll I_{osc}$ ，如圖 4.8(c) 所示時， $\sin \phi_1 = \frac{I_1}{I_{osc}} \sin \theta$ ，這表示相位偏移 ϕ_1 非常小，故 $\tan \phi_1 \approx \sin \phi_1$ ，因此由式(4-2)可得知：

$$\sin \theta \approx \frac{2Q}{\omega_0} \cdot \frac{I_{osc}}{I_1} (\omega_0 - \omega_1) \quad (4-4)$$

簡化後可得到此時的注入鎖定範圍為：

$$\omega_{Lock} = \omega_0 - \omega_1 \approx \frac{2Q}{\omega_0} \cdot \frac{I_1}{I_{osc}} \quad (4-5)$$

由上述分析可發現注入鎖定範圍與共振腔的品質因子(Q)以及注入電流大小有關，因此若想要有較大的注入鎖定範圍可藉由降低共振腔之品質因子以及提高注入電流來實現。



4.3 內部電路架構

4.3.1 振盪器與注入鎖定除頻器

圖 4.9 為所提出之頻率合成器所使用的振盪器與注入鎖定除頻器架構，是由一 PMOS 交錯耦合對振盪器與注入鎖定除頻器(ILFD)疊接組成，藉由將操作在較高頻率之振盪器與第一級除頻器疊接在一起，並利用電流重複利用(Current-Reuse)的原理來降低整個電路的電流消耗，進而達到降低功耗的效果。其除頻原理是第一級除頻器將振盪器注入之訊號進行混頻後所輸出的振盪訊號頻率會輸入訊號頻率的一半，而將 M_1 、 M_2 以及 M_3 、 M_4 之間斷開以交錯的方式連接則是避免被頻訊號的產生。然而這個方法雖能有效的降低電路消耗功率，但伴隨的則是有由於疊接較多的電晶體造成輸出擺幅不大以及因電流重複利用的關係導致雜訊共生在電路中的缺點。

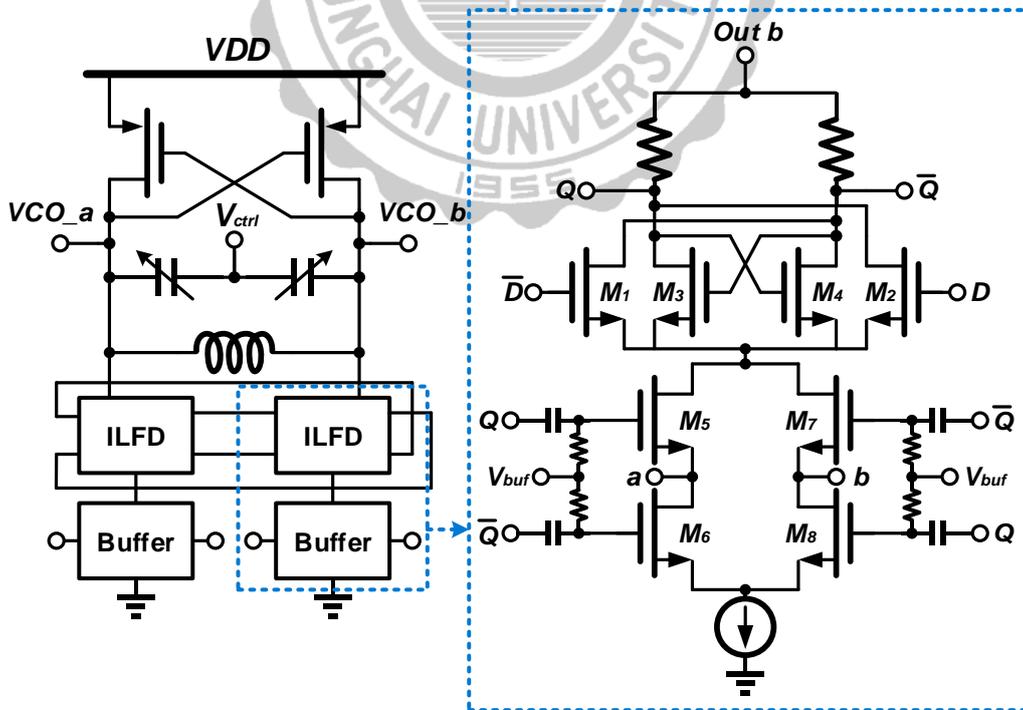


圖 4.9 振盪器與注入鎖定除頻器

圖 4.10 為模擬此壓控振盪器輸出頻譜圖，在 5.06-GHz 的輸出約為 -12 dBm，圖 4.11 為振盪器之頻率可調諧範圍模擬，約為 4.8-GHz 至 5.25-GHz，而其所對應到的相位雜訊在頻率偏移 1-MHz 處約為 -111.4 ~ -113.7 dBc/Hz，如圖 4.12 所示，圖 4.13 為注入鎖定除頻器輸出四相位模擬波形。

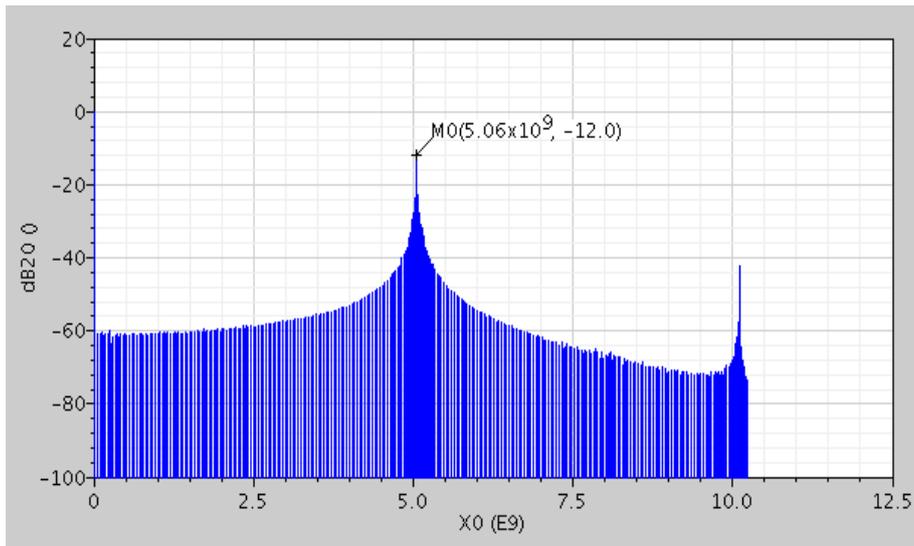


圖 4.10 振盪器輸出頻譜

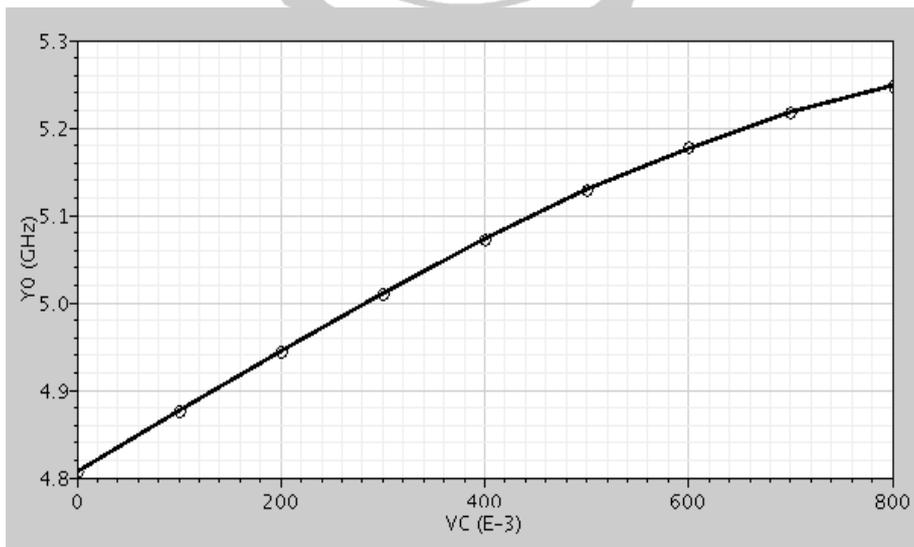


圖 4.11 振盪器頻率可調諧範圍

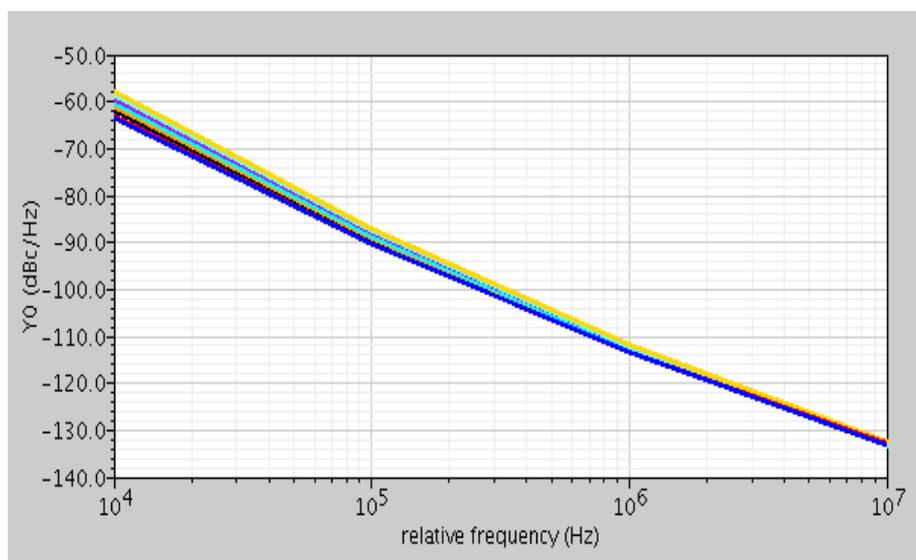


圖 4.12 振盪器相位雜訊

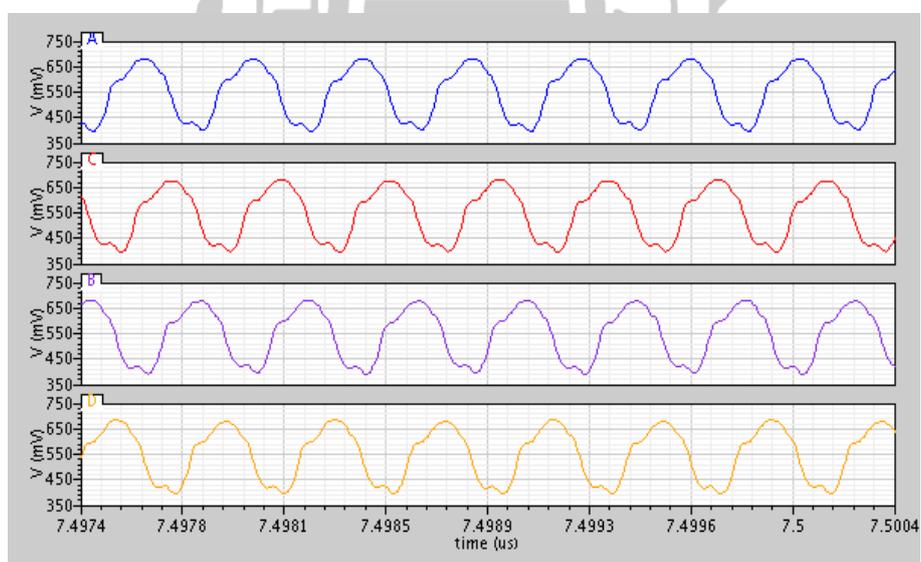


圖 4.13 注入鎖定除頻器輸出四相位波形

4.4 電路模擬結果

接下來為 Post-simulation 此頻率合成器的輸出抖動以及鎖定情形，在輸入以及輸出端掛上負載以模擬實際量測時的情形。

在 TT corner 輸出頻率為 5-GHz 時的輸出電壓(V_{ctrl})抖動情形如圖 4.14 所示，約 3.21 mV，可在 4.6 μ s 內鎖定。圖 4.15 為頻率合成器輸出眼圖，其抖動量約為 9.34 ps(p-p)。

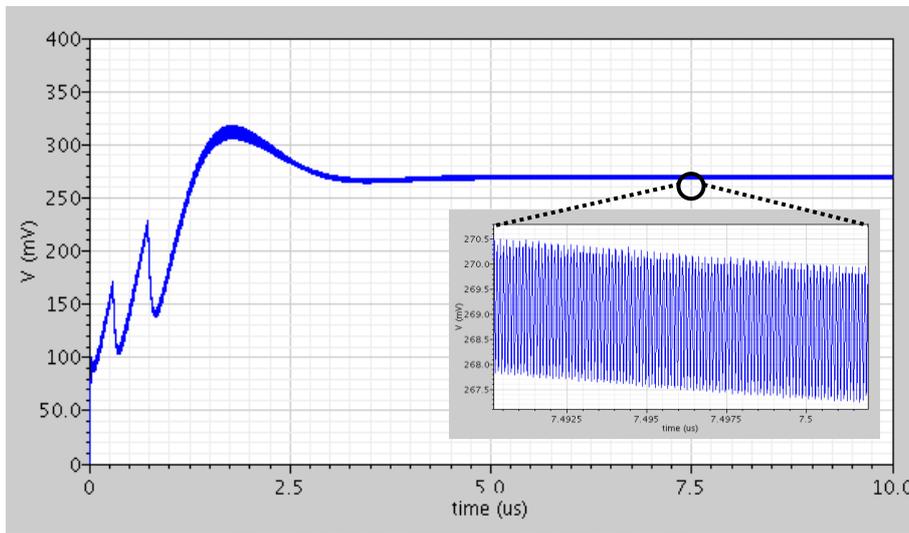


圖 4.14 TT corner 鎖定情形

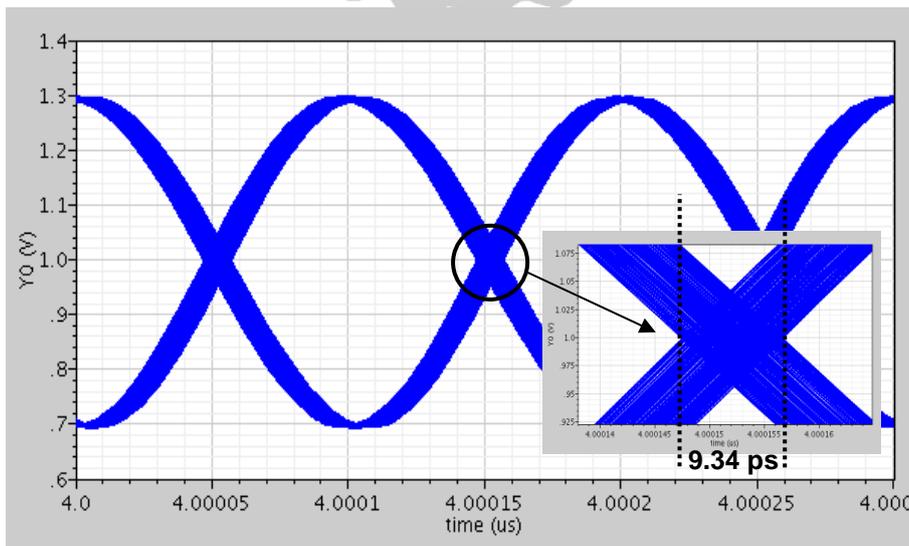


圖 4.15 TT corner 鎖定眼圖

在 FF corner 輸出頻率為 5-GHz 時的輸出電壓(V_{ctrl})抖動情形如圖 4.16 所示，約 2.9 mV，可在 3.52 μ s 內鎖定。圖 4.17 為頻率合成器輸出眼圖，其抖動量約為 7.86 ps(p-p)。

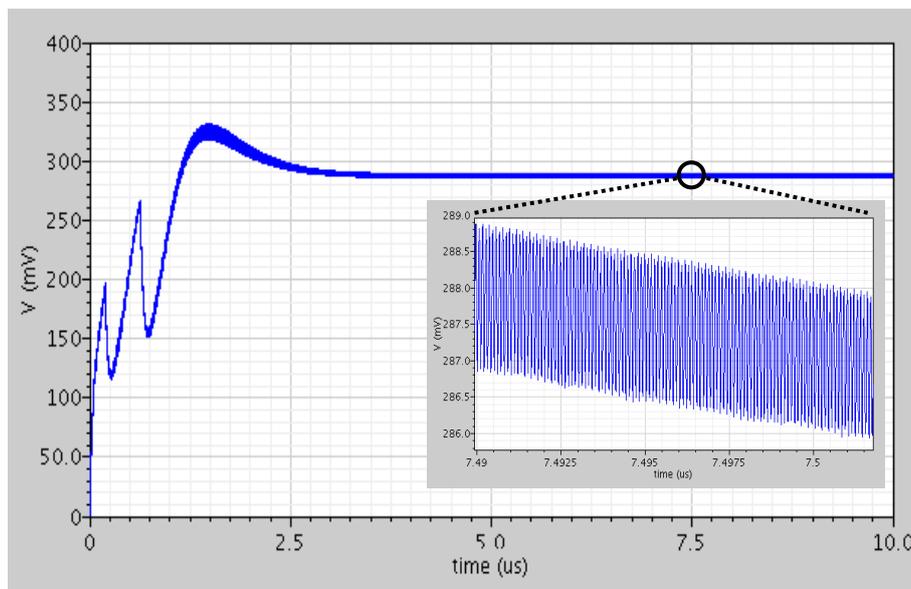


圖 4.16 FF corner 鎖定情形

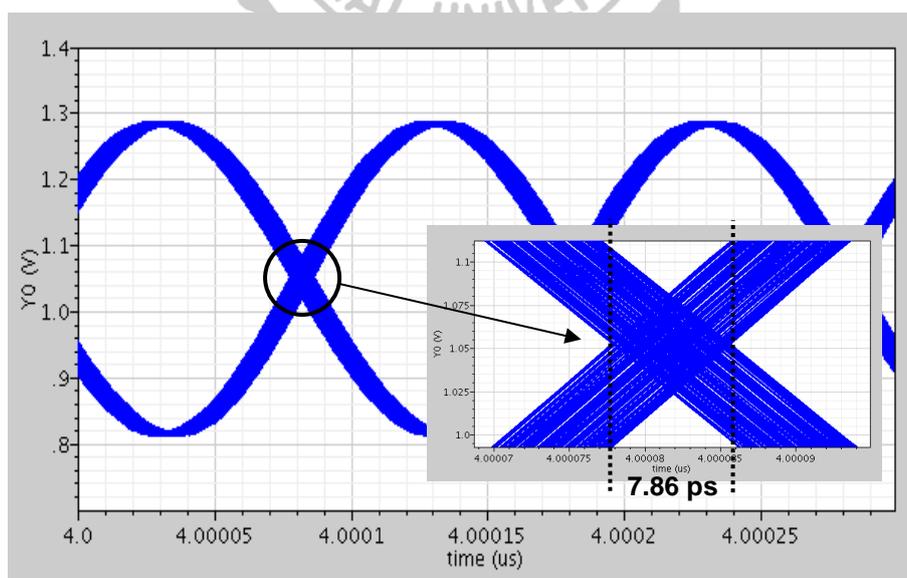


圖 4.17 FF corner 鎖定眼圖

在 SS corner 輸出頻率為 5-GHz 時的輸出電壓(V_{ctrl})抖動情形如圖 4.18 所示，約 3.32 mV，可在 4.93 μ s 內鎖定。圖 4.19 為頻率合成器輸出眼圖，其抖動量約為 15.8 ps(p-p)。

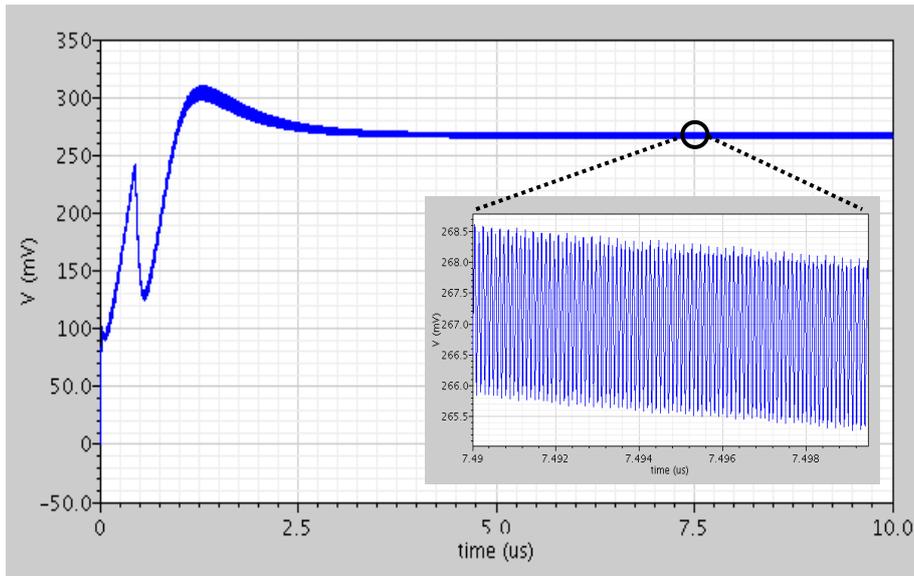


圖 4.18 SS corner 鎖定情形

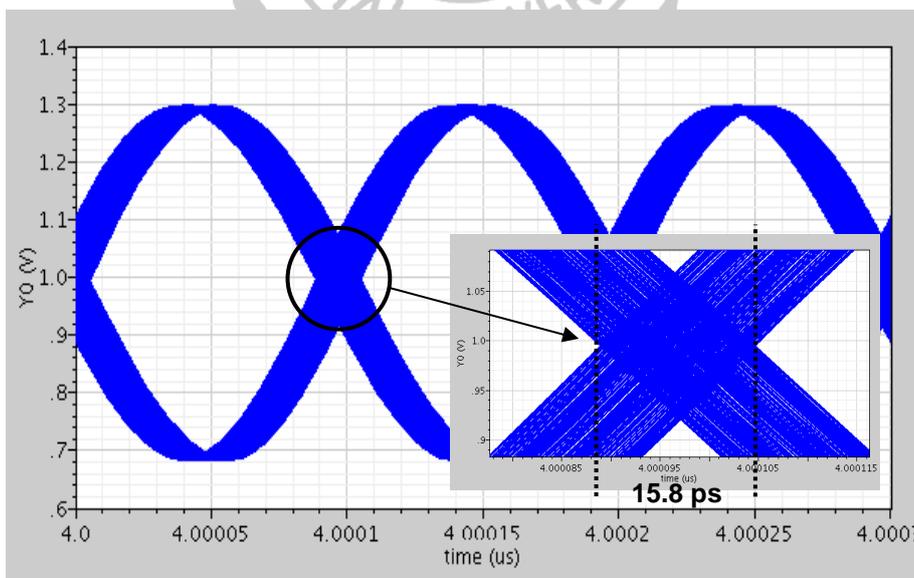


圖 4.19 SS corner 鎖定眼圖

4.5 晶片量測

圖 4.20 為此頻率合成器之晶片佈局照相圖，其面積為 $1.1 \times 1.1 \text{ mm}^2$ ，是由 TSMC $0.18 \mu\text{m}$ CMOS 製程實現。為了避免壓控振盪器的輸出訊號量測失真，因此採用 NMOS Open Drain 緩衝器來隔離與後級的寄生效應。

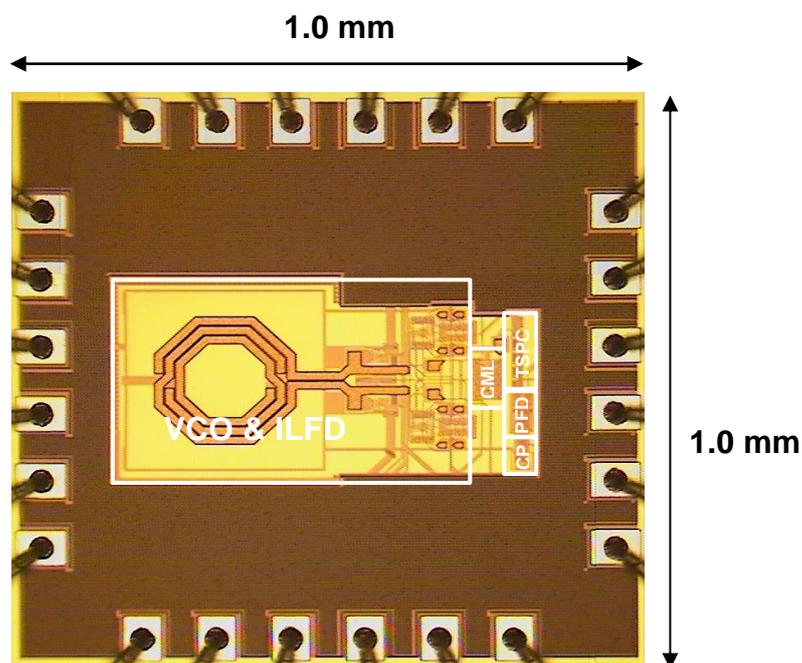


圖 4.20 頻率合成器晶片照相圖

晶片電源接腳的考量是將供應電源分為類比與數位兩組，而壓控振盪器輸出緩衝器之供應電源則而外擺放，量測時採用雙面感光電路板(Photosensitive Circuit Board, PCB)進行量測，圖 4.21 為 PCB 版正反面照相圖。

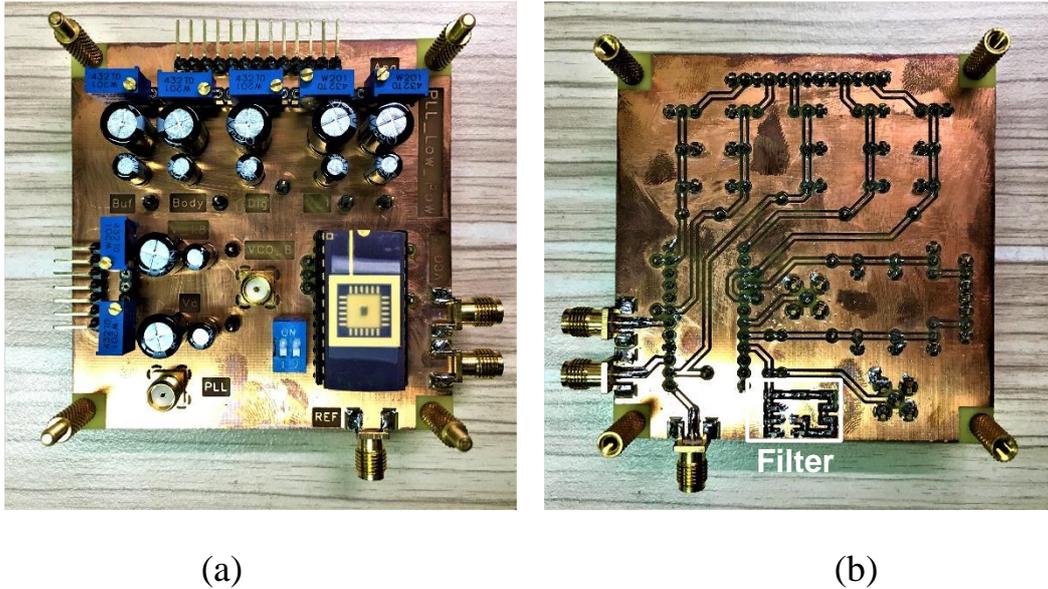


圖 4.21 PCB 照相圖 (a)正面 (b)反面

首先獨立量測壓控振盪器的部分，確認振盪器是否正常起振，量測環境如圖 4.22 所示，接續量測的是除頻器的輸出點確定除頻器是否正常工作，儀器的部分是使用 Rohde & Schwarz FSUP 頻譜分析儀來量測振盪器輸出頻譜與相位雜訊，並使用 Agilent DSO 81204B 示波器來量測輸出波形，確認振盪器輸出正確後再使用 Tektronic AFG3252 Function Generator 來灌入所需的輸入參考訊號，最後再啟動所有電路來觀察迴路是否有鎖定。

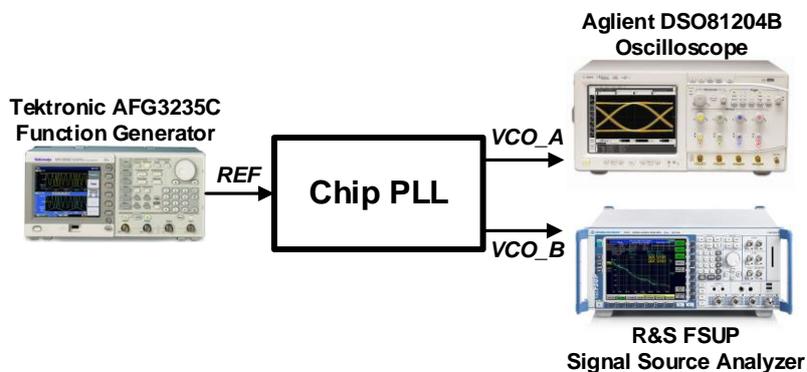


圖 4.22 量測環境

圖 4.23 為壓控振盪器自由振盪以及迴路鎖定後之輸出頻譜比較，其輸出功率為 -4.54 dBm，圖 4.24 為頻率合成器可鎖定範圍，約 4.83-GHz 至 5.03-GHz，圖 4.25 為振盪器自由振盪時與迴路鎖定時所對應的相位雜訊比較，在頻率偏移 1-MHz 處的相位雜訊為 -111.02 dBc/Hz，而圖 4.26 為迴路鎖定時振盪器頻率為 4.83-GHz 之輸出波形，其輸出抖動量為 11.12 ps(p-p)。最後表 4-1 為頻率合成器規格比較表。



圖 4.23 振盪器自由振盪與迴路鎖定輸出頻譜比較

第四章 利用電感耦合技巧之低壓頻率合成器

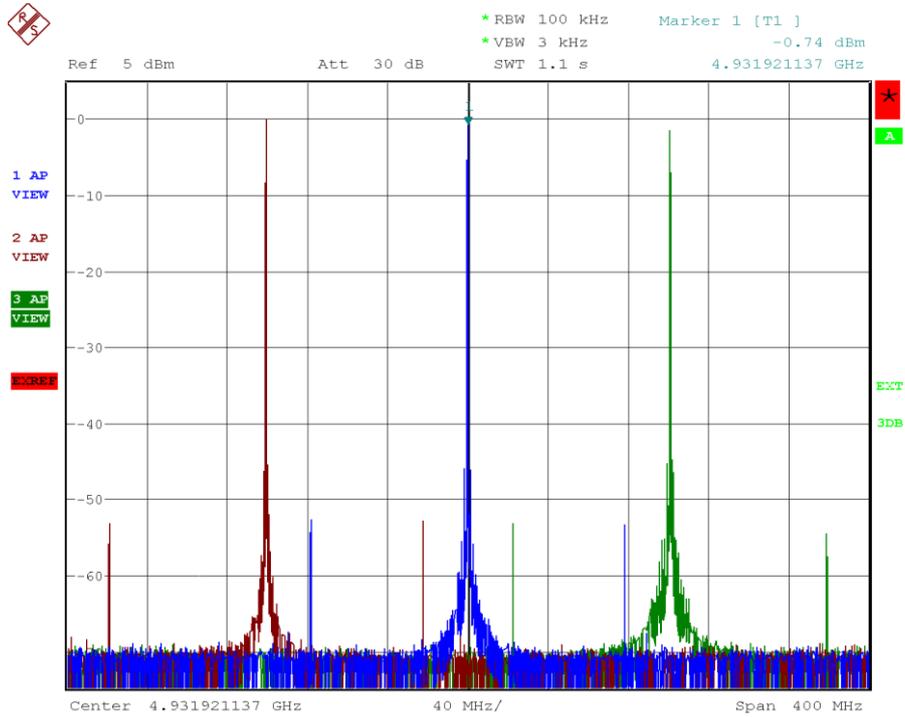


圖 4.24 頻率合成器可鎖定範圍

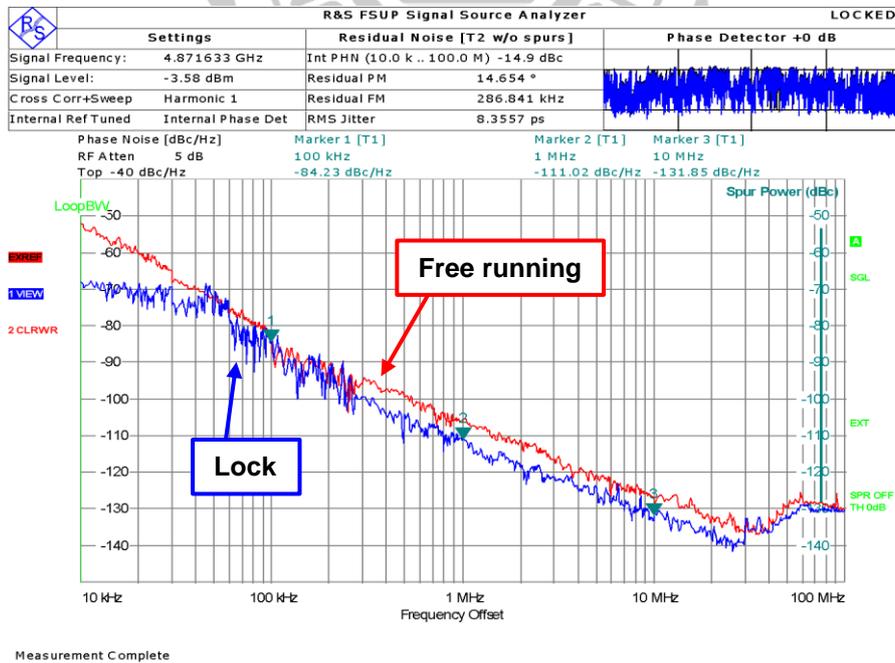


圖 4.25 振盪器自由振盪與迴路鎖定之相位雜訊比較



圖 4.26 振盪器輸出抖動量

表 4-1 頻率合成器模擬與量測規格比較表

Parameter	Post-simulation	Measurement
Tech. (μm)	0.18	0.18
VDD (V)	1.8	1.8
Reference Freq. (M-Hz)	78.125	78.125
Freq. (G-Hz)	4.8-5.25	4.83-5.03
Bandwidth (K-Hz)	350	350
PN@1MHz (dBc/Hz)	-113.7	-111.02
Jitter (ps)	9.7	11.12
P_{DC} (mW)	3.5	3.58
Chip area (mm^2)	1.0×1.0	1.0×1.0

表 4-2 與參考文獻之規格比較表

Parameter	[23] CAS-II	[35] CAS-II	[36] MWCL	Work 1	This work
Tech. (μm)	0.13	0.18	0.13	0.18	0.18
Inductor	5	4	2	2	1
VDD (V)	0.5/0.8	1.8	1.2	0.8	1.8
Current Type	Low Voltage	Current Reuse	Current Reuse	Low Voltage	Current Reuse
Freq. (G-Hz)	8.8-9.2	7.06-8.33	2.4	4.58-5.02	4.83-5.03
P_{DC} (mW)	12	9	3.2	5.02	3.58
PN@1MHz (dBc/Hz)	-104.5	-105.1	-112	-117.53	-111.02
FOM (dBc/Hz)	-172.9	-187.2	-174.5	-184.2	-179.2



第五章

結論

本論文主要是設計應用於 IEEE 802.11 無線通訊系統規格之頻率合成器，而由於電路之操作速度越來越高，電路中又以操作在最高頻率之振盪器與第一級除頻器最為耗電，故本論文主要是針對振盪器與第一級除頻器，分別提出利用電感耦合與電流重複利用兩種架構來有效的降低操作電壓及消耗功率以實現低電壓及低功耗之頻率合成器。所實現之晶片皆是採用 TSMC 0.18 μm CMOS 來實現，第一顆利用電感耦合技巧所實現之低電壓頻率合成器的晶片面積為 $1.1 \times 1.1 \text{ mm}^2$ ，當操作電壓為 0.8 V 時之消耗功率為 5.02 mW，其輸出抖動在頻率 4.87-GHz 下約為 7.37 ps(p-p)。第二顆利用電流重複利用技巧所實現之低功耗頻率合成器有效的降低了振盪器與第一級除頻器之功率消耗，其整體電路消耗功率為 3.58 mW，所實現之晶片面積為 $1.0 \times 1.0 \text{ mm}^2$ ，當頻率合成器輸出在 4.83-GHz 時其輸出抖動約為 11.12 ps(p-p)。

未來希望能更進一步的研究有關於非整數頻率合成器的應用與原理，並藉此改善整數頻率合成器在頻帶與頻寬選擇上的限制，以及深入了解全數位頻率合成器。



參考文獻

- [1] 劉深淵、楊清淵, 鎖相迴路, 滄海書局, 2006.
- [2] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 1st edition. McGraw-Hill, 2001.
- [3] B. Razavi, *RF Microelectronics*, 2nd edition. Pearson Education International, Dec. 2011.
- [4] B. Razavi, "Challenges in the Design of Frequency Synthesizer for Wireless Application," in *Proc. IEEE 1997 Custom Integrated Circuits Conference, CICC*, May 1997, pp. 395-402.
- [5] M. Soyuer, and R. G. Meyer, "Frequency limitations of a conventional phase-frequency detector," *IEEE Journal of Solid-state Circuits*, vol. 25, no. 4, pp. 1019-1022, Aug. 1990.
- [6] H. O. Johansson, "A simple precharged CMOS phase frequency detector," *IEEE Journal of Solid-state Circuits*, vol. 33, no. 2, pp. 295-299, Feb. 1998.
- [7] M. Mansuri, D. Liu, and C. K. Ken Yang, "Fast frequency acquisition phase-frequency detectors for GSamples/s phase-locked loops," *IEEE Journal of Solid-state Circuits*, vol. 37, no. 10, pp. 1331-1334, Oct. 2002.
- [8] S. O. Jeon, T. S. Cheung, and W. Y. Choi, "Phase/frequency detectors for highspeed PLL applications," *Electronic Letters*, vol. 34, no. 22, pp.2120-2121, Oct. 1998.
- [9] F. M. Gardner, "Charge-pump phase-lock loop," *IEEE Trans. Commun.*, vol. 28, no. 11, pp. 1849-1858, Nov. 1980.

- [10]M. V. Paemel, “Analysis of a charge-pump PLL: a new model,” *IEEE Trans. Commun.*, vol. 42, no. 7, pp. 2490-2498, Jul. 1994.
- [11]F. M. Gardner, *Phaselock Techniques*, 3rd edition. Wiley, Jul. 2005.
- [12]D. B. Leeson, “A simple model of feedback oscillator noise spectrum,” *in Proc. IEEE*, vol. 54, no. 2, pp. 329-330, Feb. 1996.
- [13]J. Rael, and A. A. Abidi, “Physical processes of phase noise in differential LC oscillators,” *in Proc. IEEE 2000 Custom Integrated Circuits Conference, CICC*, May. 2000, pp. 569-572.
- [14]T. H. Lee, and A. Hajimiri, “Oscillator phase noise: a tutorial,” *IEEE Journal of Solid-state Circuits*, vol. 35, no. 3, pp. 326-336, Mar. 2000.
- [15]E. Hegazi, H. Sjoland, A.A. Abidi, “A Filtering Technique to Lower LC Oscillator Phase Noise,” *IEEE Journal of Solid-state Circuits*, vol. 36, no. 12, pp. 1921-1930, Dec. 2001.
- [16]H. Darabi, and A. A. Abidi, “Noise in RF-CMOS Mixers: A simple physical model,” *IEEE Journal of Solid-state Circuits*, vol. 35, no. 1, pp. 15-25, Jan. 2000.
- [17]B. Razavi, “A Study of Phase Noise in CMOS Oscillators,” *IEEE Journal of Solid-state Circuits*, vol. 31, no. 3, pp. 331-343, Mar. 1996.
- [18]M. H. Perrott, M. D. Trott, and C. G. Sodini, “A modeling approach for Σ - Δ fractional-N frequency synthesizer allowing straightforward noise analysis,” *IEEE Journal of Solid-state Circuits*, vol. 37, no. 8, pp. 1028-1038, Aug. 2002.
- [19]X. Gao, E. Klumpering, M. Bohsali, and B. Nauta, “A low noise sub-sampling PLL in which divider noise is eliminated and PD/CP noise is

-
- not multiplied by N^2 ,” *IEEE Journal of Solid-state Circuits*, vol. 44, no. 12, pp. 3253-3263, Dec. 2009.
- [20]M. Kozak and I. Kale, “A Pipelined Noise Shaping Coder for Fractional-N Frequency Synthesis”, *IEEE Trans. Instrumentation and Measurement*, vol. 50, no. 5, pp. 1154-1161, Oct. 2001.
- [21]A. M. Fahim and M. I. Elmasry, “A Wideband Sigma-Delta Phase-Locked-Loop Modulator for Wireless Application”, *IEEE Trans. Circuits and Systems-II*, vol. 50, no. 2, pp. 53-62, Feb. 2003.
- [22]C. Y. Yang, J. W. Chen, M. T. Tsai, “A High-Frequency Phase-Compensation Fraction-N Frequency Synthesizer,” *IEEE International Symposium on Circuits and Systems, ISCAS*, vol. 5, May. 2005, pp. 5091-5094.
- [23]C. Y. Yang, C. H. Chang, J. H. Weng, and H. M. Wu, “A 0.5/0.8-V 9-GHz Frequency Synthesizer With Doubling Generation in 0.13- μ m CMOS,” *IEEE Transaction on Circuits and Systems-II*, vol. 58, no. 2, pp. 65-69, Feb. 2011.
- [24]S. L. J. Gierkink, S. Levantino, R. C. Frye, C. Samori, and V. Bocuzzi, “A low-phase-noise 5-GHz CMOS quadrature VCO using superharmonic coupling,” *IEEE Journal of Solid-state Circuits*, vol. 38, no. 7, pp. 1148-1154, Jul. 2003.
- [25]J. Lee et al., “A 75-GHz phase-locked loop in 90-nm CMOS technology,” *IEEE Journal of Solid-state Circuits*, vol. 43, no. 6, pp. 1414–1426, Jun. 2008.
- [26]A. Axholt et al., “A 2.25mW inductor-less 24GHz CML frequency divider in 90nm CMOS,” *Circuits Theory and Design, ECCTD*, Aug. 2011, pp. 77-80.
-

- [27]C. H. Chang, C. Y. Yang, Y. Lee, J. H. Weng, and N. C. Cheng, “A 3.4mW 2.3-to-2.7GHz Frequency synthesizer in 0.18- μ m CMOS,” *IEEE European Solid-State Circuits Conference, ESSCIRC*, Sep. 2013, pp. 53-56.
- [28]T. Fuse, M. Tokumasu, S. Kawanaka, H. Fujii, A. Kameyama, M. Yoshimi, and S. Watanabe, “A 1.1V SOI CMOS Frequency Divider using Body-Inputting SCL Circuit Technology,” *IEEE International SOI Conference*, Oct. 2000, pp. 106-107.
- [29]J. Yuan and C. Svensson, “High-Speed CMOS Circuit Technique,” *IEEE Journal of Solid-state Circuits*, vol. 24, no. 1, pp. 62-70, Feb. 1989.
- [30]J. A. Hou, C. P. Chang, J. Su, T. S. Liou, S. C. Wong, and Y. Wang, “A Low Supply Voltage VCO Implemented by a Single Common-Source 90nm CMOS Transistor,” *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 1, pp. 64-66, Jan. 2007.
- [31]Y. J. Moon, Y. S. Roh, C. Y. Jeong, and C. Yoo, “A 4.39-5.26 GHz LC-Tank CMOS Voltage-Controlled Oscillator With Small VCO-Gain Variation,” *IEEE Microwave and Wireless Components Letters*, vol. 19, no. 8, pp. 524-526, Aug. 2009.
- [32]S. Yu and P. Kinget, “A 0.65V 2.5 GHz fractional-N frequency synthesizer in 90nm CMOS,” in *Proc. ISSCC Dig. Tech. Papers*, Feb. 2007, pp. 304-305.
- [33]W. Rhee, “Design of high-performance CMOS charge pumps in phase-locked loops,” in *Proc. IEEE Int. Symp. Circuits Syst., ISCAS*, vol. 2, Jun. 1999, pp. 545-548.

- [34]C. L. Ti, Y. H. Liu, and T. H. Lin, “A 2.4-GHz fractional-N PLL with a PFD/CP linearization and improved CP circuits,” in *Proc. IEEE Int. Symp. Circuits Syst., ISCAS*, May. 2008, pp. 1728-1731.
- [35]P. K. Tsai, T. H. Huang, “Integration of Current-Reused VCO and Frequency Tripler for 24-GHz Low-Power Phase-Locked Loop Applications”, *IEEE Transactions on Circuits and Systems-II*, vol. 59, no. 4, pp. 1200-1208, Apr. 2012.
- [36]P. Park, et al., “A low-noise and low-power frequency synthesizer using offset phase-locked loop in 0.13-um CMOS,” *IEEE Microwave and Wireless Components Letters*, vol. 20, no. 1, pp. 52-54, Jan. 2010.
- [37]B. Razavi, “A study of injection locking and pulling in oscillators,” *IEEE Journal of Solid-state Circuits*, vol. 39, no. 9, pp. 1415-1424, Sep. 2004.
- [38]A. Zolfaghari and B. Razavi, “A low-power 2.4-GHz transmitter / receiver CMOS IC,” *IEEE Journal of Solid-state Circuits*, vol. 38, no. 2, pp. 176–183, Feb. 2003.
- [39]C. Y. Yang, G. K. Dehng, J. M. Hsu, S. I. Liu, “New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler,” *IEEE Journal of Solid-state Circuits*, vol. 33, no. 10, pp. 1568-1571, Oct. 1998.
- [40]C. T. Lu, et al., “A low-power quadrature VCO and its application to a 0.6-V 2.4-GHz PLL,” *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 57, no. 4, pp. 793-802, Apr. 2010.