

東海大學電機工程學系

在智慧型切割絕緣層上矽鍵合前加入圖樣設計與

P 型底層結構研製絕緣閘雙極電晶體

The seal of Donghai University is a circular emblem with a scalloped outer edge. It features the university's name in Chinese characters '東海大學' at the top and 'DONGHAI UNIVERSITY' at the bottom. In the center, there is a cross-like symbol above a horizontal line.

**Pattern Engineering in Smart-cut SOI and P-bottom
before Bonding for LIGBT**

研究生：謝明翰

指導教授：龔正 博士

中華民國 106 年 6 月 30 日

東海大學電機工程學系碩士學位
考試委員審定書

電機工程學系研究所 謝明翰 君所提之論文

在智慧型切割絕緣層上矽鍵合前加入圖樣設計與

P型底層結構研製橫向型絕緣閘雙極電晶體，

經本考試委員會審查，符合碩士資格標準。

學位考試委員會 召集人：黃智方 (簽章)

委員：黃家義
苗新元
龔正

中華民國 106 年 06 月 30 日

誌謝

首先感謝指導教授龔正老師，耐心的教導讓我能夠學習自己的不足並提升自己的專業能力，老師不只是學業上的導師，更是人生中的長輩，平時並不是只有課業上的聯繫，也常常談論時事、閒話家常，讓我不會封閉在自己的小世界，而是進一步的去探索並了解國際。

感謝實驗室的學長們，最早從專題生就開始進入 LAB，鄭家慧、鄧傑文、茆俊富、陳湧昌學長，常常幫助我解決剛接觸模擬軟體時遇到的各種問題，能夠順利理解並使用模擬程式，沒有學長們的幫忙是不可能實現的。也感謝其他 LAB 的張勝發、曾柏豪、鄭慎、邱智凱、許育彰、何元程、鄭慶銘學長，讓我可以知道更多領域的知識，學會更多的儀器操作。

感謝同屆一起就讀碩士的同學，從大一住在同一間宿舍開始，陳冠州就常常跟我討論各式各樣的問題，學業上到日常生活大小事都會聊，可以說是從大學到碩士畢業生活中的最要好的夥伴，我的英文程度並不是很好，經常麻煩到王國灃，幫助我更快的理解一些不懂的句子與單詞，同一個 LAB 的張筵崧，擔任助教時常常互相幫助，並且一起研究模擬的問題，也是一起完成碩士口試的夥伴。

電機系系辦的熊一鳴熊哥、周淑珍淑珍姐，總是能夠幫助我們處理和回答一些學校程序相關的問題，能夠順利完成畢業的各項條件，沒有兩位

的幫助是不可能的。

口試委員苗新元老師、黃智方老師、黃宗義博士，感謝三位的建議，讓我修正了論文的不足，還給予我去業界面試時的各項建議與注意事項，這些建議真的非常的寶貴。

最後感謝我的父母，讓我能夠衣食無缺沒有經濟壓力的順利完成學業，謝謝你們的支持。



中文摘要

本研究提出一種有效使 LIGBT 電場均勻並使崩潰電壓提升的結構。使用 SOI 結構，並且採用薄磊晶層的設計，讓表面電場較容易受到絕緣層影響。主要針對絕緣層做圖樣化設計，讓絕緣層的介電材料產生交錯的結構。利用交錯結構接面處產生大電場的特性去影響表面電場薄弱處，主要採用 Smart-Cut SOI 技術，於鍵合前對絕緣層蝕刻，完成絕緣層圖樣化設計。最後完成崩潰電壓超過 600V 的 SOI LIGBT 元件。本研究透過 TCAD 模擬軟體來進行，圖樣設計採用介質電場增強理論，讓圖樣設計之結構可以影響元件表面電場分佈，使得表面電場更加均勻，進而提升崩潰電壓。而崩潰電壓達足夠程度時，便開始嘗試縮短元件結構，犧牲少許的崩潰電壓，降低導通電阻，使得元件得到更好的效能。

英文摘要

This study presents a structure that effectively increases the LIGBT electric field and the collapse voltage. By using SOI structure and the thin-crystal layer design, the isolation layer will affect the surface of the electric field. We make design pattern with isolation layer to generate the overlapping structure of the dielectric material. With the junction of the overlapping structure that generating high electric field to affect the lower part of the surface electric field. By using Smart-Cut SOI, etching the isolation layer before wafer bonding to complete the isolation layer pattern design, and finally carry out the SOI LIGBT component which the breakdown voltage over 600V. We used TCAD to simulation the device. Pattern design using dielectric electric field enhancement theory, that the structure of the design can affect the component surface electric field distribution. The surface of the electric field is more uniform, thereby enhancing the collapse voltage. And the breakdown voltage reaches a sufficient degree, start to shorten the component structure. Sacrifice a little breakdown voltage, to reduce the on-resistance, making the components get better performance.

目錄

第一章 緒論	1
1.1 研究動機	1
1.2 研究目的	1
第二章 文獻探討	3
2.1 SOI 相關文獻探討	3
2.1.1 氧離子植入矽晶隔離法 (Separation by Implanted Oxygen , SIMOX)	3
2.1.2 電漿氧離子植入矽晶隔離法	4
2.1.3 鍵合與蝕刻法 BESOI (Bonding and Etch-Back)	5
2.1.4 磊晶層轉移法 (Epitaxial Layer Transfer , ELTRAN)	5
2.1.5 智慧切割法 (Smart-Cut)	6
2.1.7 遮蔽溝槽 Shielding Trench SOI LDMOSFET (ST SOI LDMOSFET)	9
2.1.8 階梯狀氧化埋層 (Buried Oxide Step Structure SOI)	9
2.1.9 二階氧化埋層 (Buried Oxide Double Step Structure SOI)	10
2.1.10 梯形漂移區厚度 (Varied Lateral Thickness SOI)	11
2.1.11 氣隙埋層 (Buried Air Gap Structure SOI)	11
2.2 LIGBT 文獻探討	12

2.2.1 閃鎖效應	12
2.2.2 P 型井與 P 型埋藏層結構(P sinker and P-type buried layer)	12
2.2.3 自行對準溝槽式結構(Self-aligned trench structure)	13
2.2.4 溝槽式閘極結構(Trench Gate Structure)	14
2.2.5 操作頻率限制	14
2.2.6 陽極短路結構	15
2.2.7 間斷式陽極結構	15
2.2.8 蕭特基陽極結構(Schottky Injection FET)	16
2.3 元件模擬方法	17
2.3.1 Tsuprem-4 概述	17
2.3.2 Tsuprem-4 指令	17
2.3.3 Tsuprem-4 模型	18
第三章 高壓 SOI LIGHT 元件原理探討	20
3.1 RESURF 理論(Reduced Surface Field)	20
3.2 崩潰機制	20
3.2.2 穿透崩潰(Punch-through breakdown)	21
3.3.3 雪崩崩潰(Avalanche Breakdown)	22
3.3.4 氧化層崩潰(Oxide Breakdown)	23

3.3.5 轉折崩潰(Snapback Breakdown).....	23
3.4 導通電阻.....	23
第四章 最佳化高壓 SOI LIGBT 元件電性模擬.....	24
4.1 LIGBT 原型與圖樣化設計.....	24
4.1.1 本論文提出元件之製作流程.....	25
4.1.2 結構加入 P_{top} 對元件產生的影響.....	31
4.1.3 絕緣層圖樣設計原理.....	33
4.1.4 絕緣層圖樣設計最佳化.....	36
4.1.5 元件最佳化後縮短元件寬度.....	40
4.1.6 元件最佳化後各項效能指標與導通電阻.....	41
4.2 元件加入 P-bot 結構後對電性之影響.....	42
4.2.1 在 SOI 元件中植入 P_{bot} 結構之步驟.....	42
4.2.2 加入 P_{bot} 對電性之影響.....	45
第五章 結論.....	50
第六章 參考文獻.....	53

圖目錄

圖 2.1 氧離子植入矽晶隔離法.....	4
圖 2.2 SIMOX 與 SPIMOX 晶圓尺寸與佈植時間比較	4
圖 2.3 BESOI 製程.....	5
圖 2.4 磊晶層轉移製程	6
圖 2.5 Smart Cut 流程圖.....	7
圖 2.6 磊晶層厚度與崩潰電壓關係.....	8
圖 2.7 SOITEC 公司提供 Smart-Cut SOI 客製化產品線及規格.....	8
圖 2.8 Shielding Trench SOI LDMOSFET.....	9
圖 2.9 BOSS SOI LDMOSFET	10
圖 2.10 BODS SOI LDMOS	10
圖 2.11 VLT SOI LDMOSFET	11
圖 2.12 BAGS SOI LDMOSFET	12
圖 2.13 P 型井與 P 型埋藏層結構圖	13
圖 2.14 自行對準溝槽式結構圖.....	13
圖 2.15 溝槽式閘極結構圖	14
圖 2.16 陽極短路結構圖	15
圖 2.17 間斷式陽極結構圖	16

圖 3.1 基納崩潰示意圖	21
圖 3.2 穿透崩潰示意圖	21
圖 3.3 雪崩崩潰示意圖	22
圖 3.4 LIGBT 導通電組組成圖	23
圖 4.1 傳統 SOI LIGBT 結構圖.....	24
圖 4.2 BAGS LIGBT 結構圖	24
圖 4.3 圖樣化設計 LIGBT 結構圖	25
圖 4.4 LIGBT 加入 P_{top} 結構示意圖.....	31
圖 4.5 有無加入 P_{top} 結構模擬圖	32
圖 4.6 有無加入 P_{top} 結構表面電場比較圖.....	32
圖 4.7 有無加入 P_{top} 結構表面電場比較圖.....	33
圖 4.8 傳統 SOI LIGBT 結構模型與表面電場圖	34
圖 4.9 加入 BAGS SOI LIGBT 結構模型與表面電場圖.....	34
圖 4.10 有無加入 BAGS 結構表面電場比較圖.....	35
圖 4.11 有無加入 BAGS 結構崩潰電壓比較圖	35
圖 4.12 圖樣化設計最佳化流程圖	37
圖 4.13 圖樣化設計第一個蝕刻位置	38
圖 4.14 圖樣化設計電場低端位置加入交叉結構.....	38

圖 4.15 圖樣化設計第一蝕刻位置使用交叉結構.....	39
圖 4.16 圖樣化設計加入第三組交叉結構	40
圖 4.17 圖樣化設計元件縮短至 90um.....	40
圖 4.18 圖樣化設計元件縮短至 75um.....	41
圖 4.19 LIGBT 加入 <i>Pbot</i> 結構示意圖.....	45
圖 4.20 圖樣化設計加入 <i>Pbot</i> 結構模擬與表面電場圖	46
圖 4.21 圖樣化設計有無加入 <i>Pbot</i> 結構表面電場比較圖.....	47
圖 4.22 元件縮短至 90um 後加入 <i>Pbot</i> 結構模擬與表面電場圖	47
圖 4.23 元件縮短至 90um 後有無加入 <i>Pbot</i> 結構表面電場比較圖....	48
圖 4.24 元件縮短至 75um 後加入 <i>Pbot</i> 結構模擬與表面電場圖	49
圖 4.25 元件縮短至 75um 後有無加入 <i>Pbot</i> 結構表面電場比較圖 ...	50

表目錄

表 1 結構各項參數	25
表 2 圖樣化設計後 LIGBT 各項效能指標與圖樣化設計 MOSFET .	42
表 3 加入 <i>Pbot</i> 結構後各項效能指標.....	50
表 4 加入優點參數比較表格	51



第一章 緒論

1.1 研究動機

絕緣層上矽(Silicon on Insulator, SOI)結構最初是為了適應太空中高能量輻射線對元件特性的影響，所以經常被用在輻射線防護以及高壓元件的設計上[1]。SOI 技術製作出來的元件具有高絕緣性，能降低寄生電容。

本論文藉由改變設計與材料去調整高壓元件漂移區的電場分佈，進而提高崩潰電壓與降低其導通電阻。研究智慧切割(Smart-Cut) SOI 製程鍵合前加入圖樣設計之電場線分佈以及崩潰電壓的變化與一般 Buried Air Gap Structure (BAGS) 構造的差別。在反向偏壓的情況下舒緩大電場的電力線，進而提高崩潰電壓。而在同樣的崩潰電壓條件底下可以縮短元件長度，也就是說順向偏壓時降低導通電阻增加元件效益。

1.2 研究目的

介質在外加電場時產生感應電荷會削弱電場，原本的外加電場(真空中)與最終介質中電場比值即為介電常數(permittivity),又稱誘電率[2]。如果有高介電常數的材料放在電場中，在介電質內的電場強度會有可觀的下降，傳統半導體使用二氧化矽作為介電材料，其介電係數約為 4，真空的介電係數為 1，乾燥空氣的介電係數接近於 1。

本論文主要依照介質電場增強理論來對 SOI LIGBT 之絕緣層進行圖樣化設計模擬，目的在於利用兩種不同介電系數的材料交界處會有高電場的現象，來影響元件的表面電場，提高崩潰電壓，後續在矽磊晶層底部加入一層 P 型矽(P-bottom, P_{bot})結構，進一步影響表面電場的分佈，以達到元件最佳化。

1.3 論文架構

本論文提出提升 SOI LIGBT 崩潰電壓之鍵合前加入 P_{bot} 並進行圖樣化設計之想法，比較與觀察此構思與 BAGS 和一般傳統 SOI 結構的 LIGBT 元件的電性模擬情況有甚麼不同。第一章說明整體論文的方向與結構，第二章討論 SOI 製程與 IGBT 技術的理論與發展，與本論文中 LIGBT 結構說明，還有元件的模擬方式，第三章探討功率元件的崩潰電壓與導通電阻。第四章討論本論文提出之圖樣化設計結構與想法和元件最佳化，並且與 BAGS 結構、傳統 SOI 結構的電性做比較。第五章是結論。

第二章 文獻探討

2.1 SOI 相關文獻探討

SOI 全名為 Silicon On Insulator，其原理為在矽晶圓上加上二氧化矽(絕緣體)，而後在二氧化矽上加上矽磊晶層。以 SOI 技術製成的元件在散熱性上比較差[3]，主要因為有自體加熱效應，由於 SOI 元件結構比起一般元件結構多了一層絕緣層，當元件導通時，電流產生的熱能無法透過原件基板排出，從而產生通道載子自體加熱的情形[4]，但是 SOI 元件擁有較低的基板漏電流和較高的效能[5]。形成 SOI 結構的技術有下列幾種。

2.1.1 氧離子植入矽晶隔離法 (Separation by Implanted Oxygen, SIMOX)

利用離子佈植將氧離子植入拋光後的矽晶圓中，然後在通氧的環境下進行退火，使晶圓內部植入的氧離子氧化形成二氧化矽埋層，最後再以化學機械研磨(Cheical-Mechanical Polishing, CMP)將表面的二氧化矽層去除。[6][7]

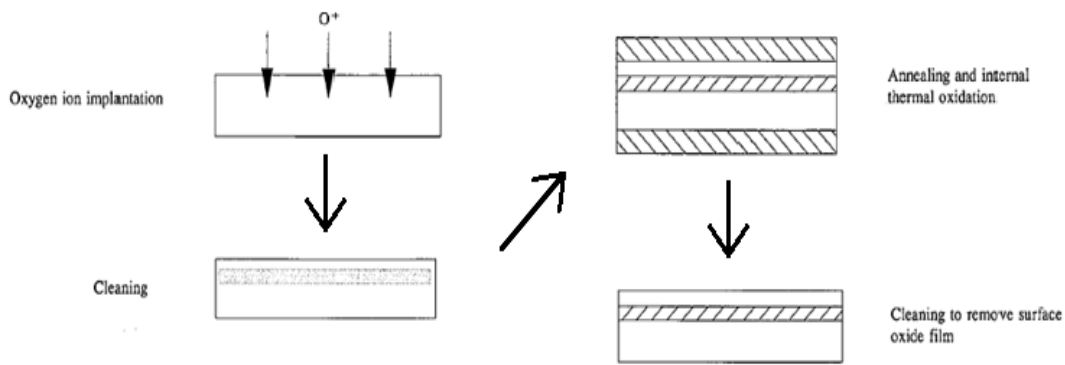


圖 2.1 氧離子植入矽晶隔離法[8]

2.1.2 電漿氧離子植入矽晶隔離法

(Separation by Plasma Implantation of Oxygen, SPIMOX)

電漿氧離子植入矽晶隔離法與氧離子植入矽晶隔離法流程相同，差異在於使用電漿離子佈植(Pasma Immersion Ion Implantation, PIII)取代一般的離子佈植，電漿離子佈植的優點在於相同佈植濃度下電漿離子佈植時間並不會受矽晶圓尺寸影響，有益於減少SOI晶圓的製作時間。[9][10]

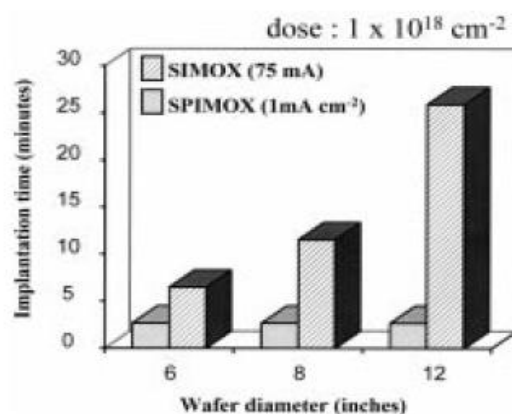


圖 2.2 SIMOX 與 SPIMOX 晶圓尺寸與佈植時間比較[11]

2.1.3 鍵合與蝕刻法 BESOI (Bonding and Etch-Back)

首先準備兩片矽晶圓，於第一片矽晶圓 Seed Wafer 上製作出矽蝕刻終止層(Etch Stop Layer)並在上方長出二氧化矽層，將其與第二片晶圓 Handle Wafer 鍵合(Bonding)，經由選擇性蝕刻對 Seed Wafer 進行快速蝕刻，蝕刻至終止層後改用 CMP 研磨至所要之磊晶層厚度為止。
[12][13][14]



圖 2.3 BESOI 製程

2.1.4 磊晶層轉移法 (Epitaxial Layer Transfer, ELTRAN)

於 Seed Wafer 上利用陽極氧化反應(Anodizer)產生出多孔矽 (Porous Si) 薄膜，然後在薄膜上利用化學氣相沉積(Cheical Vapor Deposition, CVD)形成矽磊晶層，再於磊晶層上方長出二氧化矽，之後與 Handle Wafer 鍵合。因為多孔矽的機械強度較弱，可以直接用外力將兩片晶圓由多孔矽處分離，而原先於 Seed Wafer 上的 SOI 結構

將會轉移到 Handle Wafer 圓上。最後使用選擇性蝕刻去除 SOI 結構上的多孔矽，再將 SOI 晶圓進行退火完成。[15][16]

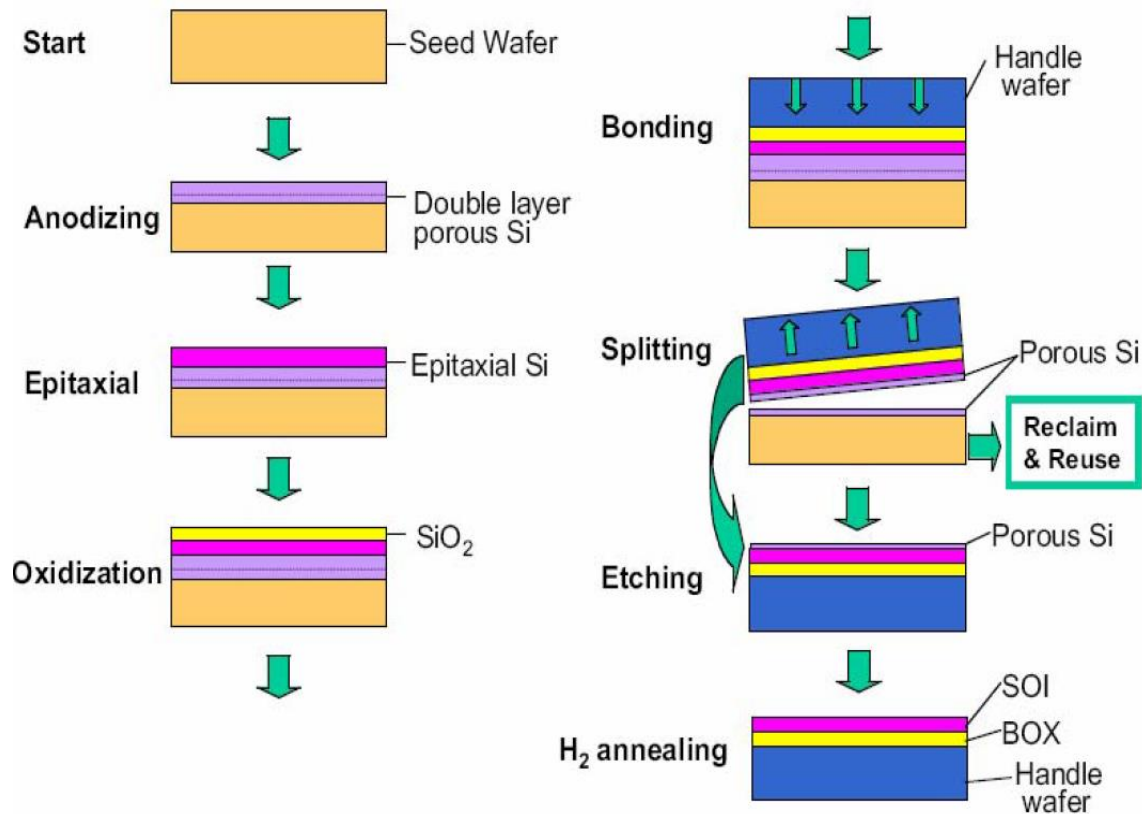


圖 2.4 磊晶層轉移製程

2.1.5 智慧切割法 (Smart-Cut)

準備兩片矽晶圓，於 Seed Wafer 上長出二氧化矽層，之後利用離子佈植將高濃度的氫離子植入，隨後與 Handle Wafer 鍵合並退火。退火的過程中植入高濃度氫離子的區域會自行破裂，即可將 Seed Wafer 剝除，剝除的晶圓可於下次的 Smart-Cut 製程繼續使用，而 SOI 結構會轉移到 Handle Wafer 上，最後利用 CMP 將磊晶層研磨至指定厚度

即可。而在離子佈植時植入原子序最小的氫離子，是因為可以大幅降低與矽原子碰撞所造成的磊晶層晶格缺陷。[17][18][19][20]

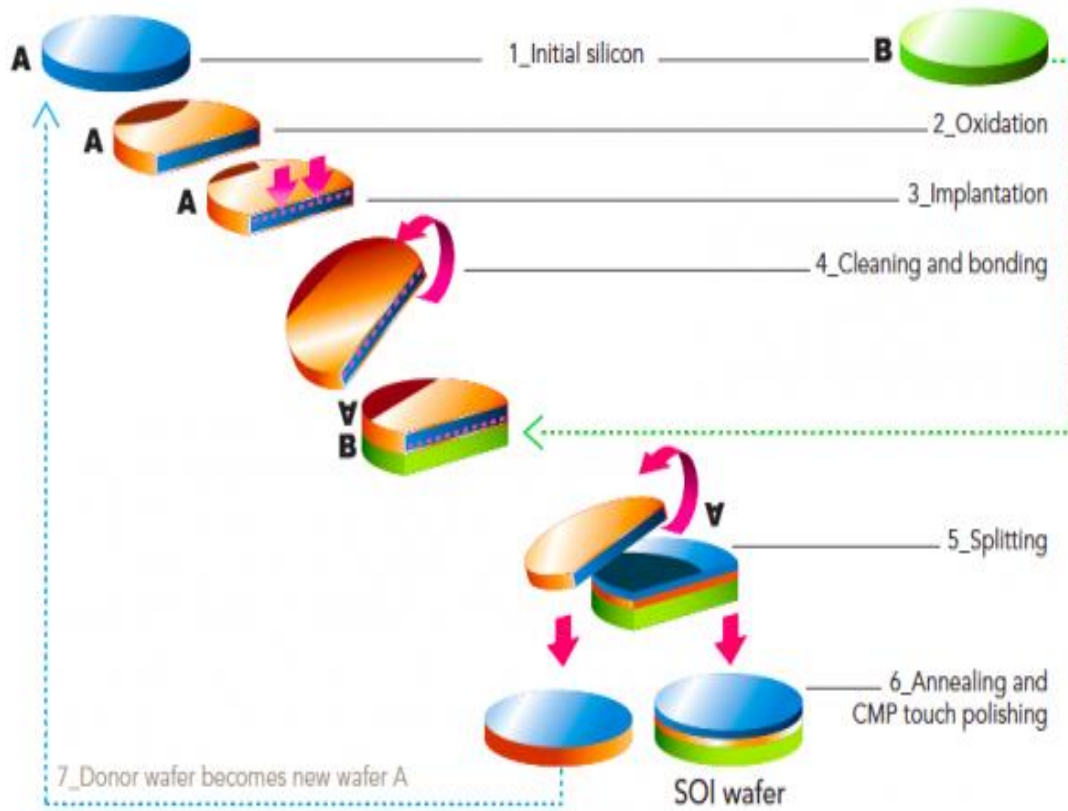


圖 2.5 Smart Cut 流程圖[21]

2.1.6 磊晶層厚度

一般而言磊晶層厚度越厚，元件的崩潰電壓將會越高，但若將磊晶層厚度薄到一定程度之後，反而能使電場分布均勻，使得崩潰電壓上升。[22][23]

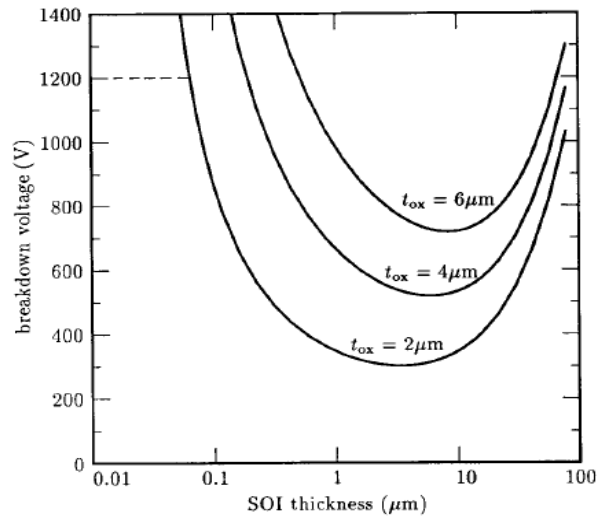


圖2.6 磊晶層厚度與崩潰電壓關係

但是磊晶層厚度又與導通電阻成反比，若為了追求高崩潰電壓而將磊晶層變薄，導通電阻將會上升，因此本論文參考SOITEC公司針對高功率元件所提供的Smart-Cut SOI客製化的規格如圖2.7，以及磊晶層厚度與崩潰電壓關係，將電性模擬時的磊晶層厚度定於 $1.8\mu\text{m}$ 。

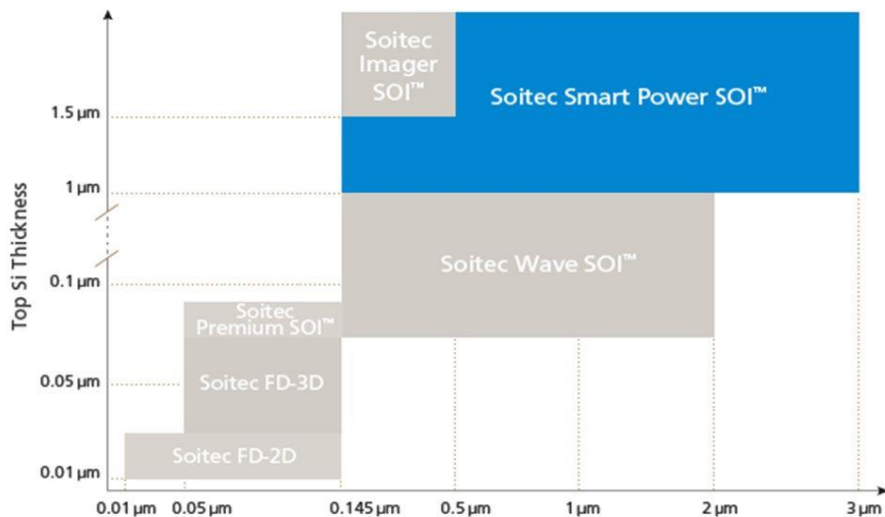


圖 2.7 SOITEC 公司提供 Smart-Cut SOI 客製化產品線及規格[24]

2.1.7 遮蔽溝槽 Shielding Trench SOI LDMOSFET (ST SOI LDMOSFET)

透過調整絕緣層上方的Shielding Trench結構的密度，能讓電場分布均勻，間接提高表面的水平電場。[25][26]

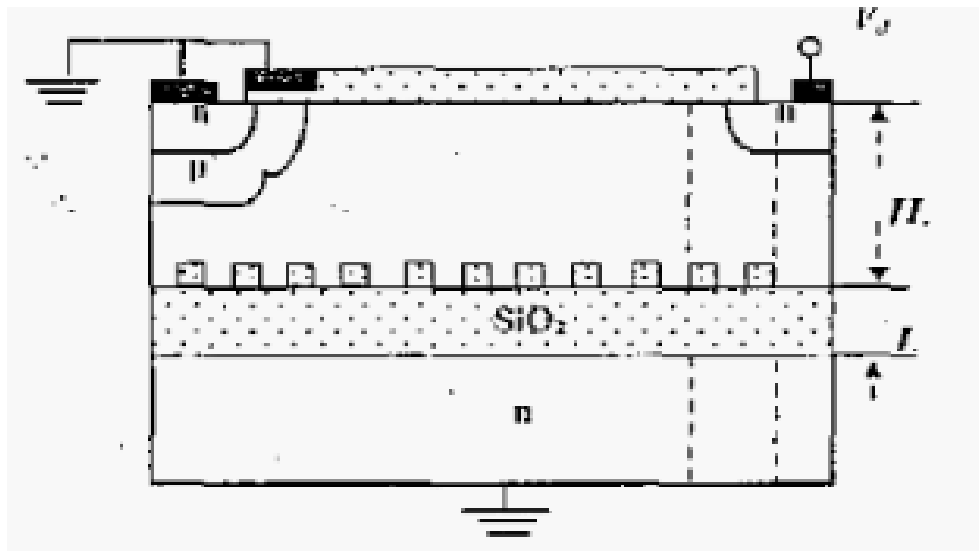


圖 2.8 Shielding Trench SOI LDMOSFET

2.1.8 階梯狀氧化埋層 (Buried Oxide Step Structure SOI)

將BOX層與基板之間製作出階梯式的結構，Drain端下方BOX層較Source端下方厚，藉由改變階梯的位置調整接面水平電場的分佈，讓表面水平電場更均勻，加入越多階越能將電場推至Source端下方，並且改變崩潰點的位置，藉此提升崩潰電壓。[27][28]

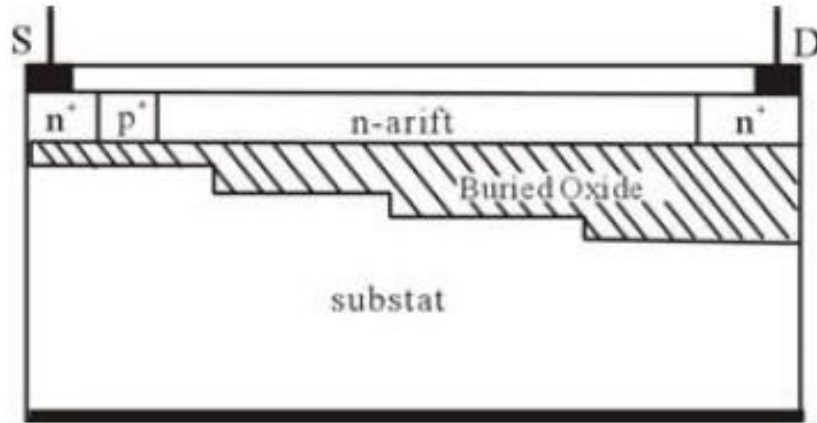


圖 2.9 BOSS SOI LDMOSFET

2.1.9 二階氧化埋層(Buried Oxide Double Step Structure SOI)

將BOX層與磊晶層、基板之間製作階梯型結構，Drain端下方磊晶層較厚，可以紓解Drain端下方垂直電場，比起一般結構及上述的BOSS結構，調節電場的能力更加優秀，在相同的崩潰電壓情形下，可提升磊晶層的摻雜濃度，達到降低導通電阻的效果。[29][30]

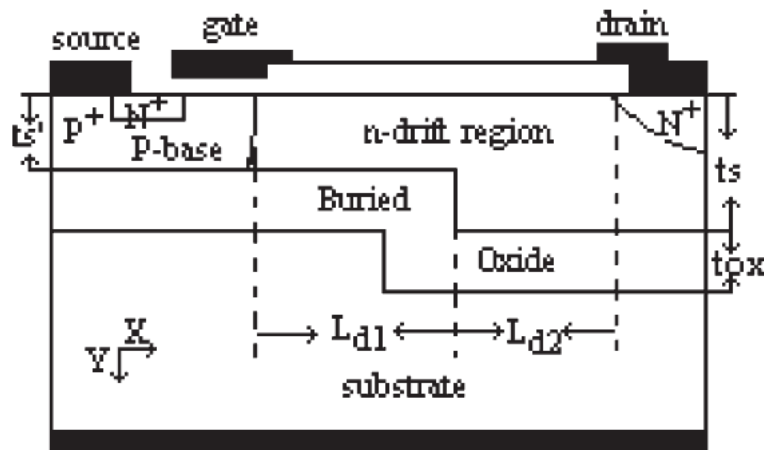


圖 2.10 BODS SOI LDMOS

2.1.10 梯形漂移區厚度(Varied Lateral Thickness SOI)

利用磊晶層由Drain端至Source端由厚漸薄的結構，紓解Drain端下方磊晶層的垂直電場，藉此於漂移區表面獲得均勻的電場分佈，提升崩潰電壓，而較厚的磊晶層允許更多的電流通過，因此與一般的SOI LDMOS相比降低導通電阻的能力更加顯著。[31]

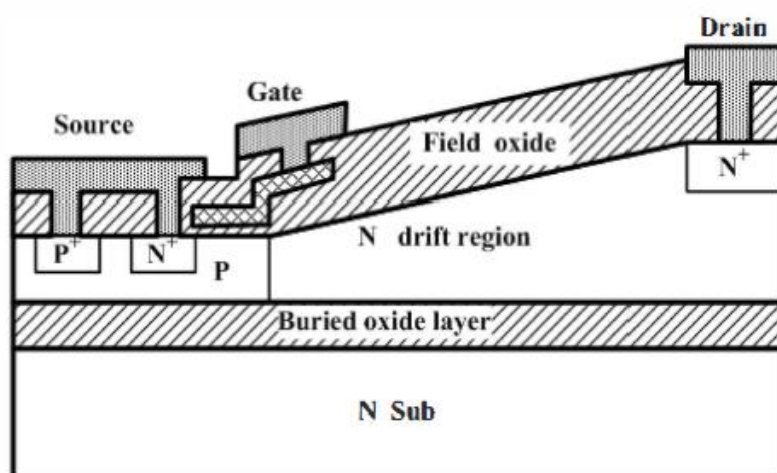


圖 2.11 VLT SOI LDMOSFET

2.1.11 氣隙埋層(Buried Air Gap Structure SOI)

在SOI鍵合前對二氧化矽進行蝕刻，鍵合後BOX層會形成一個二氧化矽與空氣交接的結構，在反向偏壓的情形下，二氧化矽與空氣之間會因為介電係數的不同，會在BOX層與磊晶層界面處產生一個高電場，若磊晶層厚度越薄則交接處的高電場越能影響表面電場，而與BOSS結構相比Drain端下方BOX層材料由空氣取代較厚的二氧化矽埋層，因此可以有效降低寄生電容的產生。[32][33]

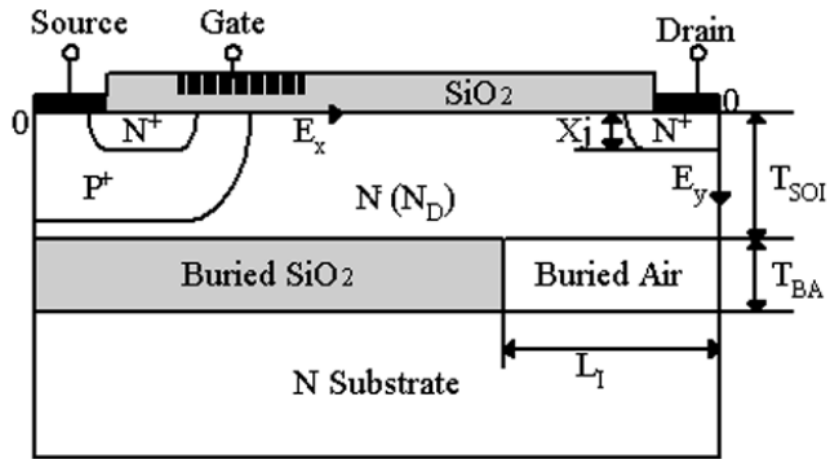


圖 2.12 BAGS SOI LDMOSFET

2.2 LIGBT 文獻探討

LIGBT 因為比 LDMOSFET 有較低的導通電阻，而且可以和低壓的 CMOS 電晶體結合在同一個晶片內，因此成為研發的關注重點。常見的元件效應和結構敘述如下。

2.2.1 閃鎖效應

陽極端 P^+ 注入 N 型漂移區的電洞流流經陰極端 N^+ 下方區塊，產生壓降導致寄生 NPN 電晶體 (N^+ 、 P -base、 N -epi) 導通，並且與橫向 PNP (P^+ 、 N -epi、 P -base) 形成正回授，因此引發大電流。產生閃鎖效應時元件將會失去控制電流的能力，持續時間過長還會對元件產生永久性的破壞。[34][35][36]

2.2.2 P 型井與 P 型埋藏層結構 (P sinker and P-type buried layer)

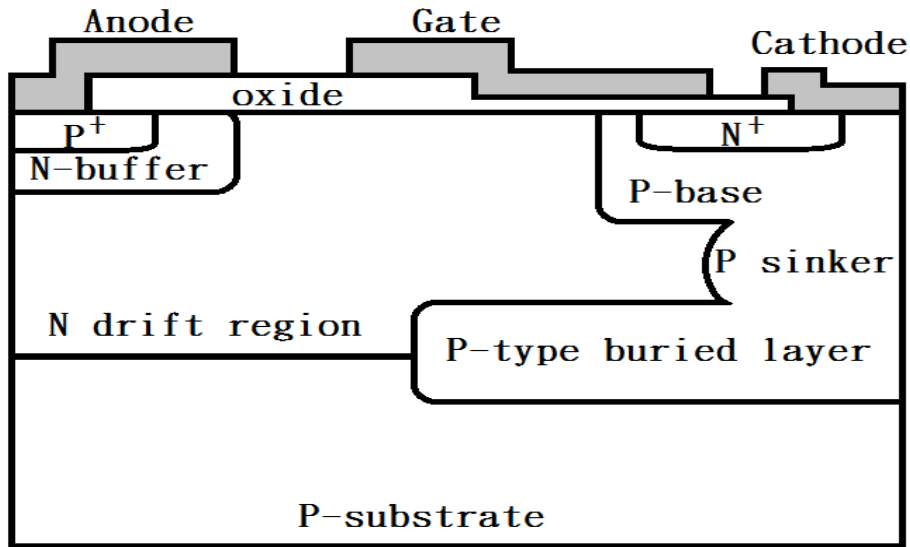


圖 2.13 P 型井與 P 型埋藏層結構圖

如圖 2.13 所示，利用 P sinker 層降低寄生電阻之阻值，P sinker 作為電洞的路徑流向 P-type buried layer，使得流過 P-base 的電流變少，減少導通寄生 NPN 電晶體基極與射極兩端的壓降，減少閃鎖效應的發生。[37]

2.2.3 自行對準溝槽式結構(Self-aligned trench structure)

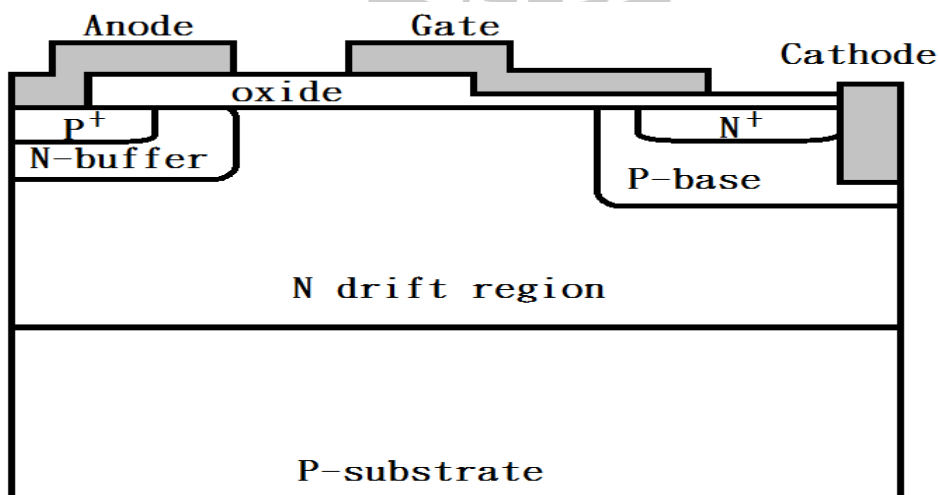


圖 2.14 自行對準溝槽式結構圖

圖 2.14 中，元件在陰極端蝕刻一垂直凹槽，使得金屬能夠接觸到 N^+ 與 P-base，藉此縮短了電流流過 P-base 層的距離，減少壓降。
[38][39]

2.2.4 溝槽式閘極結構(Trench Gate Structure)

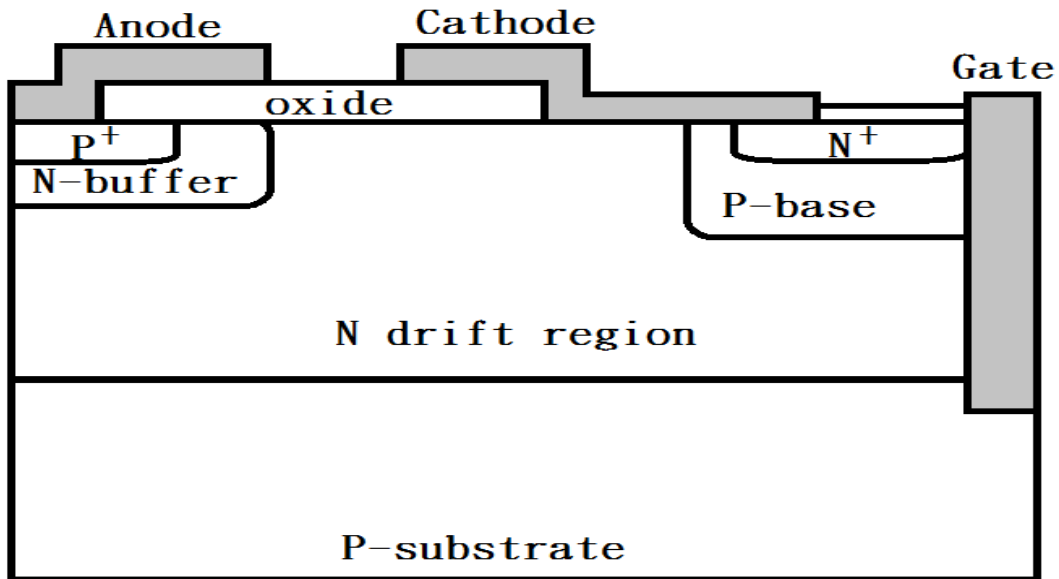


圖 2.15 溝槽式閘極結構圖

圖 2.15 結構中，將陰極端與閘極端位置交換，利用改變電流路徑的方式，使得電流不需要經過 P-base，而是直接流到陰極。由於電流路徑改變，寄生 NPN 電晶體導通所需要的 0.7V 電壓降便不會產生，使得門鎖效應獲得改善，不過這個結構的製程困難，較不容易使用。
[40]

2.2.5 操作頻率限制

LIGBT 元件導通與關閉的切換過程中，少數載子因為複合與擴散衰減，影響到元件的操作速度，延緩了元件關閉的時間，導致 LIGBT

無法在高頻操作。

2.2.6 陽極短路結構

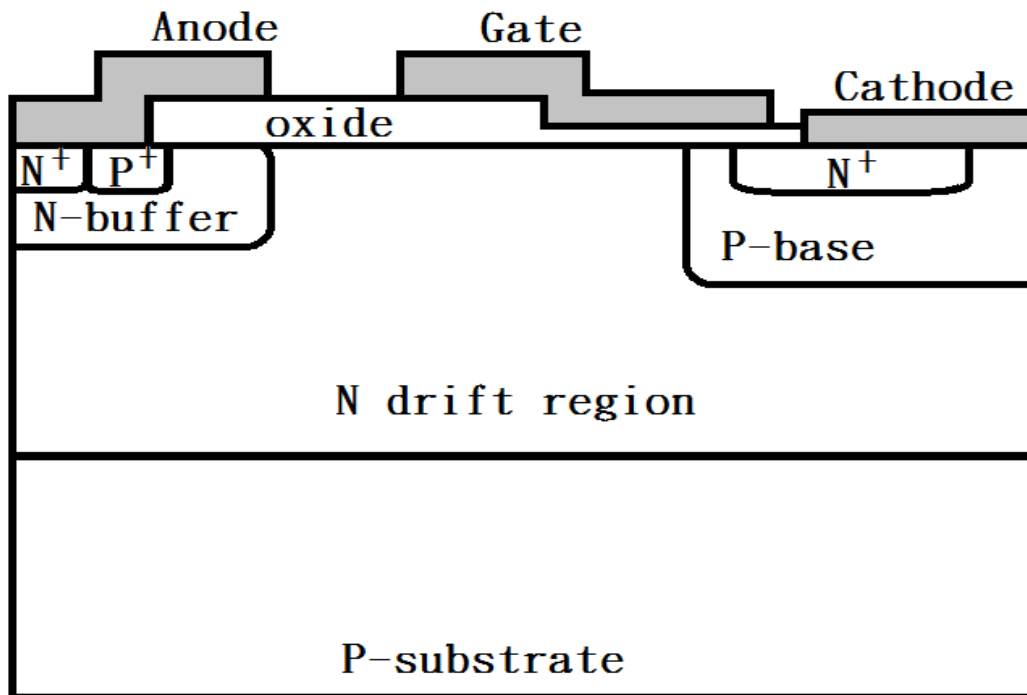


圖 2.16 陽極短路結構圖

圖 2.16 的結構中，為了加速少數載子移除的過程，在陽極 P^+ 旁邊增加一個 N^+ 區域，藉此增加一條路徑讓少數載子能由 N 型漂移區 (N-drift region) 經過 N 型緩衝層 (N-buffer layer) 到達陽極 N^+ 後被移除，提升了元件的切換速度，此結構的優點在於不必增加一道光罩即可完成。[41]

2.2.7 間斷式陽極結構

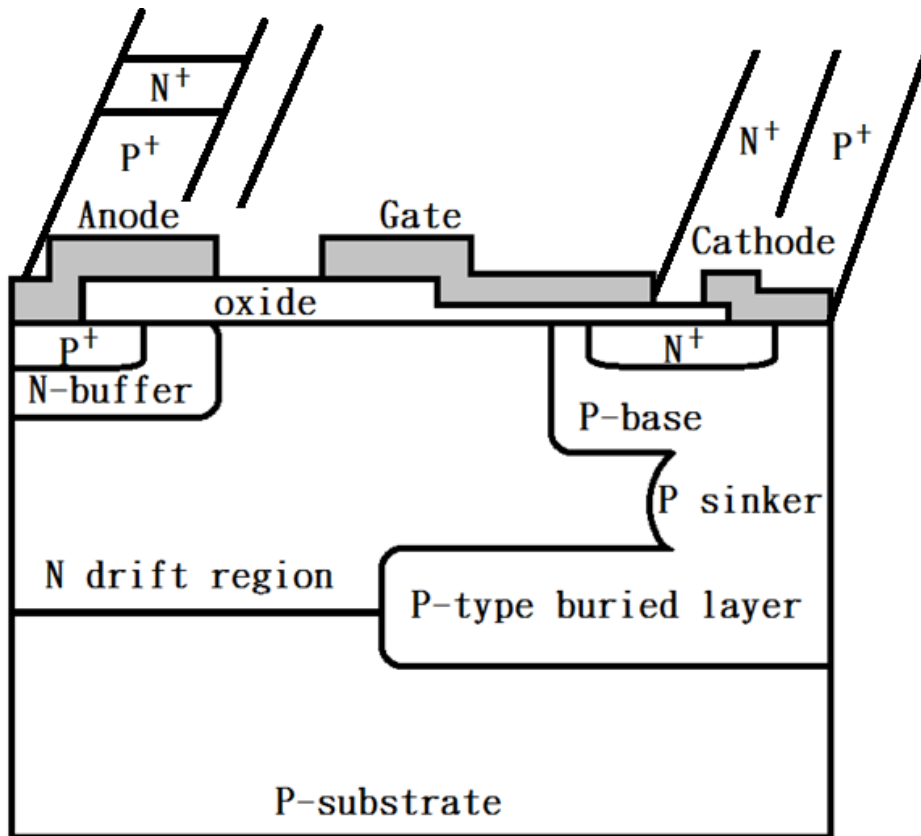


圖 2.17 間斷式陽極結構圖

圖 2.17 此結構是將傳統 LIGBT 陽極，沿著 Z 軸方向，將部分 P^+ 替換成 N^+ ，當元件由導通切換至關閉時， N^+ 陽極區域提供少數載子由漂移區經過 N 型緩衝層的路徑，原理類似於陽極短路結構，但是整體元件面積由於不會額外增加陽極面積，所以比起陽極短路結構還要小。[42]

2.2.8 蕭特基陽極結構(Schottky Injection FET)

此結構改變陽極端的摻雜，將原本的 PN 接面替換成蕭特基二極體，在元件導通時蕭特基接面會注入適量的少數載子來傳導調變。所以當元件切換至關閉時，受到傳導調變影響，少數載子殘留數量比起

傳統的 LIGBT 還要少，降低排除少數載子的時間，提升元件切換的速度。

2.3 元件模擬方法

本論文結構主要依靠 TCAD 軟體進行元件結構與電性的模擬，

2.3.1 Tsuprem-4 概述

Tsuprem-4 是一套功能相當優秀的製程模擬軟體，它可以用來模擬單一元件及積體電路模型，涵蓋了目前製程上常用的步驟，磊晶成長 (Epitaxy Growth)、沉積 (Deposition)、高溫氧化(Oxidation)、蝕刻(Etching)、擴散(Diffusion)、離子佈植(Ion Implantation)以及鈍氣驅入(Inert Ambient Drive-in)等等。[43]

同時，Tsuprem-4 也能模擬矽晶片內部的點缺陷(Point Defect)，例如間隙(Interstitial)與空位(Vacancy)之分佈(Distribution)以及因氧化速度之不同所造成氧化層(Oxidation Layer)之不同分佈。

2.3.2 Tsuprem-4 指令

指令包括五種類型：

- 1.文件與控制指令：COMMENT, SOURCE...等。
- 2.定義器件結構的命令：MESH、LINE、INITIALIZE...等。
- 3.工藝步驟命令(TSUPREM-4 的核心)：ETCH、IMPLANT、DIFFUSION...

4.輸出命令：SELECT、ELETRICAL...等。

5.模型與係數控制命令：METHOD、ARSENIC、BPRON、PHOSPHORUS...

2.3.3 Tsuprem-4 模型

擴散模型

擴散在半導體製程中是很常使用的步驟，它是一種高溫擴散，其中所謂的擴散是指物質中原子或分子因高溫活化，而從高濃度往低濃度移動，以半導體而言，擴散要具備兩個條件，一是濃度必須呈現梯度，二是其中的高溫必須達到 800°C 以上。

離子佈植模型

離子植入法是將摻質離子化，再藉由加速器加速，直接將離子化摻質打入矽晶片中，以進行摻雜的預置。離子植入法可以更精確的控制摻質在晶片裡的濃度及分佈。

氧化模型

將矽晶片放在高溫且含氧的環境中，一段時間後在矽晶片上會長出一層二氧化矽絕緣體，這個過程為高溫氧化。

2.3.4 Medici 概述

Medici 是一款二維數值仿真軟體。它對勢能場和載子的二維分佈建模，通過 Poisson's equation 和電子、電洞的電流連續性等方程來獲

取電學特性。此軟體也可以對二極體、MOS、IGBT 等半導體元件進行模擬。Medici 主要用於分析元件電性，可以用來分析元件在暫態情況下的變化。

2.3.5 Medici 的基本物理描述

Medici 的主要功能就是分別對靜電勢 Ψ 、電子濃度 n 和電洞濃度 p 解三大連續微分方程，包括 Poisson equation、連續性方程和 Boltzmann transport equation（即電流密度方程）。

2.3.6 Medici 語法

- 1.MESH：初始化網表的生成
- 2.X.MESH：描述 X 方向上的網格線的位置
- 3.Y.MESH：描述 Y 方向上的網格線的位置
- 4.ELIMINATE：沿著網格線縮減節點
- 5.SPREAD：沿著水平網格線調整節點的垂直位置器件求解的物理模型
- 6.MODELS：用來描述模擬過程中的物理模型
- 7.SYBOLIC：可用來選擇模擬時用的求解方法
- 8.METHOD：用來對特定的求解方法選擇特殊的技巧
- 9.SOLVE：用來選擇分析類型,可以被用於穩態、暫態、交流小訊號。

第三章 高壓 SOI LIGBT 元件原理探討

3.1 RESURF 理論(Reduced Surface Field)

IGBT 本來是垂直結構的元件，耐壓主要依靠增加磊晶層厚度，不過這種做法會增加元件的導通電阻。LIGBT 元件屬於橫向結構，增加磊晶層厚度的方法已經不適用了，必須採用 RESURF 的方式，來提高元件耐壓。

西元 1979 年，J.A.Appeals 和 H.M.J.Vaes 提出了 RESURF 原理 [44]，RESURF 理論主要在於，讓漂移區完全空乏，藉此捨棄厚的磊晶層，改採用薄的磊晶層，由於基底和漂移區接面的空乏區往漂移區延伸，加上 P 基極區和漂移區之間的空乏區也向漂移區延伸，兩側空乏區結合導致漂移區的空乏區大幅增加，改變了表面電場，使得表面電場產生了雙峰，達到提高耐壓的效果。[45][46][47]

3.2 崩潰機制

元件耐高壓的程度在於 PN 接面對逆向偏壓的承受度，當逆向偏壓超過其承受度時，元件內部 PN 接面崩潰，元件的電流快速增加，此情況稱為崩潰。常見的崩潰現象有下列幾種。

3.2.1 基納崩潰(Zener breakdown)

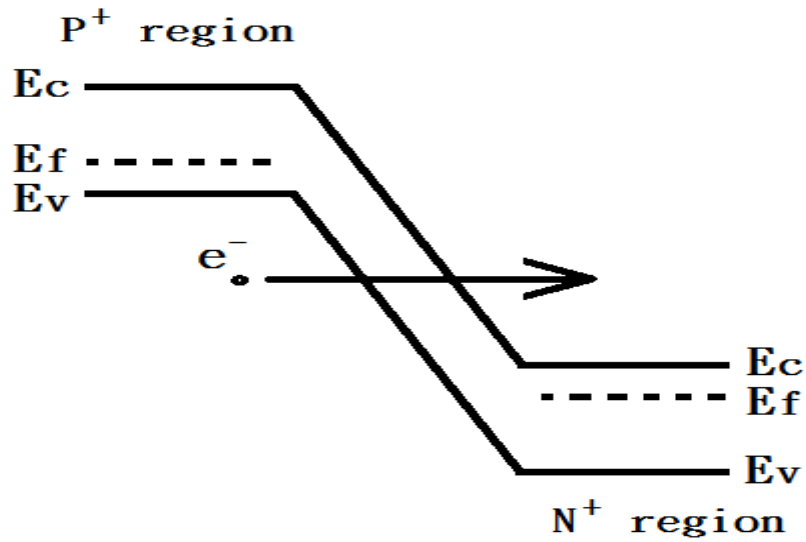


圖 3.1 基納崩潰示意圖

基納崩潰容易發生在高濃度摻雜的PN接面上，施加逆向偏壓的情況時，P型區域與N型區域的費米能階差異過大，使得P型區域價帶(Vallence Bands)中的電子可以直接穿隧至N型區域的導電帶(Conduction Bands)中，造成漏電流導致元件崩潰。[48]

3.2.2 穿透崩潰(Punch-through breakdown)

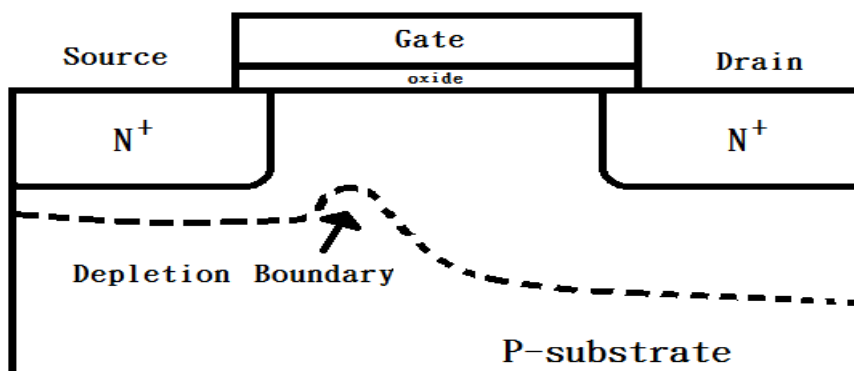


圖 3.2 穿透崩潰示意圖

穿透崩潰屬於雙界面崩潰，以 MOSFET 為例，在逆向偏壓的情況下，Drain 端與 Source 端太過接近，逐漸加大的逆向偏壓使得 Drain 端與 Source 端的空乏區相接，形成連續界面，讓大量載子從 Source 端注入 Drain 端形成電流導致元件崩潰。[49]

3.3.3 雪崩崩潰(Avalanche Breakdown)

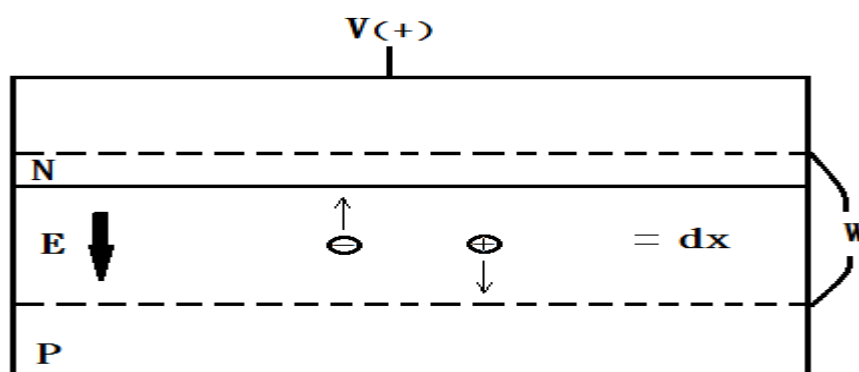


圖 3.3 雪崩崩潰示意圖

PN 半導體兩邊均不是高濃度摻雜時，在逆向偏壓的情況下，空乏區內的載子會在熱游離(Thermal-generation)或準中性區(Quasi-neutral region)漂移，此時載子受到逆向偏壓產生的界面電場加速。當載子在電場中獲得足夠的能量去碰撞矽原子，藉此產生新的電子電洞對，新的電子電洞對又會被加速去碰撞其他的矽原子，此現象稱為游離化碰撞，游離化碰撞的現象持續發生時，發生速率會不斷上升，當發生速率達到無窮大時即為崩潰。此現象稱為雪崩崩潰，也是

一般功率元件主要的崩潰機制。

3.3.4 氧化層崩潰(Oxide Breakdown)

由於橫跨氧化層的電場達到臨界值，所引發的崩潰情形，一般來說只要提高氧化層厚度即可避免此情況。[50]

3.3.5 轉折崩潰(Snapback Breakdown)

主要是元件內部的寄生電晶體，由於元件內部電流過多，導致其導通所產生的崩潰情形。

3.4 導通電阻

LIGBT 的導通電阻為陽極端與陰極端之間的總電阻，當元件工作在線性區時，透過導通電流與元件兩端的壓降存在的比例關係，可以計算出導通電阻 R_{on} ，圖 3.4 標示 LIGBT 的總電阻組成， R_D 為 N 型漂移區的電阻值， R_A 為累積區電阻， R_{CH} 為閘極下方通道阻值， R_{N^+} 為陰極 N^+ 的電阻值。

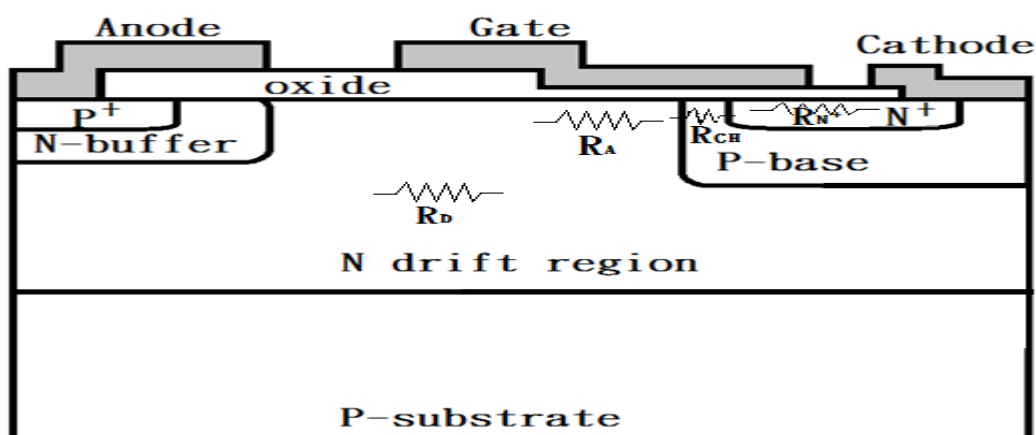


圖 3.4 LIGBT 導通電阻組成圖

第四章 最佳化高壓 SOI LIGBT 元件電性模擬

4.1 LIGBT 原型與圖樣化設計

首先模擬出 SOI LIGBT 原型，如圖 4.1 所示，模擬電性後觀察表面電場，選擇電場低端處模擬 BAGS 結構如圖 4.2，完成後找出 BAGS 電場低端處進行圖樣設計製作出圖 4.3。

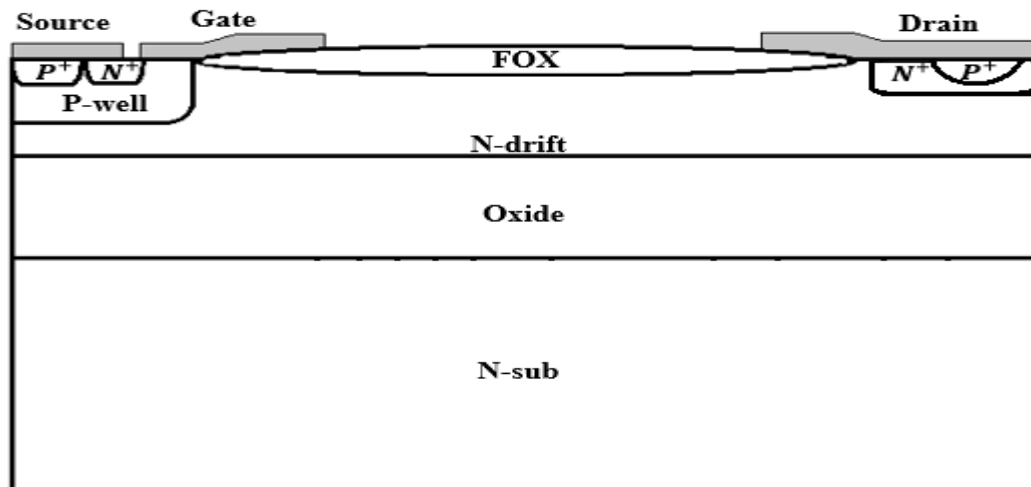


圖 4.1 傳統 SOI LIGBT 結構圖

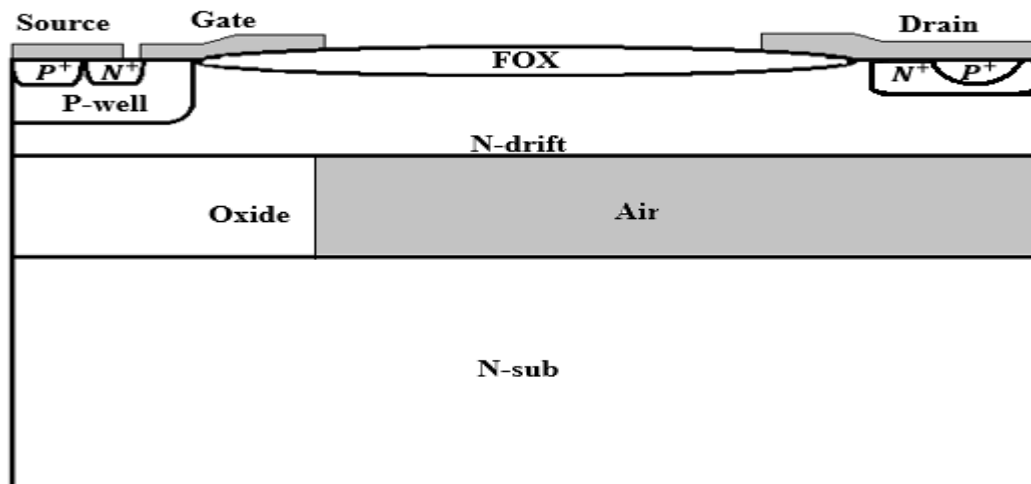


圖 4.2 BAGS LIGBT 結構圖

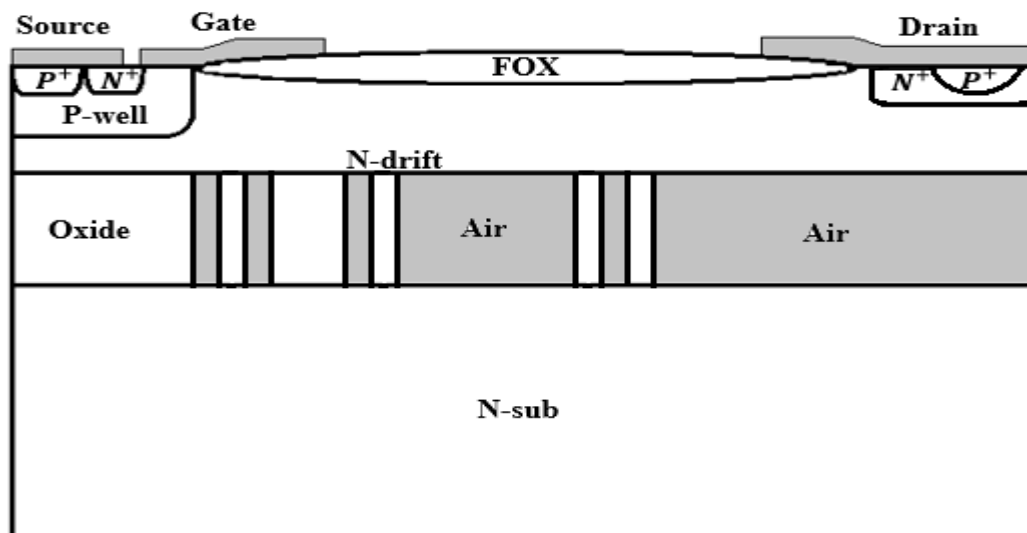


圖 4.3 圖樣化設計 LIGBT 結構圖

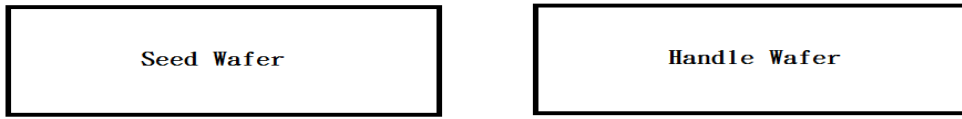
表 1 結構各項參數

結構參數			
N-drift 厚度	1.8 μm	N-sub 濃度	$5\text{e}15 \text{ cm}^{-3}$
N-drift 濃度	$5\text{e}15 \text{ cm}^{-3}$	N+濃度	$1\text{e}16 \text{ cm}^{-2}$
Oxide 厚度	3 μm	P+濃度	$1\text{e}18 \text{ cm}^{-2}$
N-sub 厚度	15.2 μm	P-well 濃度	$3\text{e}13 \text{ cm}^{-2}$

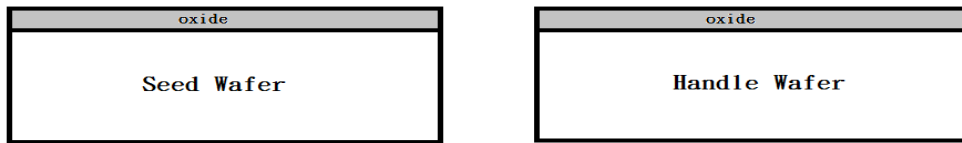
4.1.1 本論文提出元件之製作流程

首先是 SOI Wafer，利用 SOITIC 的 Smart-Cut 技術為基礎，並於鍵合前對二氧化矽層蝕刻形成本論文提出之圖樣。鍵合後即可在 BOX 層形成氧埋層與氣隙交錯之結構，步驟如下：

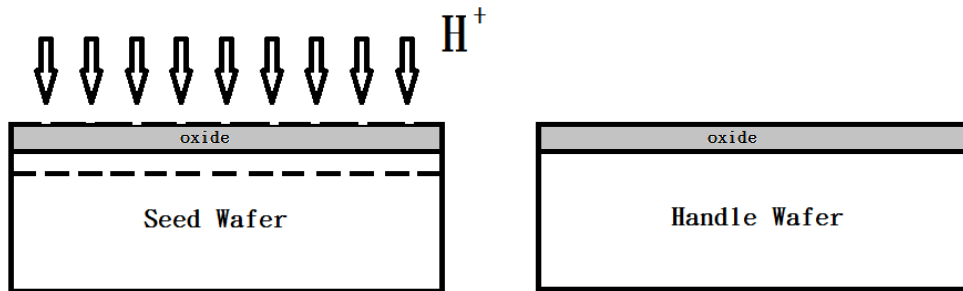
第一步:準備兩片晶圓



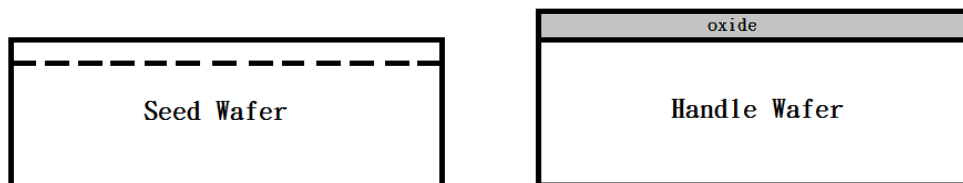
第二步:於兩片晶圓上成長二氧化矽



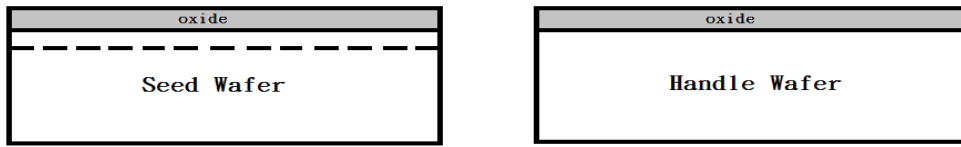
第三步:將高濃度氫離子佈植於Seed Wafer



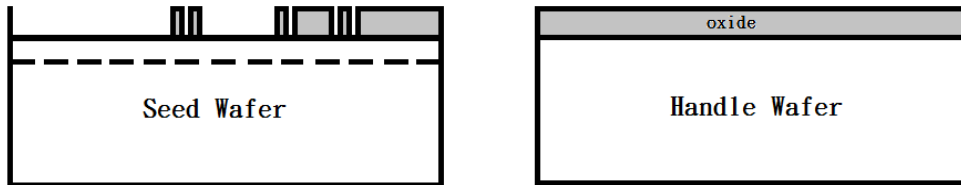
第四步:移除受損二氧化矽



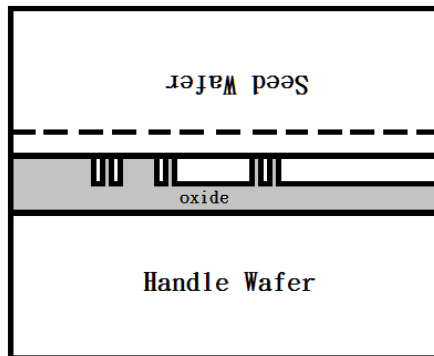
第五步: 於Seed Wafer上重新成長二氧化矽層



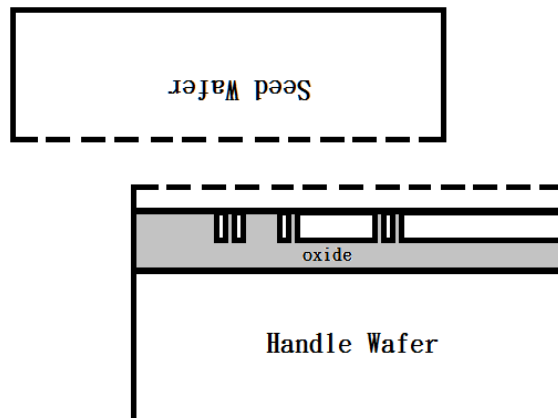
第六步: 對Seed Wafer二氧化矽層蝕刻



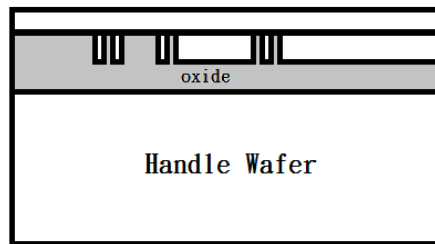
第七步: 翻轉Seed Wafer並鍵合於Handle Wafer上



第八步: 將鍵合後的晶圓退火，退火時第三步佈植於Seed Wafer之氫離子層將會斷開

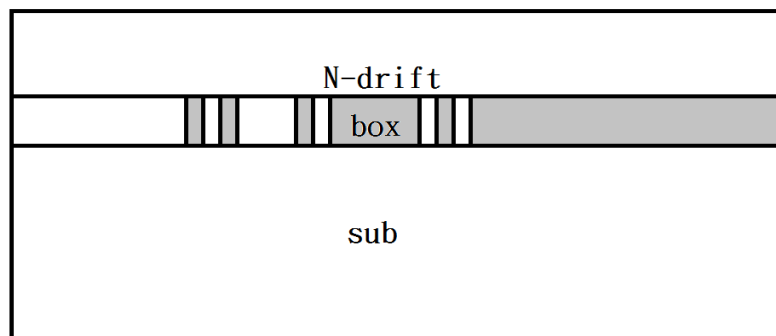


第九步:剝除Seed Wafer後，利用CMP技術將剝離處磊晶層磨平至指定厚度

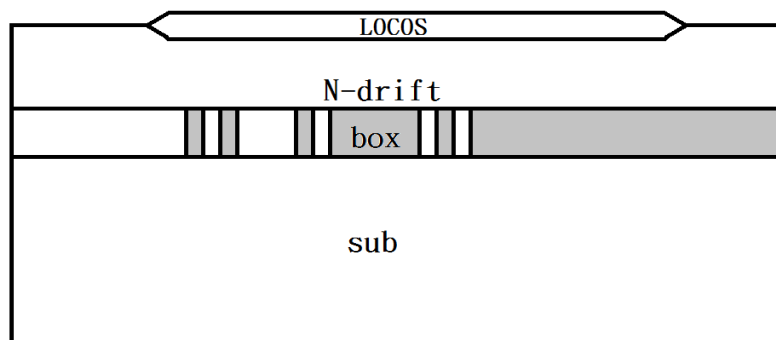


SOI Wafer 完成後即可製作所需之 LIGHT 結構，製作流程如下:

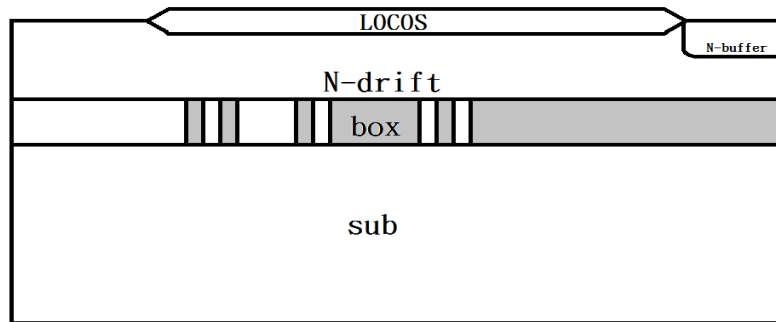
第一步:清洗SOI Wafer表面，去除雜質



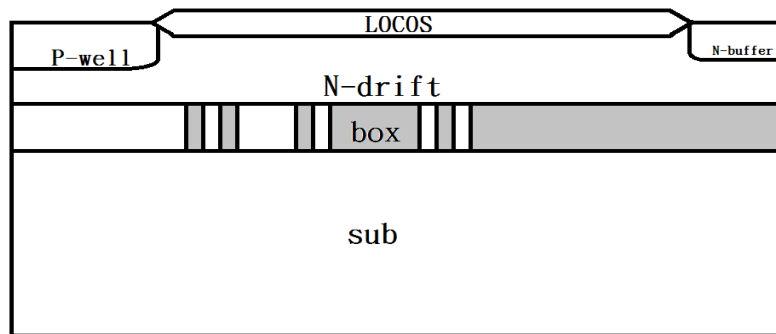
第二步:在表面製作局部場氧化層LOCOS



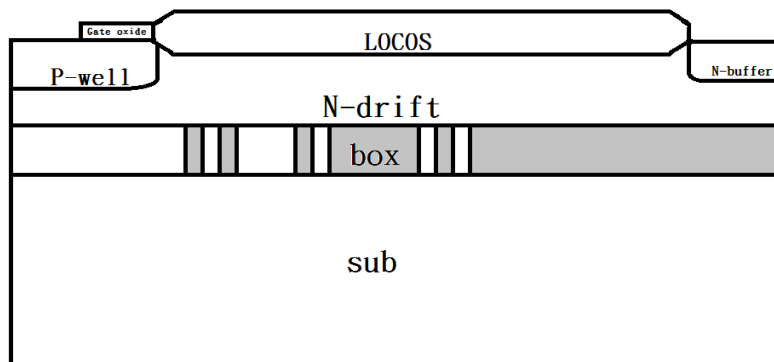
第三步：離子佈植植入N形成N-buffer



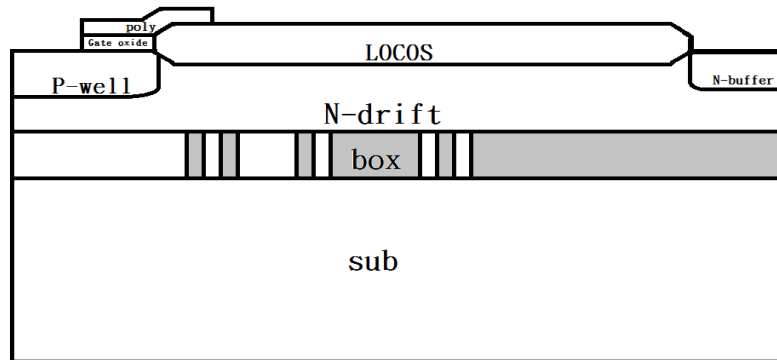
第四步：離子佈植植入P-well



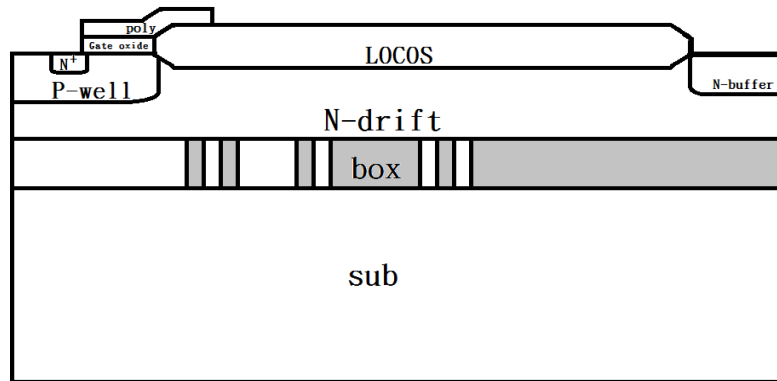
第五步：P-well上方成長閘極氧化層



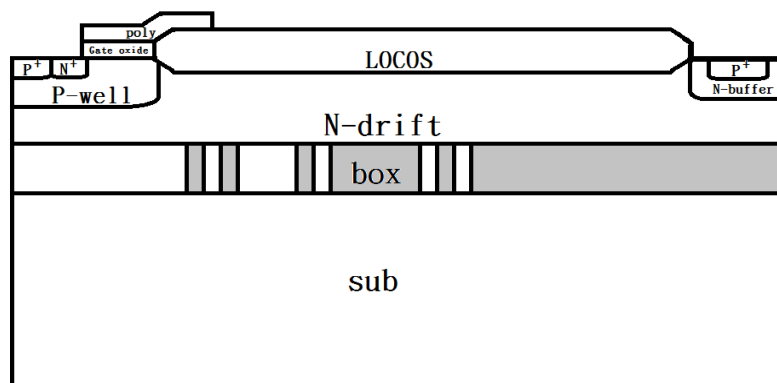
第六步:在開極氧化層上覆蓋多晶矽



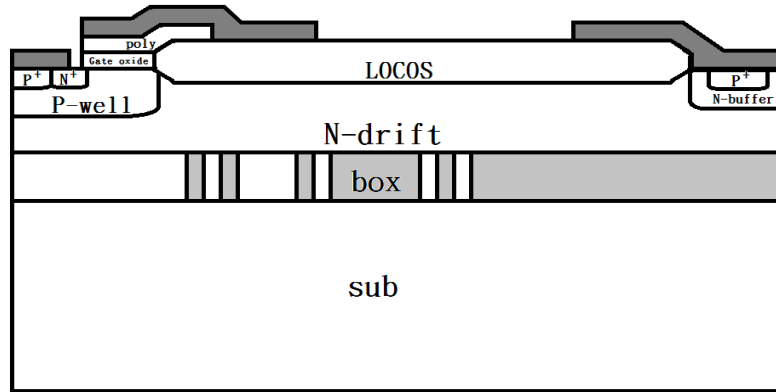
第七步:離子佈植植入 N^+



第八步:離子佈植植入 P^+



第九步：覆蓋金屬製作場板與電極接觸位置



4.1.2 結構加入 P_{top} 對元件產生的影響

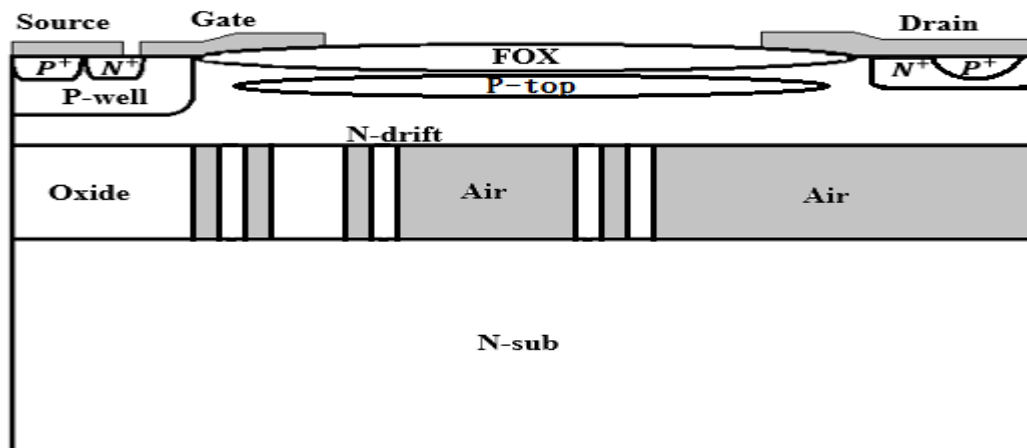


圖 4.4 LIGBT 加入 P_{top} 結構示意圖

最初構思的結構中有在 LOCOS 下方植入 P_{top} 結構，可是後續研究發現 P_{top} 對元件表面電場之影響甚微，由電性模擬來比較，也可以觀察到加入 P_{top} 對元件反而有降低效能的情況發生，原因為本論文提出元件之 epi 層厚度很薄，加上 Drain 端的 P^+ 摻雜影響，使得 P_{top} 在元件中能夠影響的範圍極小，最終提出之結構決定把 P_{top} 移除。元件

內部電場及崩潰電壓之模擬結果如圖 4.5 至圖 4.7 所示。

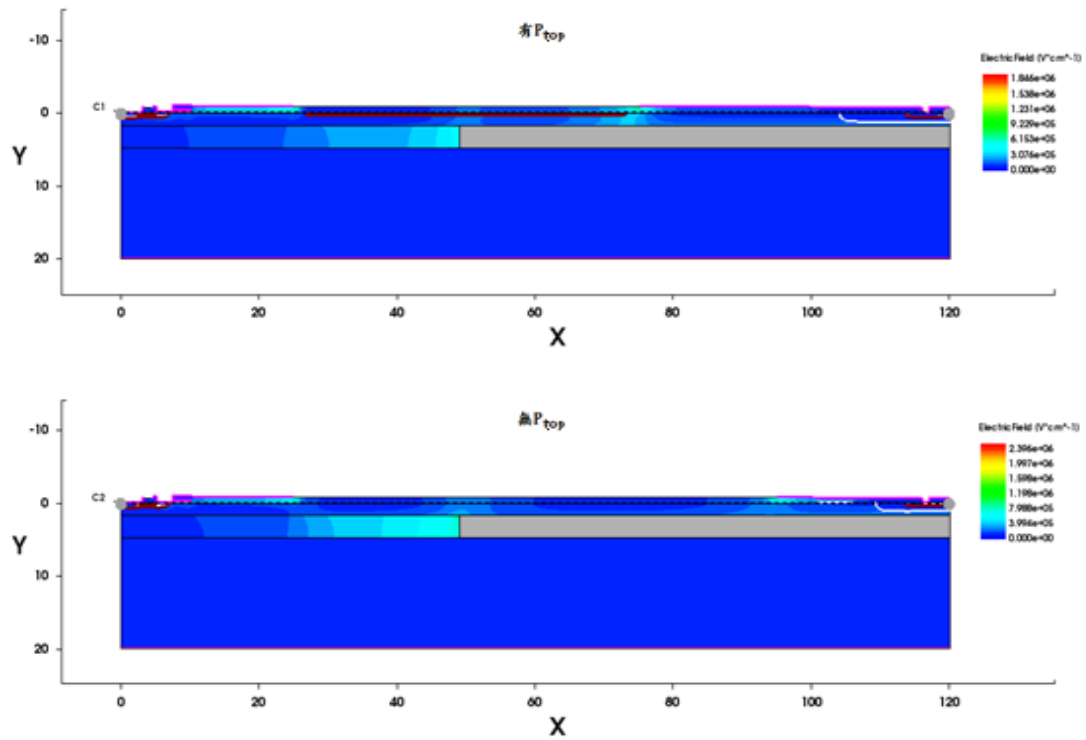


圖 4.5 有無加入 P_{top} 結構模擬圖

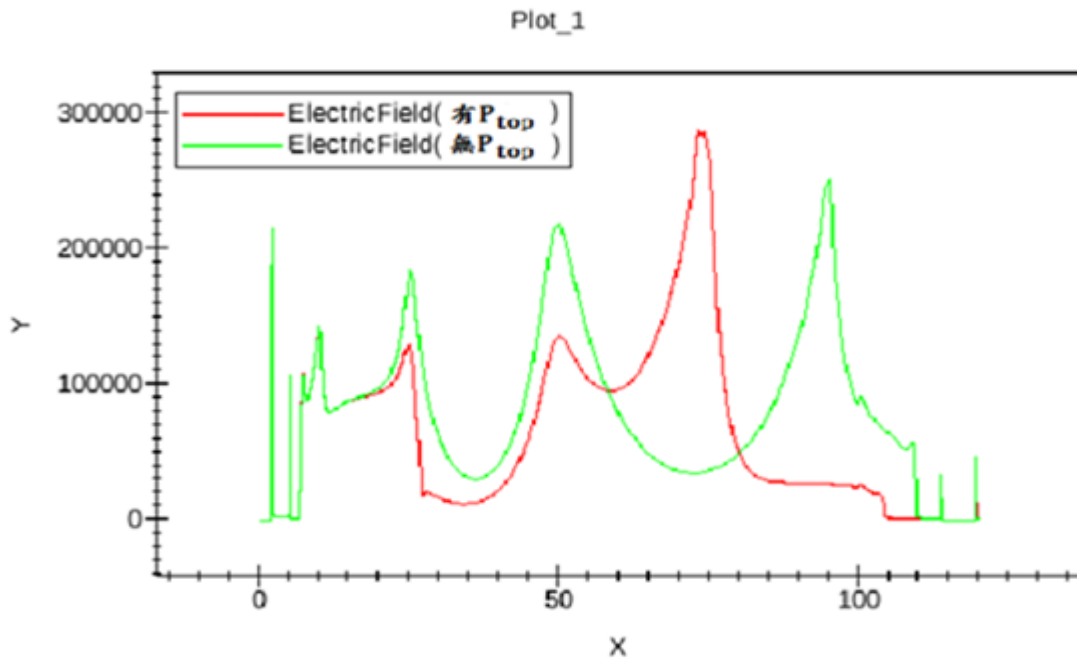


圖 4.6 有無加入 P_{top} 結構表面電場比較圖

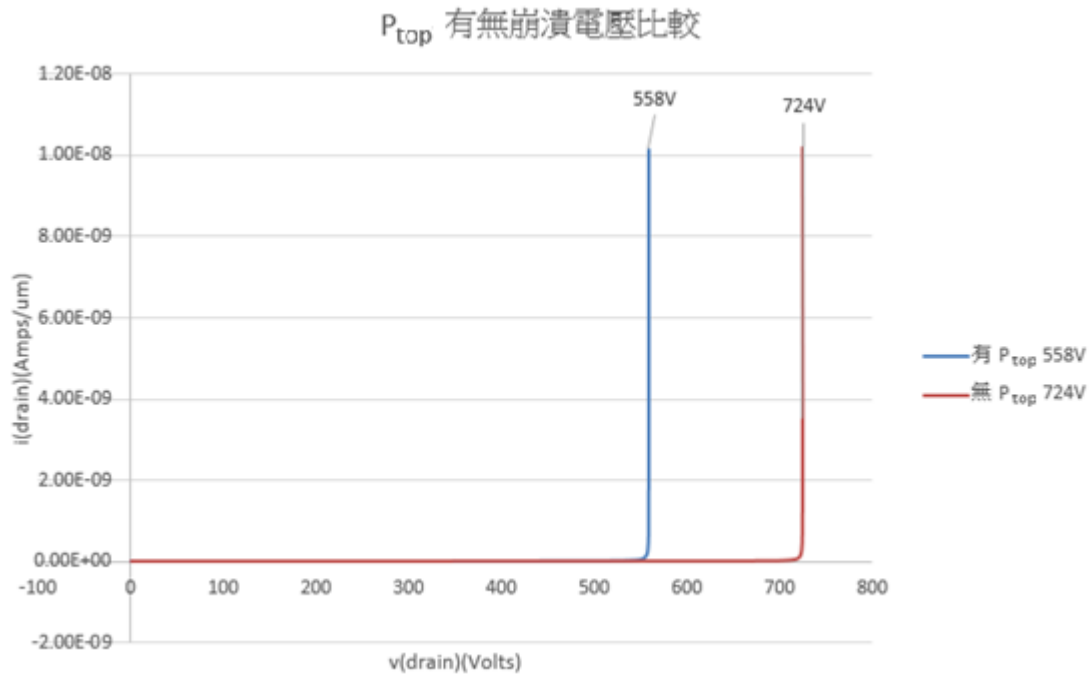


圖 4.7 有無加入 P_{top} 結構表面電場比較圖

4.1.3 絕緣層圖樣設計原理

在 SOI LIGBT 內 BOX 層區域透過介質電場增強理論可得知，只要兩種不同介電係數的材料交錯放置的話，材料與材料相連的部分便會讓上方磊晶層內的電場有所提高。BAGS 結構是使用最簡單的想法去完成，只要在元件表面電場最低的位置下方放置交錯的介電材料，即可大幅的舒緩表面高電場，得到崩潰電壓提升的效果[51]。

圖 4.8 所示為最基本的 SOI LIGBT 元件模型與其表面電場圖。

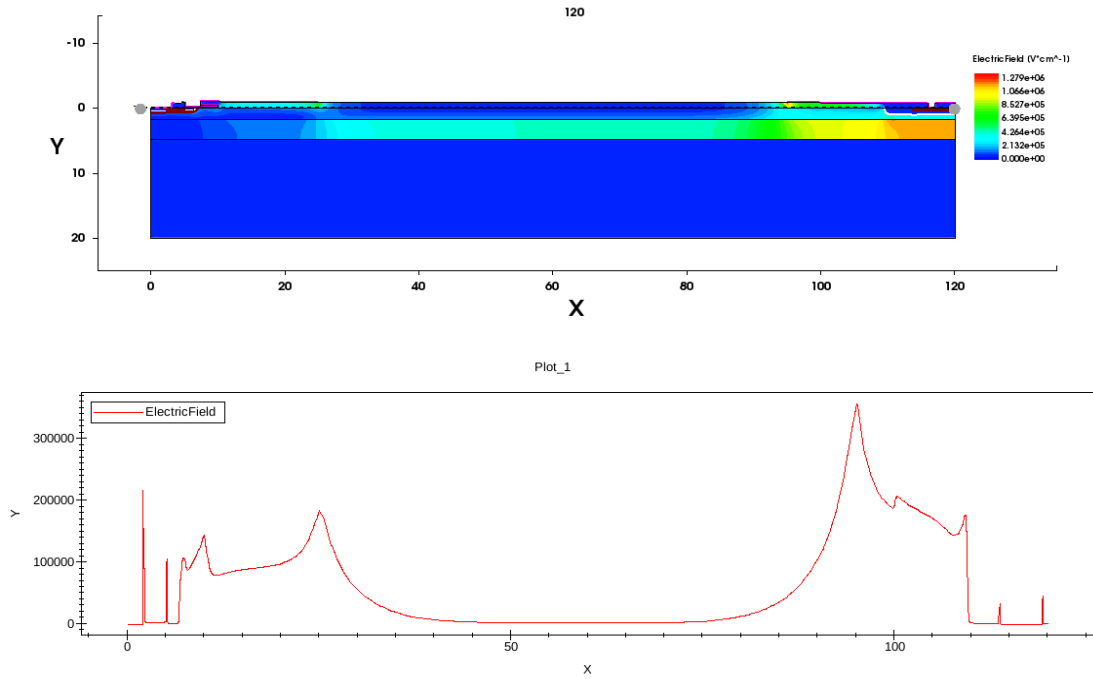


圖 4.8 傳統 SOI LIGBT 結構模型與表面電場圖

圖 4.9 為在表面電場低端位置放置 BAGS 結構的元件模型與其表面電場圖。

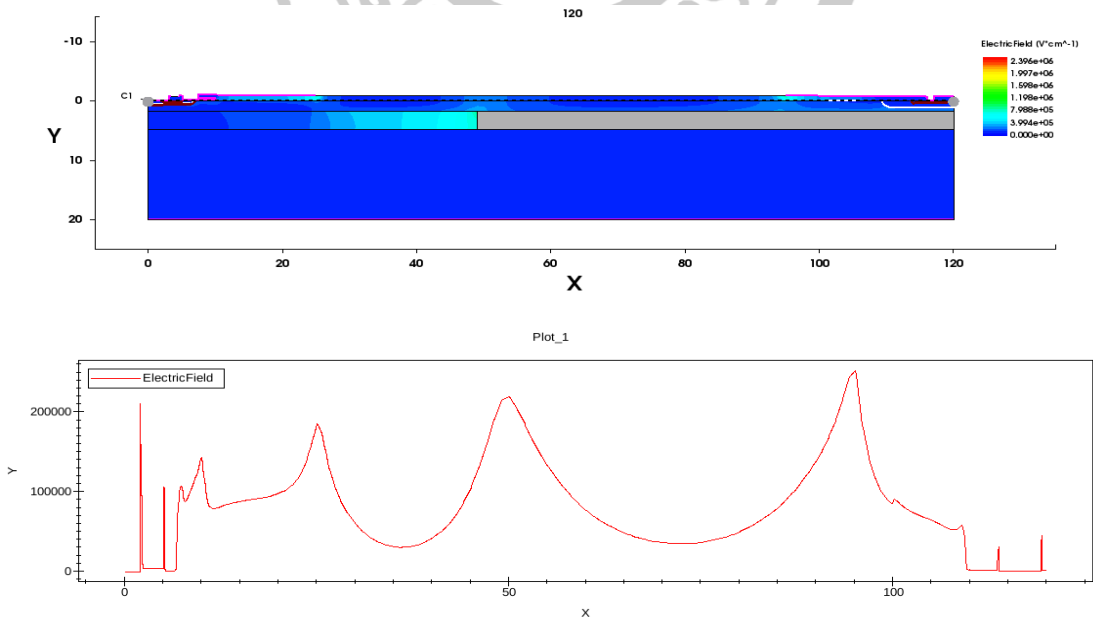


圖 4.9 加入 BAGS SOI LIGBT 結構模型與表面電場圖

由圖 4.9 可以觀察到原本電場低端的位置，因為 BAGS 結構讓其電場上升。圖 4.10 為有無加入 BAGS 結構，元件表面電場比較圖，可以看到加入 BAGS 結構後元件中間低電場部分提升，Drain 端高峰電場下降，達到均勻電場的效果。

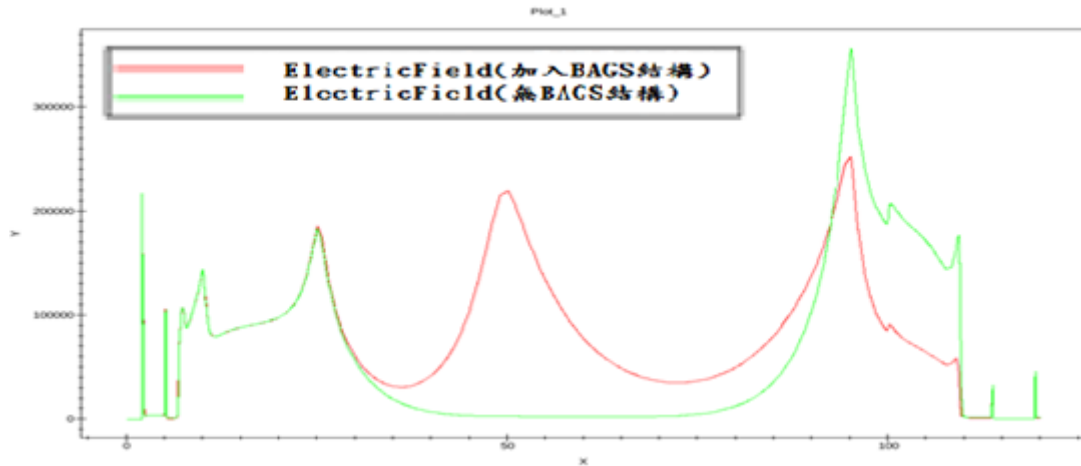


圖 4.10 有無加入 BAGS 結構表面電場比較圖

由圖 4.11 可以看出，加入 BAGS 結構後大幅提升元件崩潰電壓。

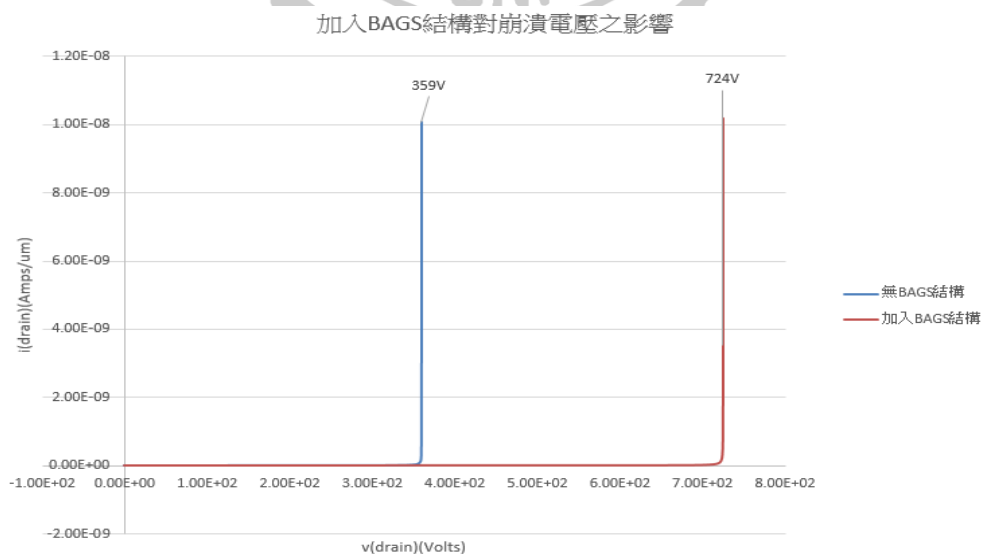


圖 4.11 有無加入 BAGS 結構崩潰電壓比較圖

4.1.4 絕緣層圖樣設計最佳化

本論文 LIGBT 元件結構完成後，最先嘗試的是 BAGS 結構的調整，首先找到 BAGS 結構中蝕刻的最佳位置，依照第一介質電場增強理論來尋找，氧埋層與空氣交界處放在元件表面電場較低處，拉高低端電場，達到平均電場提升的效果。

BAGS 結構在漂移區中僅產生一個新的峰值，影響的電場有限 [52]。所以在絕緣層中加入圖樣設計，調變電場分佈，圖樣設計依照第一介質電場增強理論來設置，透過關係式 $\epsilon_1 E_1 = \epsilon_2 E_2$ 以及 $\epsilon_{Si} = 3\epsilon_{SiO_2}$ 調整 [53]，最大限度的影響絕緣層上方之電場，由上述公式設計的絕緣層結構來達到均勻表面高電場提升崩潰電壓的效果。

首先由圖 4.8 的表面電場可以觀察到，在元件 40um~70um 區間為電場低端處。第一個可以考慮蝕刻的位置也就在這個區間內，後續想要增加新的蝕刻位置必須等第一個選擇蝕刻的位置模擬完成後，觀察表面電場再決定新的蝕刻位置。也就是圖(BAGS 電場)，重複這個步驟最後元件整體電場達到最平均狀態，再找出電場低端位置進行蝕刻也無法增加崩潰電壓時，即是元件最佳化的狀態。

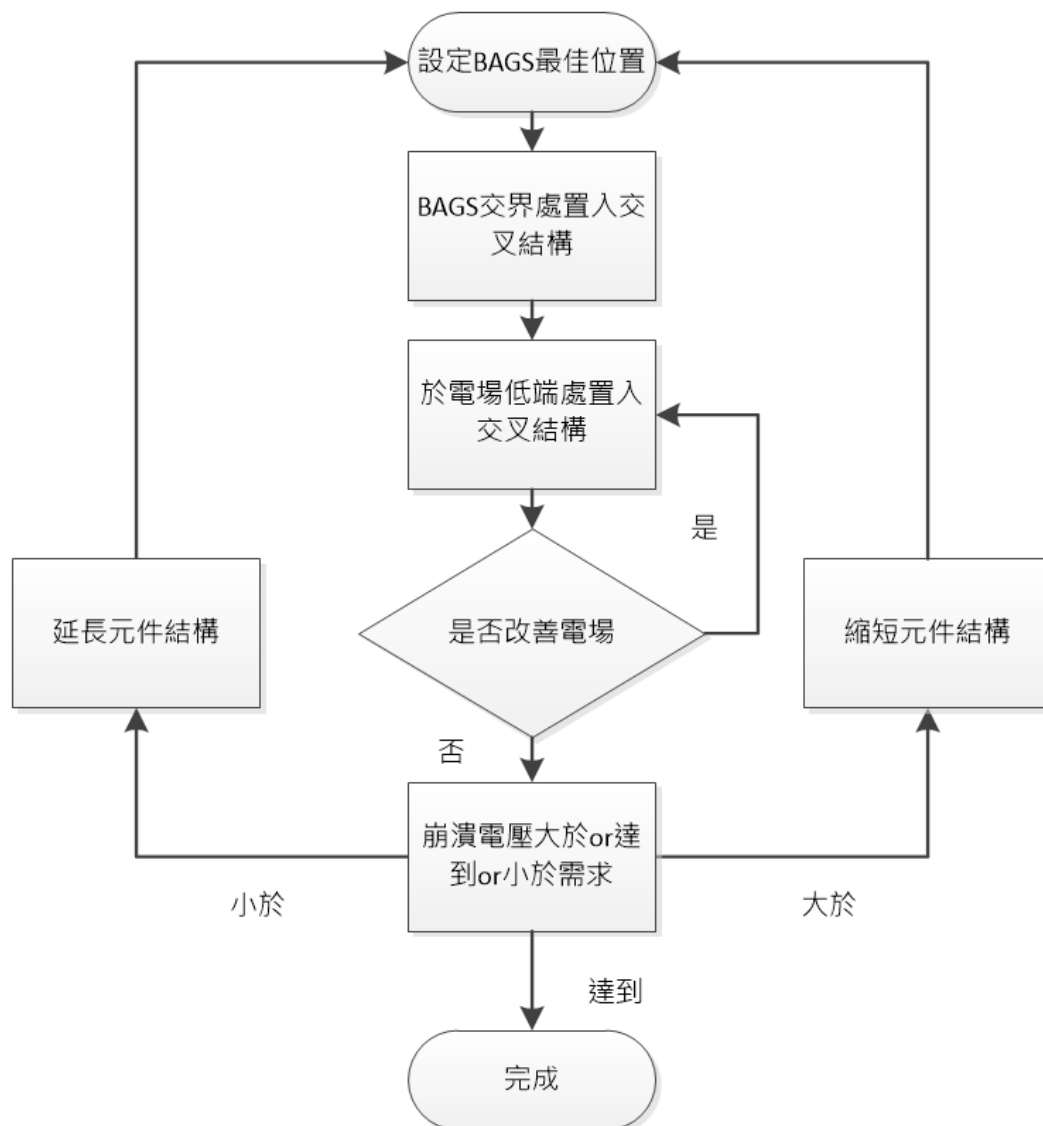


圖 4.12 圖樣化設計最佳化流程圖

由 BAGS 結構選擇的 48um 處作為第一個蝕刻位置，由圖 4.12 可以看到，在 30um~40um 與 60um~80um 處符合選擇第二個蝕刻位置條件。

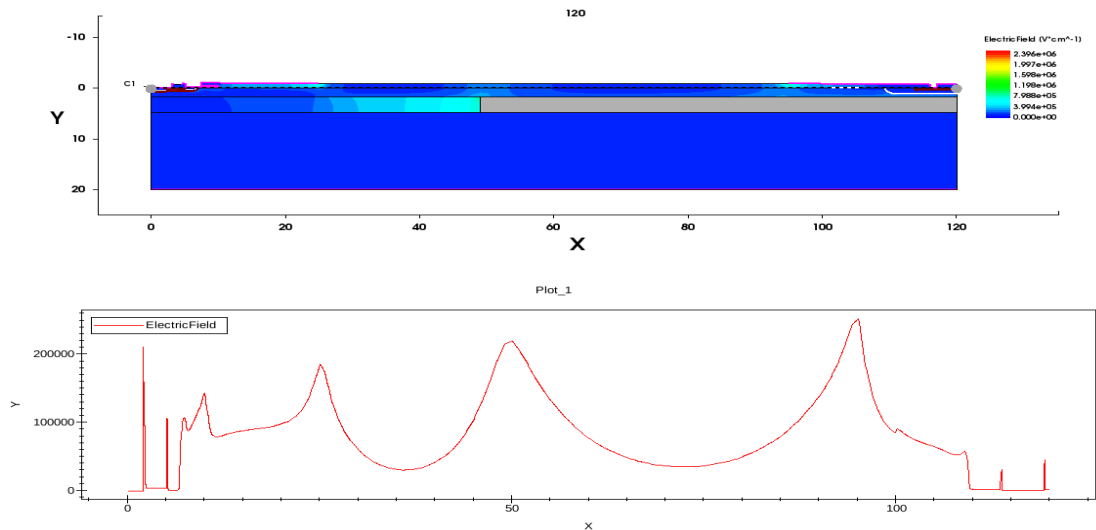


圖 4.13 圖樣化設計第一個蝕刻位置

選擇於 60um 處加入一組交叉結構，交叉結構為構思如何加入空氣柱時想出來的一種方式，如同三明治形式的結構，使用兩個相同介電材料與一個不同的介電材料組合而成，形成一組交錯的空氣柱與氧化埋層結構，如圖 4.13 所示，崩潰電壓提升至 758V。

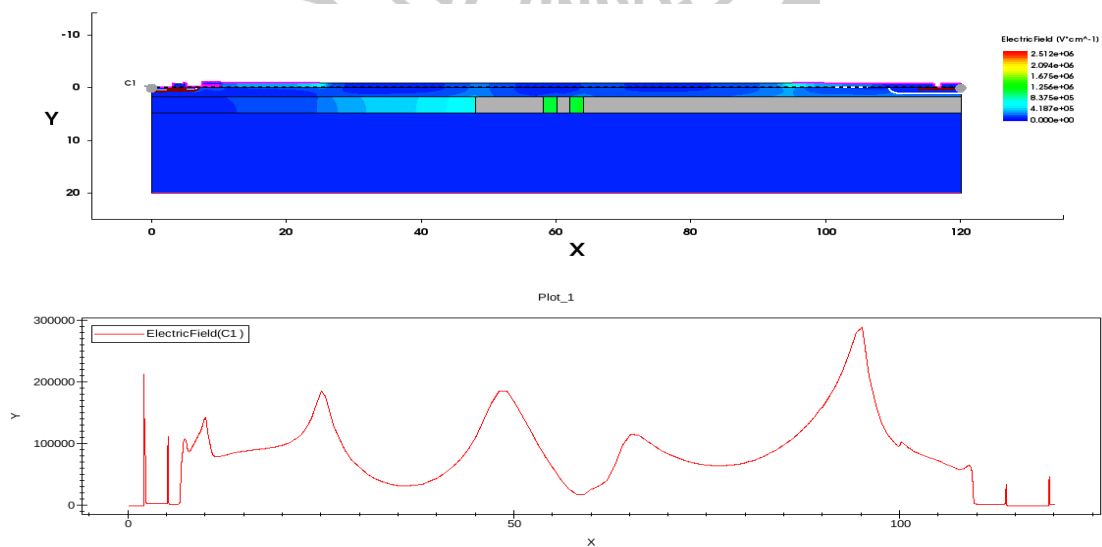


圖 4.14 圖樣化設計電場低端位置加入交叉結構

對 48um 處也使用交叉結構，崩潰電壓提升至 767V。

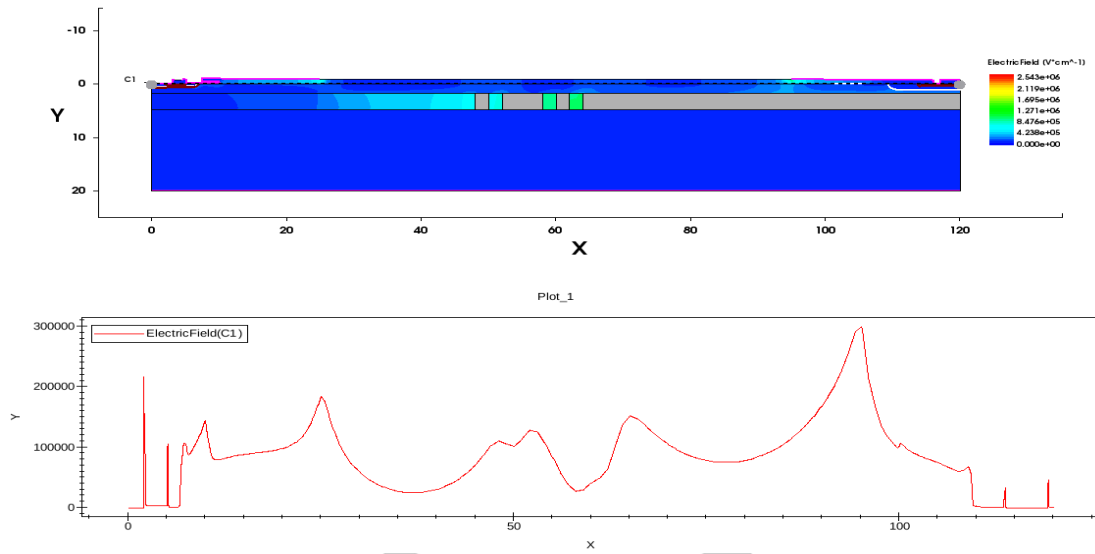


圖 4.15 圖樣化設計第一蝕刻位置使用交叉結構

最後選擇在元件 34 um、36 um、38 um、40 um、48 um、50 um、52 um、58 um、60 um、62 um、64 um 處進行氧埋層與空氣的交錯設置，使得崩潰電壓達到 770V，後續再對電場低點加入交錯結構，對崩潰電壓的影響已經微乎其微了，達到最終圖樣化設計成果為圖 4.15。

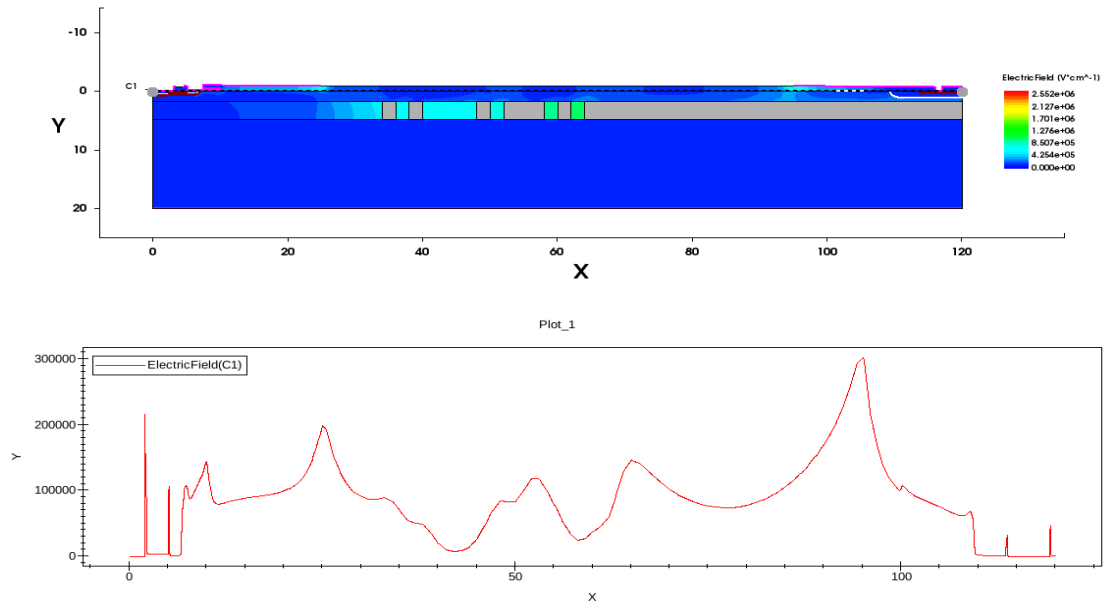


圖 4.16 圖樣化設計加入第三組交叉結構

4.1.5 元件最佳化後縮短元件寬度

圖 4.16 為元件縮短至 90um 時對絕緣層做圖樣設計後之結構圖與電場圖，元件縮短後，加入一組交叉結構即達到極限狀態，崩潰電壓降至 746V。

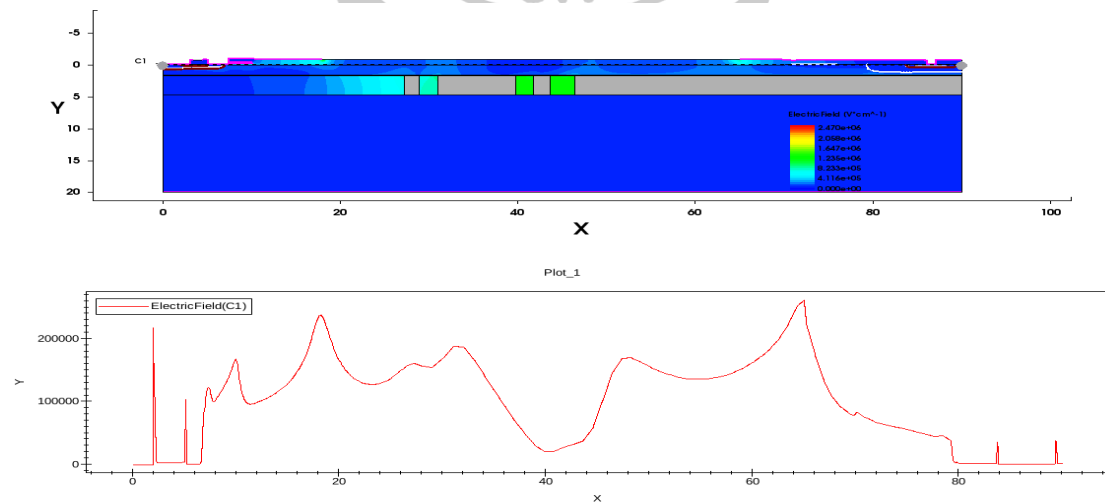


圖 4.17 圖樣化設計元件縮短至 90um

圖 4.17 為元件縮短至 75um 時對絕緣層做圖樣設計後之結構圖與電場圖，此時電場已經被壓縮到接近極限狀態，對絕緣層做圖樣設計的效果，已經沒有元件寬度 120um 時良好，崩潰電壓只能達到 625V。

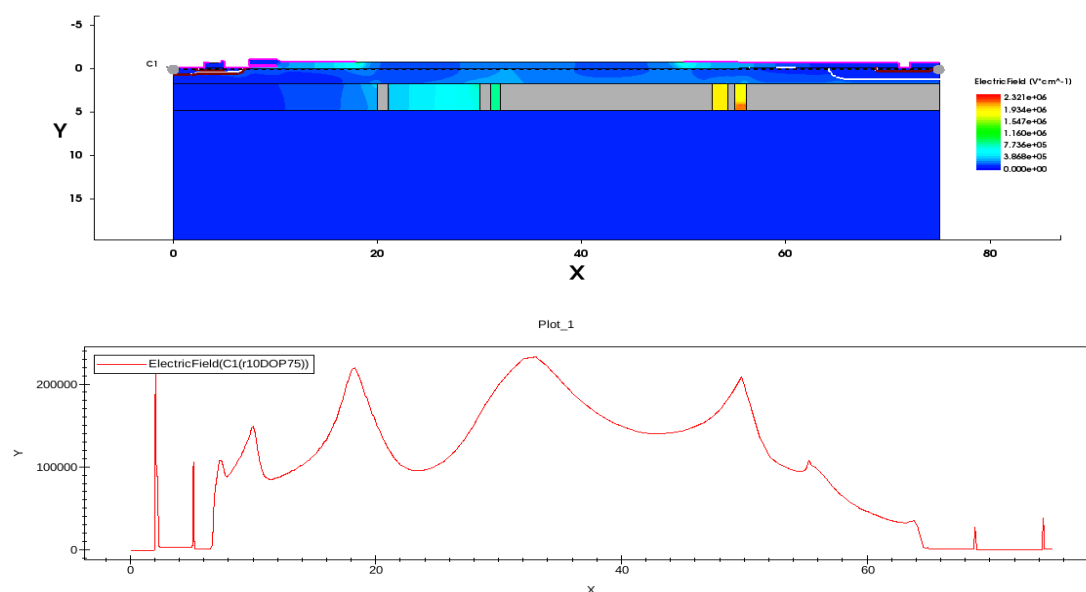


圖 4.18 圖樣化設計元件縮短至 75um

4.1.6 元件最佳化後各項效能指標與導通電阻

由表 1 可以觀察到一般 SOI 結構加入 BAGS 結構後崩潰電壓大幅提升，而經過圖樣化設計後，崩潰電壓又有小幅的提升，BAGS 結構與圖樣化設計兩者的製程步驟並沒有多大的差異。圖樣化設計後的 LIGBT 導通電阻在元件由 120um 縮短至 90um 後降低了約 45%，而崩潰電壓僅降低 34V。元件縮短至 75um 時，崩潰電壓下降了 121V，導通電阻僅降低 31% 效益並沒有很好。

表 2 圖樣化設計後 IGBT 各項效能指標與圖樣化設計 MOSFET[54]

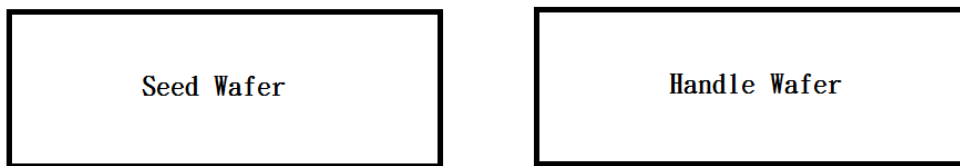
崩潰電壓與導通電阻								
	一般 SOI IGBT		BAGS IGBT		圖樣設計 IGBT		圖樣設計 MOSFET	
120 μm , R-on. sp(Ωcm^2)	359V	0.7	724V	0.67	770V	0.65	749V	1.1
90 μm , R-on. sp(Ωcm^2)	354V	0.39	680V	0.36	746V	0.36	713V	0.76
75 μm , R-on. sp(Ωcm^2)	357V	0.26	573V	0.25	625V	0.25	X	X

導通電阻 R_{on} 計算公式： $R_{on} = \Delta V_D / \Delta I_D$ 。

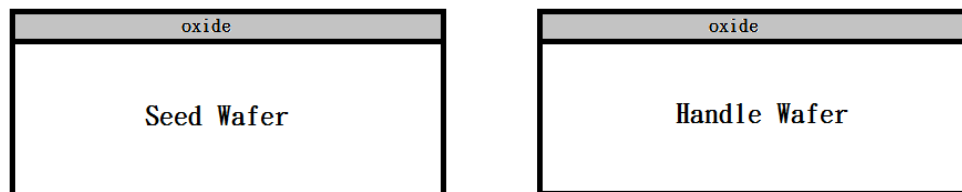
4.2 元件加入 P_{bot} 結構後對電性之影響

4.2.1 在 SOI 元件中植入 P_{bot} 結構之步驟

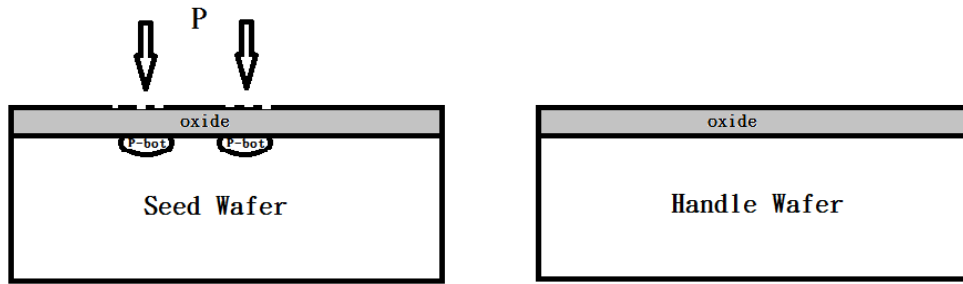
第一步：準備兩片晶圓



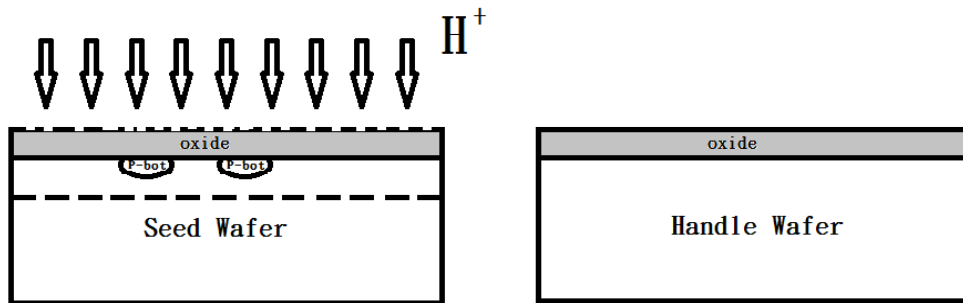
第二步：於兩片晶圓上成長二氧化矽



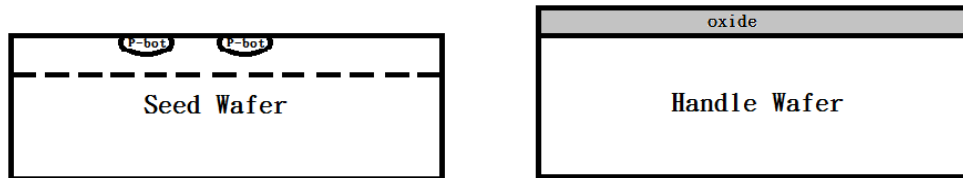
第三步: 離子佈植植入P_{bot}



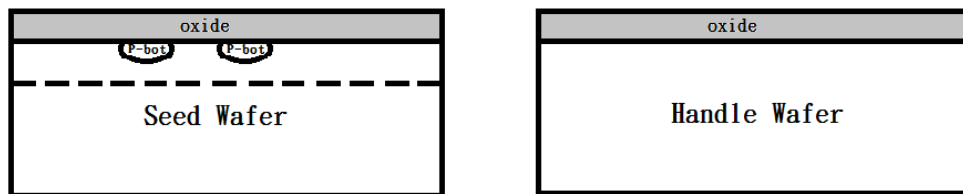
第四步: 將高濃度氫離子佈植於Seed Wafer



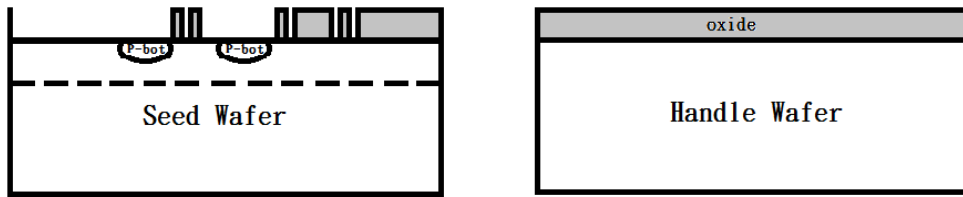
第五步: 移除受損二氧化矽層



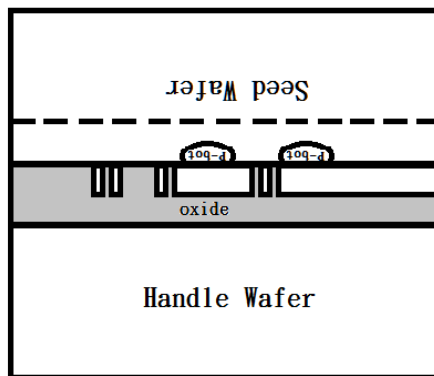
第六步: 於Seed Wafer上重新成長二氧化矽層



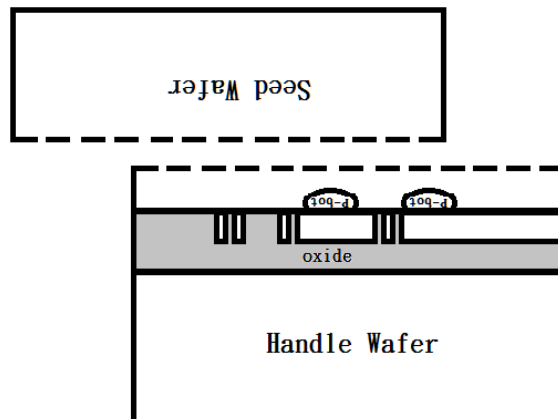
第七步:對Seed Wafer二氧化矽層蝕刻



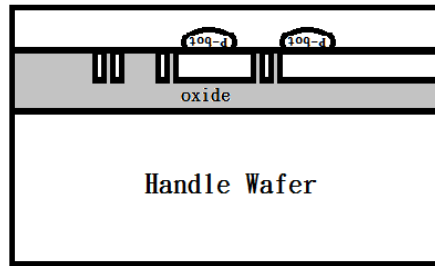
第八步:翻轉Seed Wafer並鍵合於Handle Wafer上



第九步:將鍵合後的晶圓退火，退火時第三步佈植於Seed Wafer之氫離子層將會斷開



第十步:剝除Seed Wafer後，利用CMP技術將剝離處磊晶層磨平至指定厚度



4.2.2 加入 P_{bot} 對電性之影響

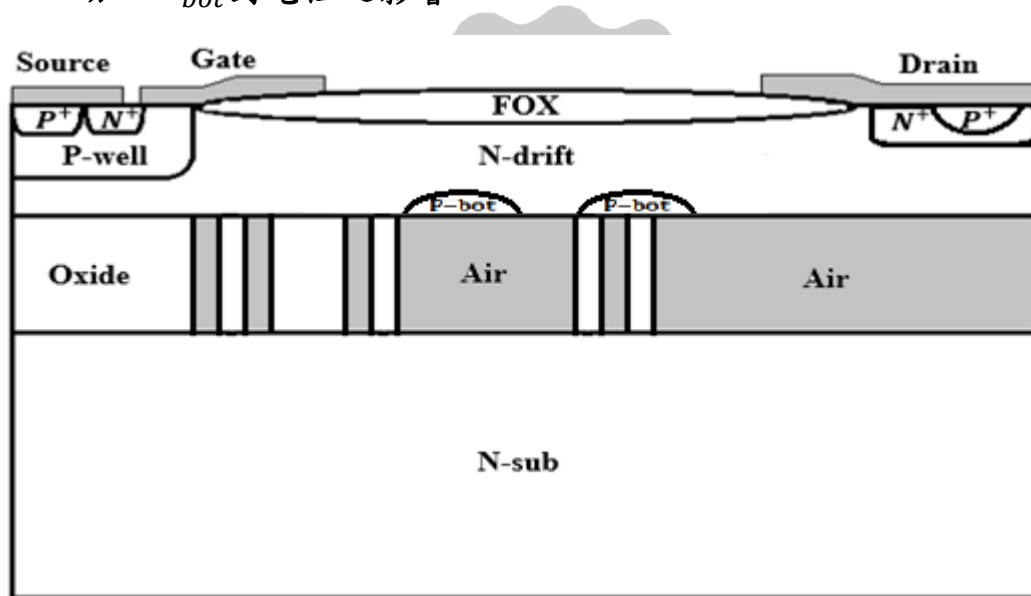


圖 4.19 LIGBT 加入 P_{bot} 結構示意圖

圖 4.19 為元件寬度 120um 時加入 P_{bot} 結構後的表面電場圖與結構圖， P_{bot} 結構放置的位置為電場低端位置的兩側，由圖觀察到在元件 45um 處電場最低，將 P_{bot} 放置在 42um~45um 以及 47um~50um 處。

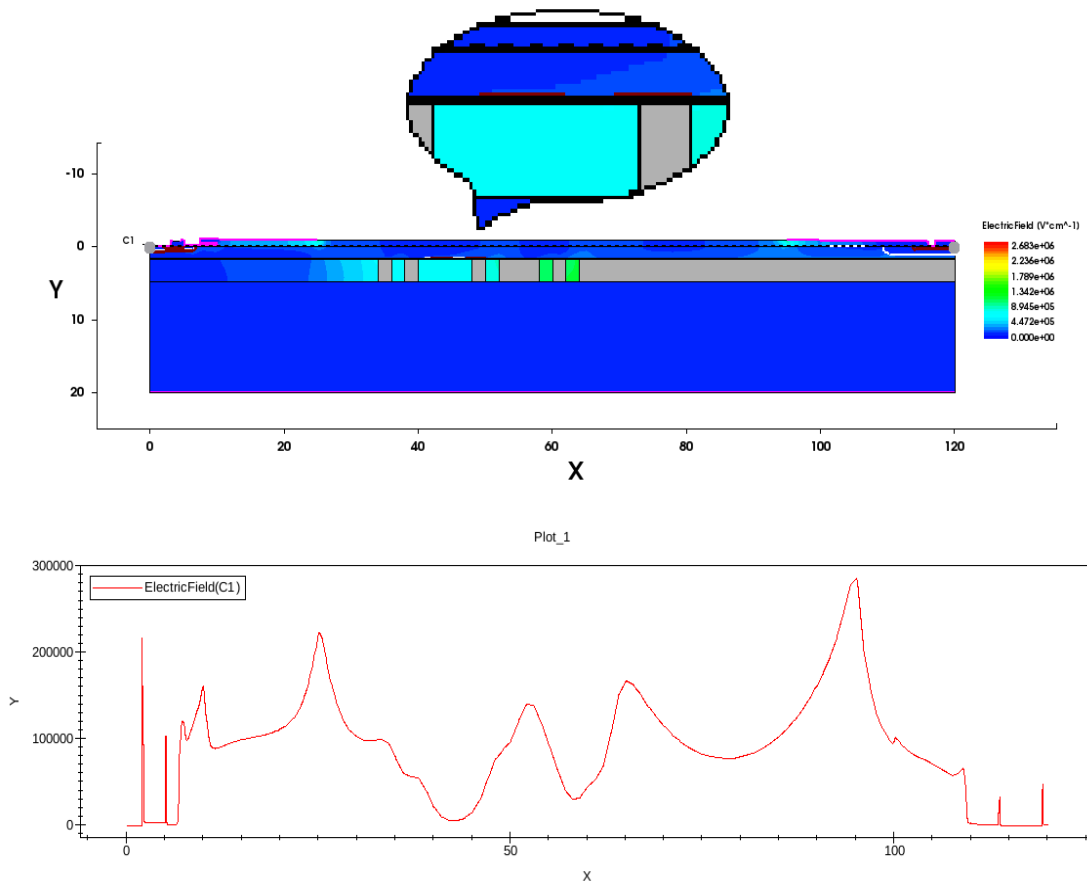


圖 4.20 圖樣化設計加入 P_{bot} 結構模擬與表面電場圖

圖 4.20 為有無加入 P_{bot} 結構的表面電場比較圖，可以觀察到加入 P_{bot} 結構後讓一高峰電場下降，其餘峰值上升，讓整體電場提升達到崩潰電壓上升的效果，加入 P_{bot} 後崩潰電壓由 770V 提升到 810V。

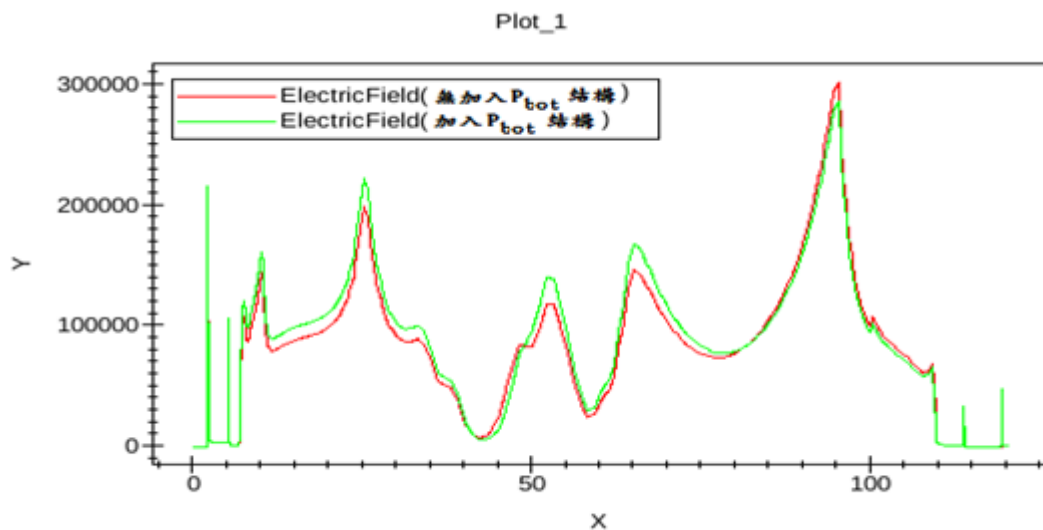


圖 4.21 圖樣化設計有無加入 P_{bot} 結構表面電場比較圖

圖 4.21 為元件縮短至 90um 時加入 P_{bot} 結構後的表面電場圖，
 放置 P_{bot} 的位置為 32um~34um 和 47um~49um。

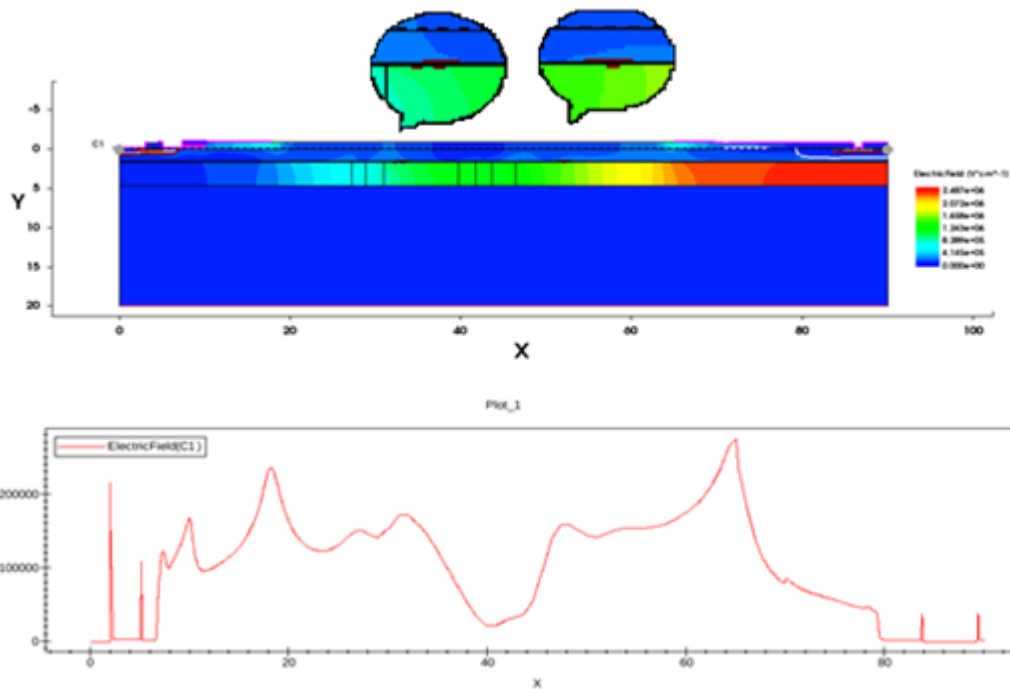


圖 4.22 元件縮短至 90um 後加入 P_{bot} 結構模擬與表面電場圖

圖 4.22 為元件 90um 時有無加入 P_{bot} 結構的表面電場比較圖，可以看到類似的現象，一樣是一高峰電場下降，而其餘峰值上升，崩潰電壓由 746V 提升至 758V。

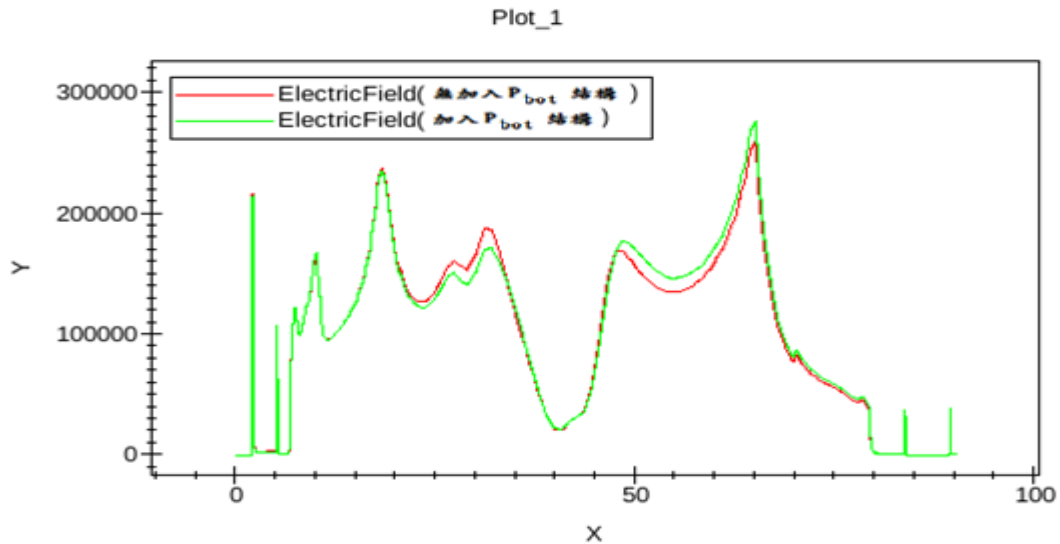


圖 4.23 元件縮短至 90um 後有無加入 P_{bot} 結構表面電場比較圖

圖 4.23 為元件縮短至 75um 時加入 P_{bot} 結構後的表面電場圖，放置 P_{bot} 的位置為 37um~45um。

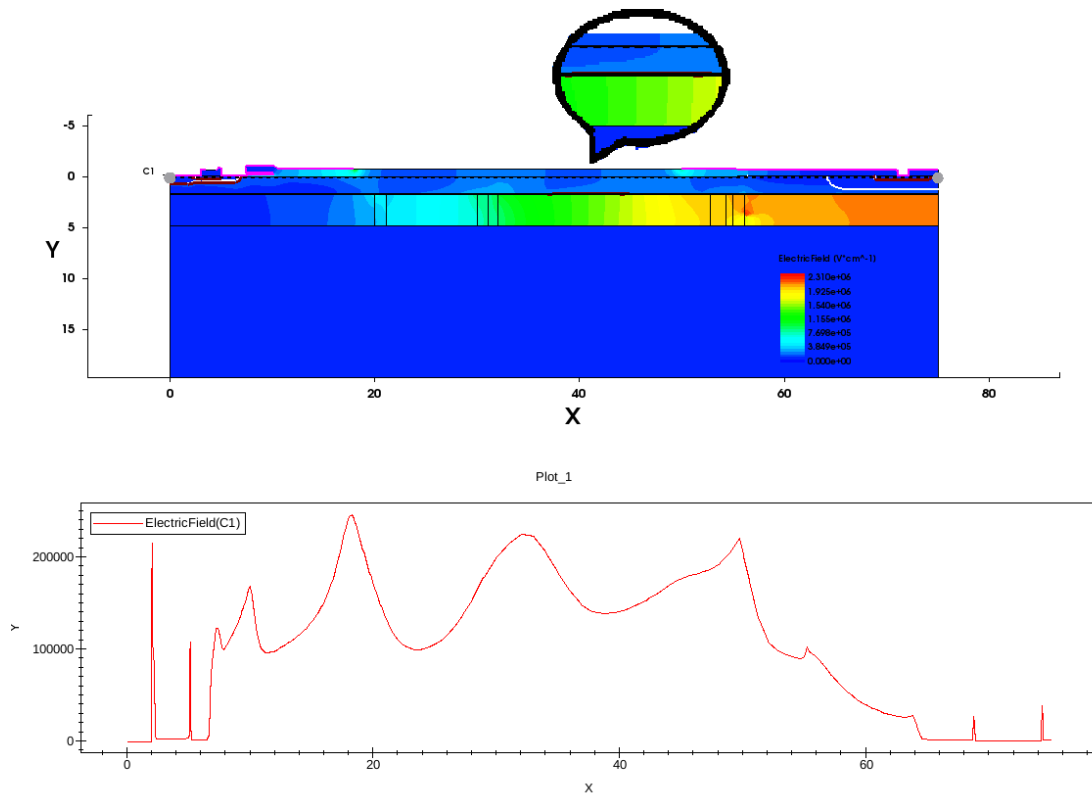


圖 4.24 元件縮短至 75um 後加入 P_{bot} 結構模擬與表面電場圖

圖 4.24 為元件 75um 時有無加入 P_{bot} 結構的表面電場比較圖，可以看到類似的現象，一樣是一高峰電場下降，而其餘峰值上升，崩潰電壓由 625V 提升至 637V。

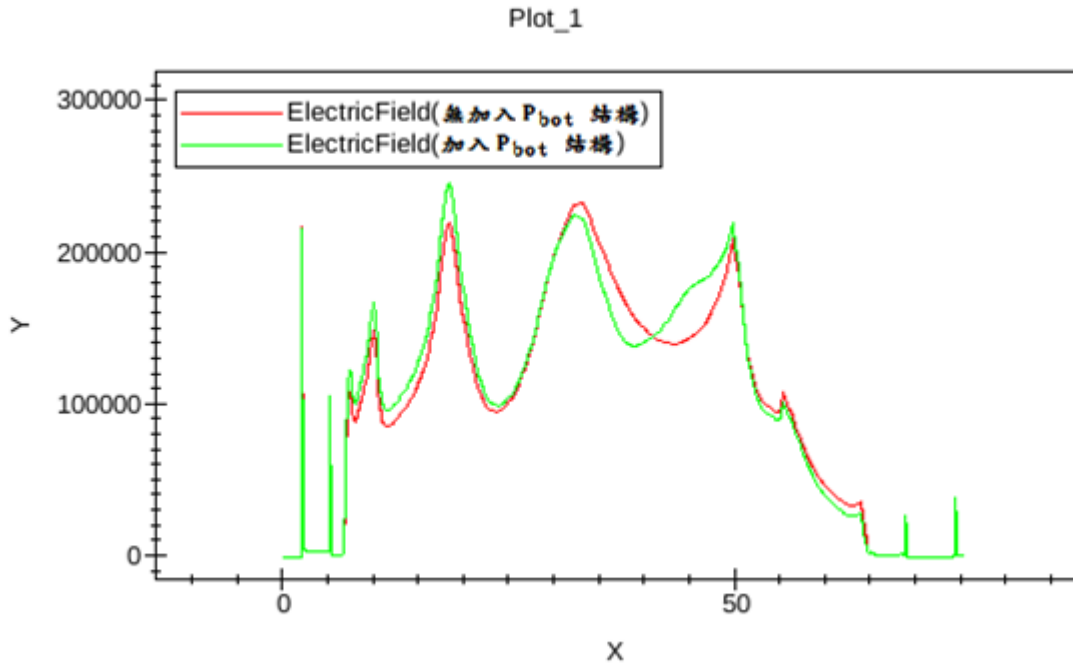


圖 4.25 元件縮短至 75 μm 後有無加入 P_{bot} 結構表面電場比較圖

表 2 可以看到加入 P_{bot} 結構後，崩潰電壓有所提升，導通電阻也下降了約 5%。

表 3 加入 P_{bot} 結構後各項效能指標

崩潰電壓與導通電阻										
	一般 SOI IGBT		BAGS IGBT		圖樣設計 IGBT		圖樣設計 IGBT 加入 P_{bot} 結構		圖樣設計 MOSFET	
120 μm , R-on. sp(Ωcm^2)	359V	0.7	724V	0.67	770V	0.65	810V	0.62	749V	1.1
90 μm , R-on. sp(Ωcm^2)	354V	0.39	680V	0.36	746V	0.36	758V	0.28	713V	0.76
75 μm , R-on. sp(Ωcm^2)	357V	0.26	573V	0.25	625V	0.25	637V	0.23	X	X

加入優點參數 FOM 比較數值，更容易看出元件縮短之後的好處，

縮短至 75um 時數值並不是很理想，沒有列入優點參數計算。

優點參數計算公式： $FOM = BV^2/R_{on}$ (W)

表 4 加入優點參數比較表格

崩潰電壓與導通電阻												
	一般 SOI LIGBT			BAGS LIGBT			圖樣設計 LIGBT			圖樣設計 LIGBT 加入 P_{bot}		
	BV (V)	R-on.sp (Ωcm^2)	FOM (W)	BV (V)	R-on.sp (Ωcm^2)	FOM (W)	BV (V)	R-on.sp (Ωcm^2)	FOM (W)	BV (V)	R-on.sp (Ωcm^2)	FOM (W)
120 μm	359	0.7	0.22	724	0.67	0.93	770	0.65	1.09	810	0.62	1.26
90 μm	354	0.39	0.29	680	0.36	1.15	746	0.36	1.39	758	0.28	1.84



第五章 結論

本研究提出的絕緣層圖樣化設計並於鍵合前加入 P_{bot} 結構之 LIGBT 在元件模擬中元件縮短至 75 μm 時，由於電場過於擁擠，讓絕緣層圖樣化設計結構對電場的影響效果較小，導致崩潰電壓僅達到 625V，元件寬度在 120 μm 和 90 μm 時的電性模擬崩潰電壓都能夠達到 700V 以上，元件縮短至 90 μm 後崩潰電壓僅從 770V 下降至 746V 並下降太多，而導通電阻則縮小接近一倍，最後嘗試在鍵合前加入 P_{bot} 結構主要是為了引導載子，造成與 Drain 端 P^+ 區域類似效果，元件特性也有所提升，在元件寬度 120 μm 時崩潰電壓達到了 810V，透過表 4 優點參數 FOM 數值可以比較在各個步驟元件效能的提升。圖樣化設計結構與 BAGS 結構在製程步驟上是相同的，同樣是在鍵合前對絕緣層進行蝕刻，但是加入圖樣化設計之後，讓元件表面電場更加的均勻，能夠讓元件效能有所提升，或者是讓元件擁有更多的體積縮小空間，足以去降低導通電阻，使得元件設計更加靈活。

第六章 參考文獻

- [1] 電子月刊第八卷第十期-十月專題-半導體元件
- [2] 材料學概論 作者:田民波;張勁燕 校定 出版日 : 2015/02/01
- [3] A.O.Adan, T. Naka, A. Kagisawa, H. Shimizu ” SOI as a Mainstream IC Technology” VLSI Development Laboratories, IC Group, SHARP Corp. 2613-1. Ichinomoto-cho, Tenri 632, Nara, JAPAN
- [4] 林世聰”含優質本體縛點之下閘極薄膜電晶體之製作與模擬”中山大學電機工程學系碩士班論文
- [5] Tomita,H.,Eguchi,H.,Kijima,S.,Honda,N.,Yamada,T.,Yamawaki,H.,Aoki,H.,and Hamada,K.: “Wide-voltage SOI-BiCDMOS technology for high-temperature automotive applications” Proc.ISPSD,San Diego,CA,USA,May 2011,pp.28–31
- [6] Atsuki Matsumura, Isao Hamaguchi, Keisuke Kawamura, Tsutomu Sasaki, Yoichi Nagatake, Seiji Takayama, Toshiyuki Mizutani, ”*Quality Improvement in SIMOX (Separation by Implanted Oxygen) Wafer Technology*” Nippon Steel Technical Report NO.83 January 2001, p.79-84.
- [7] Masaharu Tachimon,”*SIMOX Wafers(Silicon wafers with a thin superficial silicon film separated from the body by implanted oxygen)*” Nippon Steel Technical Report no.73 April 1997, p.19-25.
- [8] GU Mei-liang, HU Ming, “New progress and Applications in SOI Technology”, PIEZOELECTEC TRICS & ACOUSTOOPTICS, Vol. 28 No. 2, Apr. 2006, p.236-239.
- [9] S. S. K. Iyer, Xiang Lu ; Jingbao Liu ; Jing Min ; Zhineng Fan ; P. K. Chu ; Chenming Hu ; N. W. Cheung,”*Separation by Plasma Implantation of Oxygen (SPIMOX) Operational Phase Space*”, IEEE Transactions on Plasma Science Vol25 , no. 5 October 1997, p.1128 – 1135.
- [10] S. Sundar Kumar Iyer, Xiang Lu, Jingbao Liu, Barry Linder, Chenming Hu, Nathan W. Cheung, Jing Min, Zhineng Fan and Paul Chu, ”*Operational Phase-Space of Separation by Plasma Implantation of Oxygen (SPIMOX)*”, Ion Implantation Technology.

Proceedings of the 11th International Conference on 16 Jun 1996-21 Jun 1996, p.764-767

- [11] Xiaorong Luo, Zhaoji Li, "SOI lateral high voltage devices and endure voltage models based on ENDIF principle", University of Electronic Science and Technology of China, Electronic Components and Materials, Vol.27, No. 5, 2008, pp. 71-72
- [12] J. B. Lasky, S. R. Stiffler ; F. R. White ; J. R. Abernathy, "Silicon-on-Insulator (SOI) by Bonding and Etch-Back" Electron Devices Meeting, 1985 International Vol.31 ,p. 684 -687.
- [13] W. P. Maszara, G. Goetz ; A. Caviglia ; J. B. McKitterick, "Silicon-on-Insulator by Wafer Bonding and Etch-back" SOS/SOI Technology Workshop, 1988. Proceedings., 1988 IEEE 03 Oct 1988-05 Oct 1988, p.15.
- [14] D. Godbey, M. Twigg ; L. Palkuti ; P. Leonov ; J. Wang ; H. Hughes ; F. Kub, "A $Si_{0.7}Ge_{0.3}$ Strained Layer Etch Stop for the Generation of Bond and Etch Back SOI" SOS/SOI Technology Conference, 1989., 1989 IEEE, p. 143 – 144.
- [15] M. Ito; K. Yamagata; H. Miyabayashi; T. Yonehara, " Scalability Potential in ELTRAN(R) SOI-Epi Wafer" SOI Conference, 2000 IEEE International, p.10-11.
- [16] H. Moriceau; C. Maleville; A. M. Cartier; B. Aspar; A. Soubie; M. Bruel; T. Poumeyrol; F. Metral; A. J. Auberton-Herve, "Cleaning And Polishing as Key Steps For Smart-Cut(R) SOI Process", SOI Conference, 1996. Proceedings., 1996 IEEE International, p.152-153.
- [17] H. Moriceau; C. Maleville; A. M. Cartier; B. Aspar; A. Soubie; M. Bruel; T. Poumeyrol; F. Metral; A. J. Auberton-Herve, "Cleaning And Polishing as Key Steps For Smart-Cut(R) SOI Process", SOI Conference, 1996. Proceedings., 1996 IEEE International, p.152-153.
- [18] B. Aspar; J. -P. Joly; C. Jaussaud; L. di Cioccio; M. Bruel; H. Moriceau; F. Letertre; E. Hugonnard-Bruyere, " New Semiconductor Hetero-Substrates for High Temperature Applications Using the Smart-Cut(R) Technology", High Temperature Electronics, 1999. HITEN 99. The Third European Conference, p. 67 -73.
- [19] C. Maleville; T. Barge; B. Ghyselen; A. J. Auberton; H. Moriceau; A. M. Cartier, "Multiple SOI layers by multiple Smart-Cut(R) transfers", SOI Conference, 2000 IEEE International, p.134-135

[20]謝璋豪”He 電漿離子佈植製作 Smart-Cut”清華大學材料工程學系

碩士論文

- [21]Posts Tagged ‘SOI’ - semiconductor manufacturing & design community
- [22]Donald A. Neamen, “*Semiconductor Physics and Devices, Fourth Edition (p.465-469)*”, Americas, New York, NY 10020, McGraw-Hill.
- [23]S. Merchant, E. Arnold, H. Baumgart, S. Mukherjee, H. Pein, and R. Pinker, “*Realization of high breakdown voltage (>700 V) in thin SOI devices*”, in Proc , ISPSD, 1991, p.31-35
- [24]M. Yoshimi; M. Takahashi; T. Wada; K. Kato; S. Kambayashi; M. Kemmochi; K. Natori, “*Analysis of the drain breakdown mechanism in ultra-thin-film SOI MOSFETs*”, IEEE Transactions on Electron Devices, Vol.37, no.9, p.2015-2021.
- [25]S. D. Hu; L. Zhang; J. Luo; K. Z. Tan; W. S. Chen; P. Gan; X. C. Zhou; Z. Zhu, “*SOI high-voltage LDMOS with novel triple-layer top silicon based on thin BOX*”, Electronics Letters 31st January 2013 Vol. 49 No. 3, p. 223-225.
- [26]Xiaorong Luo; Bo Zhang; Zhaoji Li, “*A Novel E-SIMOX SOI high Voltage Device Structure with Shielding Trench*”, Proceedings. 2005 International Conference on Communications, Circuits and Systems, 2005, p.140.-1406.
- [27]Qiyu Liu; Zhaoji Li; Bo Zhang; Jian Fang, “*The Research on Breakdown Voltage of High Voltage SOI LDMOS Devices With Shielding Trench*”, Solid-State and Integrated-Circuit Technology, 2001. Proceedings. 6th International Conference Vol.1, p.159-161.
- [28]I. J. Kim; S. Matsumoto; T. Sakai; T. Yachi, “*Breakdown voltage improvement for thin-film SOI power MOSFET's by a buried oxide step structure*”, IEEE Electron Device Letters, Vol.15, no.5, 1994, p.148-150.
- [29]An Tao, Gao Yong, “*Breakdown Voltage Analysis of SOI LDMOS with Step Buried Oxide*”, The Eighth International Conference on Electronic Measurement and Instruments, 2007, p.717-720.
- [30]Samaneh Sharbati; Ali A. Orouji; M. Fathipour, “*6H-SiC lateral Power MOSFETs with an Asymmetrical Buried Oxide Double Step Structure*”, Microwave and Millimeter Wave Technology, 2008.

- ICMMT 2008. International Conference on, Vol.3, 2008, p1359-1362.
- [31]Baoxing Duan, Bo Zhang, and Zhaoji Li,” *New Thin-Film Power MOSFETs With a Buried Oxide Double Step Structure*”, IEEE Electron Device Letter, Vol. 27, no.5, May 2006, p.377-379.
- [32]Jun Huang; Tingting Hua; Yufeng Guo; Yue Xu; Xiaojuan Xia; Ying Zhang; Gene Sheu, ” *Numerical Simulation of Static and Dynamic Operation Performance of Sol*”, Junction Technology (IWJT), 2012 12th International Workshop, p.156-159.
- [33]Sun-Ho Kim, Il-Yong Park, Yearn-Ik Choi, Sang-Koo Chung, ” *Enhancement of Breakdown Voltage for SOI RESURF LDMOS Employing a Buried Air Structure*”, Journal of the Korean Physical Society, Vol. 39, December 2001 , p. S39-S41.
- [34]Sun-Ho Kim, Il-Yong Park, Yearn-Ik Choi, Sang-Koo Chung, ” *Enhancement of Breakdown Voltage for SOI RESURF LDMOS Employing a Buried Air Structure*”, Journal of the Korean Physical Society, Vol. 39, December 2001 , p. S39-S41.
- [35]Sun-Ho Kim, Il-Yong Park, Yearn-Ik Choi, Sang-Koo Chung, ” *Enhancement of Breakdown Voltage for SOI RESURF LDMOS Employing a Buried Air Structure*”, Journal of the Korean Physical Society, Vol. 39, December 2001 , p. S39-S41.
- [36]J. A. Appels, and H. M. J. Vaes, “High voltage thin layer devices (RESURF devices),” International Electron Devices Meeting, vol.25, 1979, pp.238 – 241.
- [37]A. L. Robinson, D. N. Pattanayak, M. S. Adler, B. J. Baliga, and E. J. Wildi,“Lateral insulated gate transistors with improved latching characteristics,” IEEE Electron Device Letters, vol.7, no.2, 1996, pp.61 – 63.
- [38]A. Nezar, P. K. T. Mok, and C. A. T. Salama, “Latch-up prevention in insulated gate bipolar transistors,” Proc. of the 5th International Symposium on Power Semiconductor Devices and ICs, ISPSD '93, 1993, pp.236 – 239.
- [39]A. Nezar, P. K. T. Mok, and C. A. T. Salama, “Latch-up prevention in insulated gate bipolar transistors,” Proc. of the 5th International Symposium on Power Semiconductor Devices and ICs, ISPSD '93, 1993, pp.236 – 239.
- [40]Jun Cai, Keng Foo Lo, and J. K. O. Sin, “A latch-up immunized lateral trench-gate conductivity modulated power transistor,” Proc. of

- the 7th International Symposium on Physical and Failure Analysis of Integrated Circuits, 1999, pp.168 – 172
- [41] T. P. Chow, B. J. Baliga, D. N. Pattanayak, and M. S. Adler, “Comparison of p-channel lateral insulated-gate bipolar transistors with and without collector shorts,” *IEEE Electron Device Letters*, vol.11, no.5, 1990, pp.184 – 186.
- [42] J. K. O. Sin, and S. Mukherjee, “Lateral insulated-gate bipolar transistor (LIGBT) with a segmented anode structure,” *IEEE Electron Device Letters*, vol.12, no.2, 1991, pp.45 – 47.
- [43] TSUPREM-4 Manual, Technology Modeling Associates, Inc., Palo Alto, CA, USA, 1995
- [44] J. A. Appels, and H. M. J. Vaes, “High voltage thin layer devices (RESURF devices),” *International Electron Devices Meeting*, vol.25, 1979, pp.238 – 241.
- [45] 李奕廷”應用於功率積體電路之700 伏特LIGBT 元件設計與結構改善”交通大學電機與控制工程學系碩士論文
- [46] Ludikhuizen A W. A versatile 700–1200-V IC process for analog and switching applications. *IEEE Trans Electron Devices*, 1991.
- [47] A. W. Ludikhuizen, “A review of RESURF technology,” *Proc. the 12th International Symposium on Power Semiconductor Devices and ICs*, 2000, pp.11 – 18.
- [48] D. A. Neamen, *Semiconductor Physics and Devices*, McGraw-Hill Science Publishing Company, 2002.
- [49] B. J. Baliga, *Power Semiconductor Devices*, PWS. Publishing Company, 1995.
- [50] B. Jayant Baliga, “Power Semiconductor Device (p.67-70)” 20 Park Plaza, Boston, MA 02116, PWS Publishing Company.
- [51] 鄭家慧，東海大學，(2015)，以邊界條件調節電場的高壓SOI元件
- [52] B. C. Jeon; D. Y. Kim; Y. S. Lee; J. K. Oh; M. K. Han; Y. I. Choi, “Buried Air Gap Structure for Improving the Breakdown Voltage of SOI Power MOSFET’s”, *Power Electronics and Motion Control Conference*, 2000. *Proceedings. IPEMC 2000. The Third International*, Vol.3, 2000, p.1061-1063.
- [53] Su, Ru-Yi,” Design of LDMOSFET with Multiple Dimensional

Electric Field” 清華大學 博士論文

[54]陳湧昌”在Smart Cut SOI 鍵合前加入圖樣設計研製功率金氧半場

效電晶體” 東海大學電機工程學系 碩士論文

