

東海大學電機工程學系

碩士論文

利用多相位展頻調變降低電磁干擾之切換式降  
壓穩壓器

**Switching Buck Regulator Using Multi-Phase  
Spread-Spectrum  
Modulation for EMI Reduction**

研究生：陳冠州 Kuan-Chou Chen

指導教授：翁峻鴻 Jun-Hong Weng

中華民國 107 年 10 月 22 日

東海大學電機工程學系碩士學位  
考試委員審定書

電機工程學系研究所 陳冠州 君所提之論文

利用多相位展頻調變降低電磁干擾之切換式降壓

穩壓器，經本考試委員會審查，符合碩士資格

標準。

學位考試委員會 召集人：張智翔 (簽章)

委員：謝凌峰

陳銜楓

中華民國 107 年 10 月 22 日

## 致謝

在東海研究所兩年，首先感謝翁峻鴻老師的教導，依照老師的給予的方向下，不斷向積體電路設計的領域有更深入的了解。在研究過程中遇到的瓶頸透過老師的開導，能夠少走一些彎路。本論文的完成也謝謝陳錡楓教授與張智翔老師在論文上給予的建議與改進，並且幫我對未來的出路做分析，也謝謝龔正教授在我碩班這兩年的提攜，並且分享自身經驗，給予許多幫助。

感謝鄭慎學姊幫我在電路的研究上排除許多障礙，也謝謝邱智凱學長與許育彰學長幫助我不管是在工作站上的應用、研究上遇到的問題都給予耐心的指導，更重要的是陪伴我，在碩一時最為繁忙的時刻，讓我生活沒有那麼的枯燥乏味。謝謝其他實驗室的國灃、明翰、筵崧、忠貞還有學弟妹韋翰、凱文、玟廷、凱威、祖晴、柏諺，有你們讓實驗室充滿歡樂，讓我可以更有研究的動力。

最後謝謝我的雙親還有弟弟的支持，提供我生活所需，讓我這兩年的碩士生活無虞。

## 摘要

為消除在降壓型交換式轉換器系統之脈衝寬度調變產生器的電磁干擾，本論文提出以多重相位展頻方式結合交錯式降壓型轉換器，其以多重相位展頻調變方式實現。

一般具有脈衝寬度調變產生器之交換式轉換器，當交換式轉換器開啟到達穩態之時，其開關不斷切換所造成的諧波嚴重導致電磁干擾的問題，進而影響到周圍電路的工作，嚴重則將降低效率。

此展頻技術是藉由數位類比轉換器控制從五十萬赫茲到八十萬赫茲的調變頻率，分別控制  $90^\circ$  相位差的三角波。此外，結合多相位交錯式交換式轉換器更能有效抑制電磁干擾並使其最佳化。本論文分成四大部分，第一部分為簡要介紹降壓型交換式轉換器和展頻調變的原理；第二部分將詳細說明關於多相位展頻產生器與多相位交錯式降壓轉換器的整體概念；第三部分則是著重在電路的實現，包含子電路的細節分析；最後呈現模擬與量測結果。此晶片是以 TSMC  $0.18\mu\text{m}$  製程製作，總體佈局面積為  $1.138\text{mm} \times 0.877\text{mm}$ ，而在量測結果上在電磁干擾方面有著高達 14dB 的抑制效果。

## Abstract

This paper proposes a multi-phase spread spectrum method combined with an interleaved buck converter to eliminate electromagnetic interference from the pulse width modulation (PWM) generator of the buck switching converter system.

In PWM switching converters, switching noise and harmonic noise causes excited ripple voltage resulting in EMI emission as buck converter reaches steady state. EMI will result in seriously interfering surrounding equipment and thus interrupting its operation, and furthermore, decreasing efficiency.

The proposed multi-phase spread-spectrum modulation technique is implemented by means of interleaving quadrature triangular waves, which is accomplished by means of DAC varying switching frequency between 500kHz and 800kHz. In addition, with a multi-interleaving PWM buck converter will obtain optimizing amplitude reduction of harmonic interference. There are four major parts in this paper. The first part describes brief introduction of PWM buck converter, LDO and spread-spectrum modulation technique. The second part elaborates on the concepts of multiphase spread-spectrum and multi-interleaving PWM buck converter principle and theory. The third part demonstrates the implementation of the proposed circuit in detail, including simulations of subcircuits. Finally present simulation and measurement results.

The circuit is fabricated in TSMC CMOS 0.18 $\mu$ m technology and the whole chip area occupies 1.138mm\*0.877mm, showing a significant 16 dB EMI reduction in the conducted EMI disruptions.

# 目錄

致謝

摘要

Abstract

目錄

圖目錄

表目錄

第一章 緒論.....	- 1 -
1.1 研究動機.....	- 1 -
1.2 論文摘要.....	- 2 -
第二章 電路理論分析.....	- 3 -
2.1 展頻調變產生器.....	- 3 -
2.1.1 展頻調變產生器理論.....	- 4 -
2.1.2 展頻調變產生器技術.....	- 9 -
2.2 直流轉直流穩壓器簡介.....	- 9 -
2.2.1 線性穩壓器簡介(Linear Regulator).....	- 10 -
2.2.2 切換式穩壓器簡介(Switching Regulator).....	- 12 -
2.3 切換式降壓穩壓器.....	- 14 -
2.3.1 連續導通模式(Continuous-Conduction Mode ; CCM)-	17

-

2.3.2 不連續導通模式(Discontinuous-Conduction Mode ; DCM) .....	- 19 -
<b>第三章 多相位展頻調變切換式降壓穩壓器設計 .....</b>	<b>- 21 -</b>
3.1 系統架構.....	- 21 -
3.2 系統架構說明.....	- 22 -
3.3 降壓穩壓器架構.....	- 24 -
3.3.1 穩壓器系統分析.....	- 24 -
3.3.2 誤差放大器(Error Amplifier).....	- 26 -
3.3.3 比較器之遲滯(Hysteresis Comparator) .....	- 30 -
3.3.4 延遲時間控制電路(Dead-time Control Circuit) .....	- 32 -
3.3.5 軟啟動電路(Soft-Starting Circuit).....	- 34 -
3.4 多相位展頻調變架構.....	- 36 -
3.4.1 時脈產生器(Clock generator).....	- 36 -
3.4.2 數位三角波產生器(Triangular code generator) .....	- 39 -
3.4.3 數位類比轉換器(Digital To Analog Converter).....	- 41 -
3.4.4 相位產生器(Phase Generator).....	- 45 -
3.4.5 多相位三角波產生器(Multi-Phase Triangle wave Generator) .....	- 47 -
<b>第四章 佈局模擬與量測 .....</b>	<b>- 51 -</b>
4.1 部局考量.....	- 51 -

4.2 晶片腳位功能.....	- 53 -
4.3 測試環境.....	- 54 -
4.4 暫態模擬結果.....	- 55 -
4.5 量測結果.....	- 58 -
4.5.1 壓控振盪器量測.....	- 58 -
4.5.2 類比數位轉換器量測.....	- 59 -
4.5.3 多相位產生器量測.....	- 60 -
4.5.4 軟起動電路量測.....	- 62 -
4.5.5 切換式穩壓器 PWM 責任週期電路量測.....	- 63 -
4.5.6 切換式穩壓器輸出電壓量測.....	- 65 -
4.5.7 切換式穩壓器輸出電壓輕重載量測.....	- 68 -
4.5.8 切換式穩壓器模擬量測規格比較.....	- 69 -
<b>第五章 結論與改進.....</b>	<b>- 70 -</b>
<b>參考文獻.....</b>	<b>- 71 -</b>

## 圖目錄

圖 2.1	展頻示意圖 .....	- 3 -
圖 2.2	高次諧波下會出現的重疊現象 .....	- 7 -
圖 2.3	線性穩壓器示意圖 .....	- 11 -
圖 2.4	切換式穩壓器示意圖 .....	- 12 -
圖 2.5	降壓切換式穩壓器架構圖 .....	- 14 -
圖 2.6	降壓切換式穩壓器開關導通 .....	- 15 -
圖 2.7	降壓切換式穩壓器開關關閉 .....	- 15 -
圖 2.8	切換式穩壓器時域圖 .....	- 16 -
圖 2.9	連續導通模式 .....	- 17 -
圖 2.10	不連續導通模式 .....	- 19 -
圖 3.1	多相位展頻調變切換式降壓穩壓器架構圖 .....	- 22 -
圖 3.2	PWM 電壓控制示意圖 .....	- 23 -
圖 3.3	電路充電電流向圖 .....	- 25 -
圖 3.4	電路放電電流向圖 .....	- 25 -
圖 3.5	切換式穩壓器 Simulink 數學模型圖 .....	- 26 -
圖 3.6	誤差放大器電路圖 .....	- 27 -
圖 3.7	PID-II 補償 .....	- 28 -
圖 3.8	頻率響應圖 .....	- 29 -

圖 3.9	比較器之遲滯波形示意圖 .....	- 30 -
圖 3.10	遲滯比較器架構圖 .....	- 31 -
圖 3.11	遲滯比較器之模擬波形 .....	- 31 -
圖 3.12	非重疊電路架構圖 .....	- 32 -
圖 3.13	非重疊電路模擬波形圖 .....	- 33 -
圖 3.14	零電流偵測電路架構圖 .....	- 34 -
圖 3.15	軟啟動電路架構圖 .....	- 35 -
圖 3.16	軟啟動電路時序模擬圖 .....	- 35 -
圖 3.17	多相位展頻調方塊圖 .....	- 36 -
圖 3.18	環型振盪器架構圖 .....	- 37 -
圖 3.19	環型振盪器 Simulink 數學模型 .....	- 38 -
圖 3.20	環型振盪器電壓與頻率的對應關係圖 .....	- 38 -
圖 3.21	非理想環型振盪器電壓與頻率的對應關係圖 .....	- 39 -
圖 3.22	數位三角波產生器架構圖 .....	- 40 -
圖 3.23	上下數計數器模擬波形圖 .....	- 41 -
圖 3.24	數位類比轉換器架構圖 .....	- 42 -
圖 3.25	數位類比轉換器輸出電壓與 Bit 數對應圖 .....	- 43 -
圖 3.26	數位類比轉換器 Simulink 數學波形模擬圖 .....	- 44 -
圖 3.27	數位類比轉換器非理想波形模擬圖 .....	- 44 -

圖 3.28	相位產生器架構圖 .....	- 45 -
圖 3.29	相位產生器特性波形圖 .....	- 46 -
圖 3.30	相位產生器 Simulink 數學模型圖 .....	- 46 -
圖 3.31	相位產生器 Simulink 數學模擬波形圖 .....	- 47 -
圖 3.32	多相位三角波產生器架構圖 .....	- 48 -
圖 3.33	多相位三角波產生器 Simulink 數學模型圖 .....	- 49 -
圖 3.34	多相位三角波產生器 Simulink 模擬波形圖 .....	- 49 -
圖 3.35	多相位三角波產生器模擬波形圖 .....	- 50 -
圖 4.1	晶片照相圖 .....	- 52 -
圖 4.2	測量環境示意圖 .....	- 54 -
圖 4.3	PCB 板正反面照相圖(a)為正面(b)為反面 .....	- 55 -
圖 4.4	切換式穩壓器暫態電壓輸出圖 .....	- 56 -
圖 4.5	起動展頻調變以及未起動展頻調變之輸出變化情形 .....	- 56 -
圖 4.6	模擬頻譜波形圖 .....	- 57 -
圖 4.7	不同負載輸出模擬圖 .....	- 57 -
圖 4.8	VCO 於 800KHz 輸出波型 .....	- 58 -
圖 4.9	於 130KHz 輸出波型 .....	- 59 -
圖 4.10	類比三角波電壓調變波形 .....	- 60 -
圖 4.11	多相位產生器相位差 90 度方波 .....	- 61 -

圖 4.12	多相位產生器 200KHz 方波.....	- 62 -
圖 4.13	軟起動電路電壓上升暫態圖 .....	- 63 -
圖 4.14	PWM 責任週期.....	- 64 -
圖 4.15	PWM 責任週期比較圖.....	- 65 -
圖 4.16	切換式穩壓器穩定時間 .....	- 66 -
圖 4.17	切換式穩壓器 10u 電容漣波電壓.....	- 67 -
圖 4.18	切換式穩壓器 47u 電容漣波電壓.....	- 67 -
圖 4.19	重載轉輕載電壓漣波 .....	- 68 -
圖 4.20	輕載轉重載電壓漣波.....	- 68 -



## 表目錄

表 2-1	不同 corner 之頻率響應特性.....	- 29 -
表 4-1	IC 腳位功能表 .....	- 53 -
表 4-2	切換式穩壓器模擬量測規格比較表.....	- 69 -



# 第一章 緒論

## 1.1 研究動機

由於製程的演進以及製造技術的提升，越來越多的可攜式產品朝著體積小、重量輕，方便攜帶的目標前進。電源管理 IC 為各種可攜式類比與混合訊號積體化電路與系統中不可或缺的區塊。其中，由於切換式電源轉換器(Switching mode power converter, SMPC)之架構比起線性穩壓器(Low-dropout regulator, LDO)有較高的轉換效率，故為電源管理 IC 中最常被使用的架構。然而 SMPC 採用固定頻率變動責任週期之脈波寬度調變器(Pulse Width Modulator, PWM)做為其控制器，此脈波寬度調變器會產生週期性方波，這些方波在頻域上會有較大能量發生在切換頻率處突起之脈衝(impulse or tone)與發生於切換頻率整數倍 Harmonic tones 的位置上，這些 Harmonic tones 被視為雜訊，為我們所不樂見的，會導致其他區域的效能下降 [1][2]。

另外較高頻週期性輸出電壓漣波也是雜訊，會透過輸出端傳導至受供給電源區塊或 IC，使其雜訊增加，造成效能降低或是誤動作，為一種雜訊傳導之形式，這種雜訊傳導型式也稱為傳導性電磁干擾(Conducted Electromagnetic Interference, conducted EMI)[3]。

再者功率級(Power Stage)的電晶體(Power MOS)受 PWM 產生的方波控制開關產生訊號，為電感充放電進而產生電感電流，電流造成的磁場變化透過空氣干擾附近的元件，這種現象也稱為輻射性電磁干擾(Radiated Electromagnetic Interference, Radiated EMI)[3]。

以上各種雜訊於頻譜上皆會呈現突起之脈衝並且集中於固定頻率，為此本論文希望實現利用展頻方法來達到抑制電磁干擾的效果。

## 1.2 論文摘要

本論文分為 5 個章節做討論，首章介紹論文之研究動機。第二章簡單介紹降壓器與展頻電路的原理與應用，並且對於降壓器的種類與優缺點進行分析。第三章將介紹多相位展頻調變降壓器的系統架構之實現且進行各個子電路的分析與做動原理。第四章介紹整個系統的模擬以及量測上考量的重點，與使用不同模擬軟體產生不同的差異在哪。最後第五章將對所有章節做個結論並且討論改進方向。

## 第二章 電路理論分析

此章節介紹展頻調變產生器還有直流轉直流穩壓器的技術與理論。

### 2.1 展頻調變產生器

圖 2.1 展頻是一種拿來克服電磁干擾(Electromagnetic Interference, EMI)的技術，使用許多不同之方法將固定之脈波寬度調變器(PWM)之操作頻率打散，將其能量均勻的分散在臨近的頻率上，如此一來，在切換頻率上的能量將會降低，其高頻諧波項也會因為展頻的效果而將能量分散到鄰近的頻率，進而降低電磁干擾的影響。

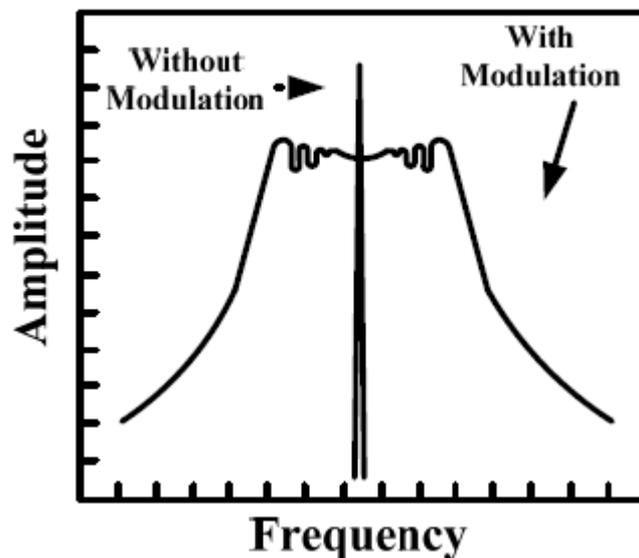


圖 2.1 展頻示意圖

## 2.1.1 展頻調變產生器理論

展頻調變技術由通訊調變技術的方法[4][5][6]而來，調變的頻率是在原本訊號的常數項，乘上一時變訊號完成調變。以弦波舉例，設定一原始位調變訊號  $f(t)$  為：

$$f(t) = A \cdot \sin(2\pi \cdot f_c \cdot t) \quad (2-1)$$

其中  $A$  為該函數的振幅也與頻譜的能量值有相關，而  $f_c$  為載波頻率也就是調變前的訊號頻率，因為是一弦波訊號，所以在頻譜上只會有一個脈衝能量  $A$  集中於載波頻率上。而頻率調變後的訊號  $f_{FM}$  如下：

$$f_{FM}(t) = A \cdot \sin(2\pi \cdot f_c \cdot (1 + \Delta f_c \cdot \sin(2\pi \cdot f_M \cdot t)/f_c) \cdot t)$$

$\Delta f_c$  是頻率調變量(peak deviation)， $f_M$  是調變頻率(frequency of the modulating profile function)，振幅與調變前相同，頻率項則乘上了弦波時變函數。而在頻譜上  $A_n$  的能量可以用傅立葉轉換算出，公式如下：

$$A_n = \left| \int_{-\infty}^{\infty} f_{SCC}(t) \cdot e^{-j2\pi(f_c + (n-1)f_M) \cdot t} \cdot dt \right| \quad (2-2)$$

由於其不是定頻的弦波訊號，所以在載波頻率的兩旁也將產生能量。為了討論調變量與調變頻率的關係，設定一調變參數  $m_f$  (modulation index)：

$$m_f = \frac{\Delta f}{f_M} \quad (2-3)$$

由通訊系統可知當 $\beta$ 越大時，頻譜延展的越平坦。根據卡森法則 (Carson's rule) 可以得知訊號的能量不會因頻率調變而改變，訊號總能量等於載波能量加上調變後的諧波能量，可以得到公式如下[5]：

$$A^2 = A_1^2 + 2(A_2^2 + A_3^2 + \dots) \quad (2-4)$$

而頻率訊號總能量的百分之九十八都會在頻寬 B 內：

$$B = 2 \cdot f_M \cdot (1 + m_f) = 2 \cdot (\Delta f_C + f_M) \quad (2-5)$$

假設 $m_f \gg 1$ 時：

$$B = 2 \cdot \Delta f_C \quad (2-6)$$

因此不論 $m_f$ 再怎麼樣提高，能量也不會落在調變量之外。因此展頻調變技術可以有效的將原本集中的能量延展分散在設計的調變量內，達到有效的抑制電磁干擾技術。切換式轉換器是藉由脈衝寬度調變產生器產生方波信號來切換功率電晶體開關，因此需從方波來做考量，假設方波週期函數為：

$$T_c = \frac{1}{f_c} \quad (2-7)$$

$f_c$ 為載波頻率，而頻譜上除了載波頻率的能量還包含多次諧波的能

量。方波訊號經過頻率調變，其週期將變為：

$$T_{FM} = \frac{1}{f_c \cdot (1 + \Delta f_c \cdot \sin \cdot (2\pi \cdot f_M \cdot t) / f_c)} \quad (2-8)$$

方波經過展頻調變後一樣會將原本集中的能量延展至設計的調變量內，因此同樣的在切換式穩壓器中的脈衝寬度調變產生器所產生的方波做展頻調變就可使穩壓器的電磁干擾源頭被抑制。

在頻譜上除載波頻率被延展，其諧波項也將同樣的受到能量延展。諧波上的展頻量是不一樣的，其中 $h$ 代表 $f_h = h \cdot f_c$ ，並以 $m_f^h$ 來定義諧變參數：

$$m_f^h = \frac{\Delta f_h}{f_M} = h \cdot \frac{\Delta f_c}{f_M} = h \cdot m_f \quad (2-9)$$

以卡森法則來看各諧波因調變能量所分部的頻寬 $B_h$ ：

$$B_h = 2 \cdot f_M \cdot (1 + m_f^h) = 2 \cdot (\Delta f_h + f_M) \quad (2-10)$$

假設 $m_f^h \gg 1$ 時：

$$B_h = 2 \cdot h \cdot \Delta f_c \quad (2-11)$$

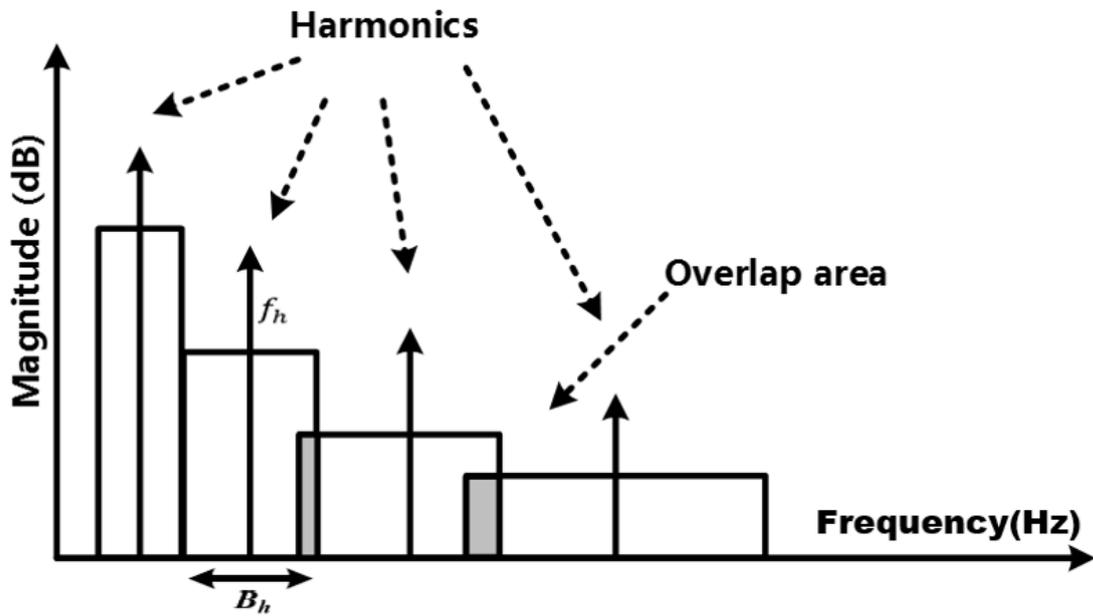


圖 2.2 高次諧波下會出現的重疊現象

由式子(2.12)可以得知對於越高階的諧波項能量則分散的越寬，其對於電磁干擾的衰減量也越大，因此使用展頻調變技術對諧波產生的電磁干擾抑制相當有效。但對於更高階的諧波能量分散的越寬，則會發生重疊現象[6]，由圖 2.2，可以計算出重疊時：

$$f_h + \frac{B_h}{2} = f_{h+1} - \frac{B_{h+1}}{2} \quad (2-12)$$

將式子(2.13)帶入式子(2.12)時，可以得知：

$$f_c = \frac{2}{1 - \delta \cdot (1 + 2 \cdot h_{overlap})} \cdot f_M \quad (2-13)$$

$\delta$ 是總頻率延展比例(rate of modulation)， $h_{overlap}$ 即發生重疊時的那

根諧波。整理移項式子(2.14)即可得：

$$h_{overlap} = \frac{1}{\delta} \cdot \left( \frac{1}{2} - \frac{f_M}{f_C} \right) - \frac{1}{2} \quad (2-14)$$

利用式子(2.15)即可算出第幾根諧波會發生重疊，雖然重疊會使諧波的電磁干擾抑制衰減，但由於重疊往往發生在很後面，且此時的能量很小，因此對於整體系統並不會造成影響。而藉由上述幾種參數即可導出展頻調變所衰減的能量值[7]：

$$Attenuation = 10 \cdot \log_{10} \left( \frac{f_C \cdot \delta \cdot h}{f_M} \right) \quad (2-15)$$

衰減量與 $\Delta f_C$ 頻率調變量成正比，同樣的對於越高階的諧波項，其能量分散的越寬，而選擇不同的 $\delta$ 能量衰減的程度也不相同。因此如果要求抑制更高的電磁干擾衰減量，則 $\Delta f_C$ 頻率調變量也越要越大，但在高頻的應用下， $\Delta f_C$ 過大會造成 Jitter 的影響。切換式穩壓器的切換頻率通常較為低頻(100KHz-1MHz)，因此延展量可以設計得比高頻應用還要大。

## 2.1.2 展頻調變產生器技術

展頻調變架構可大致分為兩類：(a)調變輸出(b)調變壓控振盪器。調變輸出的方式是先利用鎖相迴路產生一固定頻率訊號，將訊號透過相位選擇的方式造成輸出的相位偏移或延遲單元方式完成。第二種方法是調變壓控振盪器，直接控制振盪器的電壓進行調變。調變輸出由於無法控制調變量及調變頻率所以不考慮，而且由於近年來越來越講求縮小面積及積體化，傳統 PLL 需要外給參考頻率並且內部需要很多主動元件(如：相位偵測器、充電幫浦、低通濾波器等等…)。如果將此電路結合切換式穩壓器將使電路系統過度龐大，要考量的參數及影響會很多。因此本次實作將直接採用調變壓控振盪器的方式完成，因為切換式穩壓器的切換頻率可接受誤差的範圍較大，還有只要調變切換式穩壓器所需的切換頻率即可針對整體系統電磁干擾的源頭抑制，會比較方便且直接。實作方式將在後面章節做介紹。

## 2.2 直流轉直流穩壓器簡介

直流轉直流穩壓器(DC-DC Converter)為轉換直流電壓到另一不同電壓準位的電子電路，通常會提供一個可調整之輸出電壓。穩壓器主要可以分成兩大類一為線性穩壓器(Linear Regulator)，另一大類

為切換式穩壓器(Switching Regulator)，再依照轉換效能、可提供最大電流量，以及輸出的雜訊大小等考量再進一步細分。在依照功率電晶體是否外接以及電流可提供之最大量又可分為兩類。本論文將針對低壓降線性穩壓器以及切換式穩壓器中的降壓切換式穩壓器設計並實現。接下來幾小節將對低壓降線性穩壓器(Low Dropout Voltage Regulator, LDO)、切換式穩壓器(Switching Regulator)做簡單的介紹以及比較。

### 2.2.1 線性穩壓器簡介(Linear Regulator)

線性穩壓器[8]多半運用在輸入電壓與輸出電壓較接近的情況，以提高其轉換效能。此架構裡的運作是由外部給一參考電壓( $V_{ref}$ )，在負載端接兩個電阻來當分壓，利用錯誤放大器將參考電壓與輸出端分壓後的壓差放大，當輸出分壓電壓比參考電壓低時，錯誤放大器的輸出端會為低位準，然後 PMOS 就會對負載端充電，當負載端電路等於或大於參考電位時，錯誤放大器輸出為高位準，此時就會把 PMOS 關閉停止對負載端充電。輸出電壓與參考電壓有關，可藉由選用回授電阻 $R_1$ 、 $R_2$ 來決定輸出電壓：

$$V_{out} = V_{ref} \cdot \frac{R_1 + R_2}{R_2} \quad (2-16)$$

此種架構優點是不需用到電感，較省面積，也比較容易做成積體電路，不需要複雜的控制訊號，在輸出的峰對峰值漣波電壓方面與切換式穩壓器相比下小非常多且到達所需電壓值的達穩定時間也較短，但缺點是當輸入與輸出的差距太大的時候部分功率消耗在功率電晶體上，使得轉換效能差。其電路不能做升壓的動作，且會有一段輸出差，及實際輸出的輸出電壓與預計的輸出電壓會有一小段的壓差。

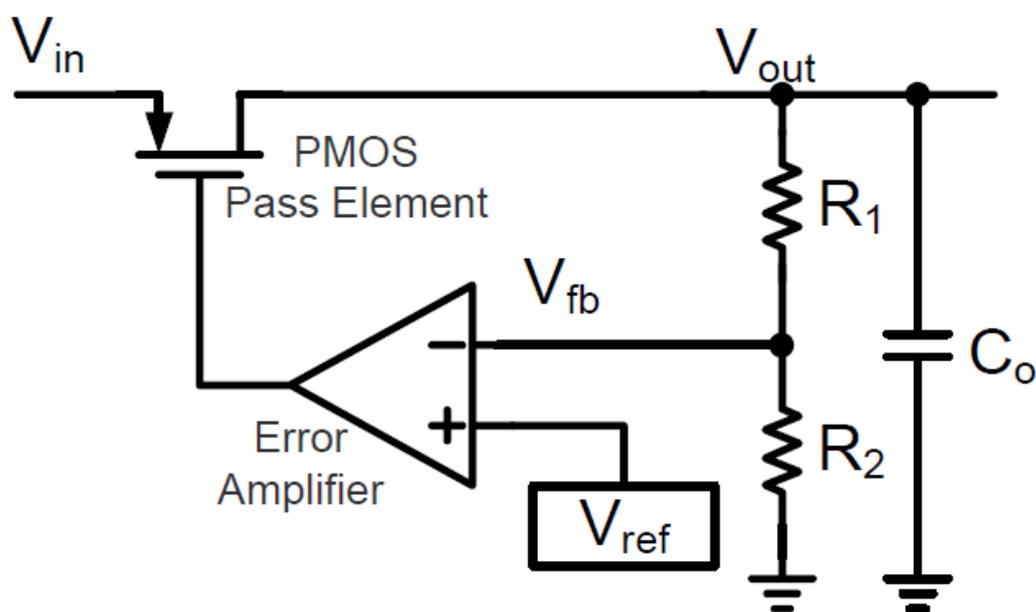


圖 2.3 線性穩壓器示意圖

## 2.2.2 切換式穩壓器簡介(Switching Regulator)

切換式穩壓器被廣泛的運用在高功率與高效率的電源供應器上。切換式穩壓器的外部電路與內部控制電路相對於線性穩壓器，會比較複雜。參考圖 2.4，切換式穩壓器的原理是取輸出電壓的分壓給誤差放大器比較，藉由控制電路送出數位的訊號，調變功率電晶體開關的導通或關閉。輸出電壓公式如下：

$$V_{out} = V_{ref} \cdot \frac{R_1 + R_2}{R_2} \quad (2-17)$$

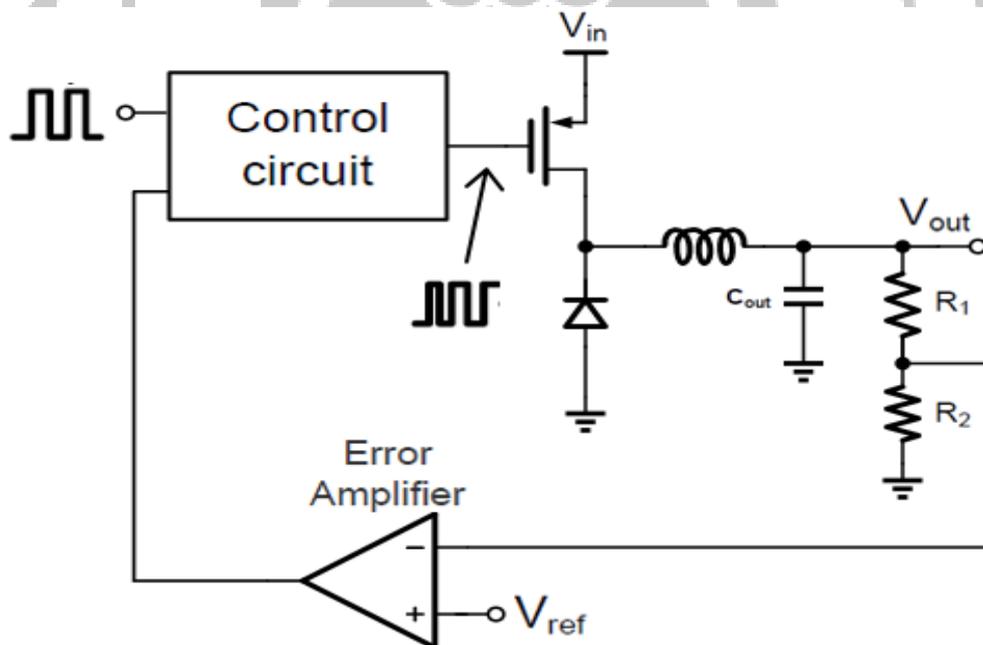


圖 2.4 切換式穩壓器示意圖

控制電路做法可以分為固定週期，調變導通時間長短，稱為脈衝寬度調變(Pulse Width Modulation ,PWM)；另一種為固定導通(關閉)時

間，而調變訊號頻率快慢，稱為脈衝頻率調變(Pulse Frequency Modulation ,PFM)。

切換式穩壓器其好處在於較高的轉換效率以及能夠提供升降壓轉換，但輸出電壓有小的漣波疊加在直流電壓上。切換式穩壓器是經由不連續的電流脈衝送到輸出端，相對於線性穩壓器是連續的電流供應功率，所以切換式外部電路必須加入電感當儲能元件，以及二極體當成開關關閉時的電流迴路。

切換式穩壓器可以應用的範圍包括直流-直流和直流-交流轉換器，而轉換電壓可以是升高或降低，也有可能是轉成負電壓，每種電路的原理是開關切換後，外部的儲能元件遵守能量守恆定律，外部的電路會利用功率電晶體當開關以提供大電流以及儲存能量的被動元件。

常用的轉換器有降壓式(buck converter)升壓式(boost converter)與升降壓式(buck-boost converter)，只要將開關、二極體與電感換位置就可以得到不同的轉換器。此論文主要討論降壓式穩壓器於展頻電路幫助下觀察降低的 EMI 值，因此後面章節會詳細介紹降壓式穩壓器的運作原理。

## 2.3 切換式降壓穩壓器

降壓切換式穩壓器[9]是將一電壓源( $V_{in}$ )經由消耗很少的功率轉換至一較低的直流電壓準位( $V_{out}$ )，架構如圖 2.5 所示，當開關導通的時候，圖 2.6，輸入電壓源接至電感，此時電感兩端有個電位差造成電感電流上升，在開關導通期間，電感電流流經輸出負載與電容(此時對電容充電)，輸出電壓上升。當開關關閉時，圖 2.7，輸入電壓停止供給電感，然而電感上的電荷不會立即消失，仍提供電流給輸出， $V_d$  電壓下降，當  $V_d$  電壓下降至一電位時，二極體導通，電感電流便流經負載回到二極體形成一迴路，此階段之負載電流為電感與電容電流之總合。在連續導通的情況下，當系統穩定時，電感電流與電容電壓維持一週期性。

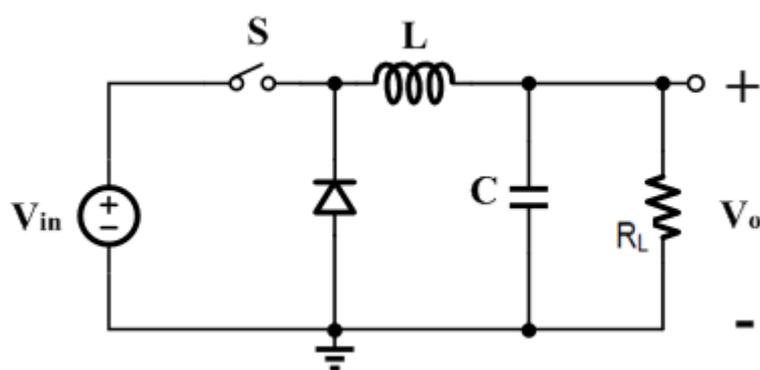


圖 2.5 降壓切換式穩壓器架構圖

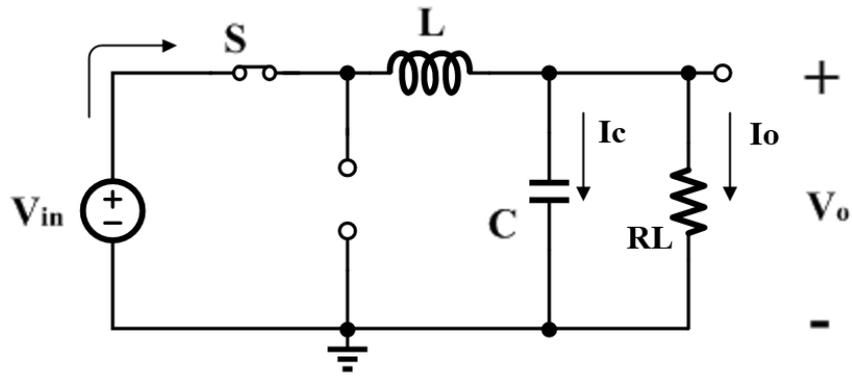


圖 2.6 降壓切換式穩壓器開關導通

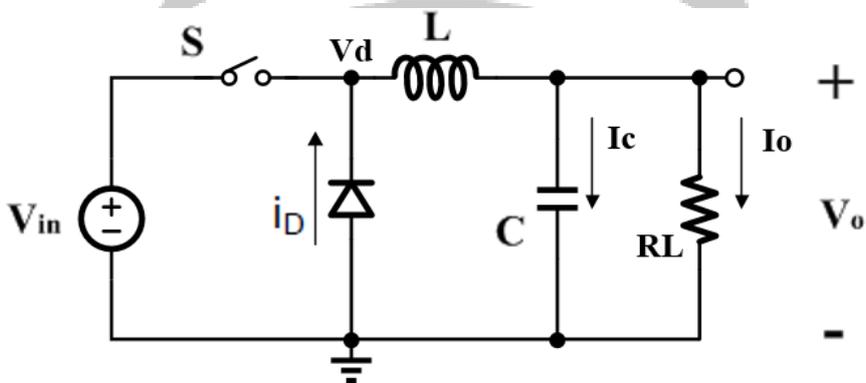


圖 2.7 降壓切換式穩壓器開關關閉

由伏-秒平衡定理之任一週期內電感電壓平均值為 0 的特性可得知：

$$(V_{in} - V_o) \cdot DT + (-V_o) \cdot (1 - D)T = 0 \quad (2-18)$$

為(2-18)式做整理可得：

$$V_{in} \cdot D = V_o \quad (2-19)$$

最後可以得知：

$$\frac{V_o}{V_{in}} = D \quad (2-20)$$

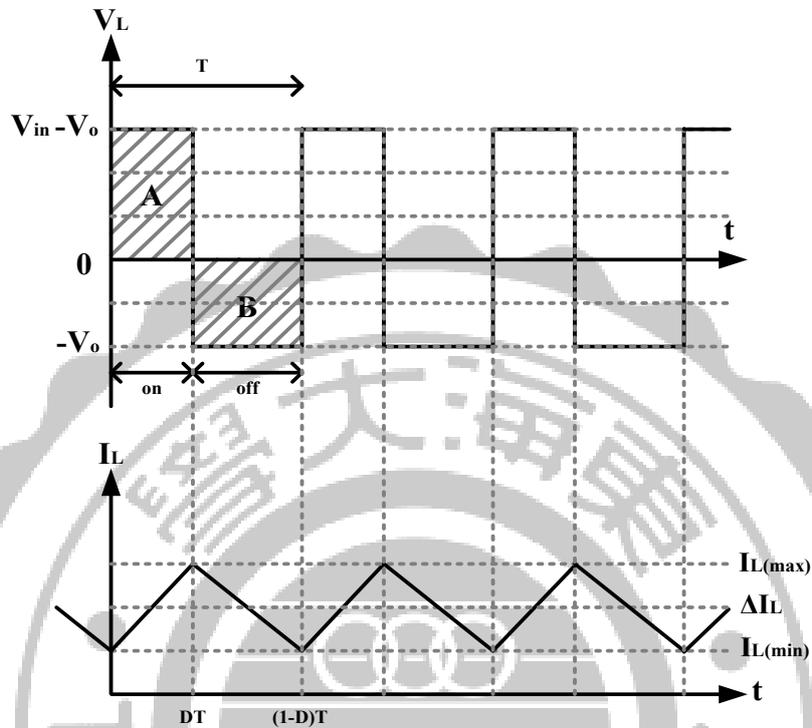


圖 2.8 切換式穩壓器時域圖

而在上述根據電感電流通過的情況又可以分成兩種操作模式:連續導通模式與不連續導通模式。連續導通模式被稱為重載模式，而不連續導通模式則被稱為輕載模式。對降壓穩壓器而言，一般在連續導通模式的輸出效能比較好[10]。

### 2.3.1 連續導通模式(Continuous-Conduction Mode ; CCM)

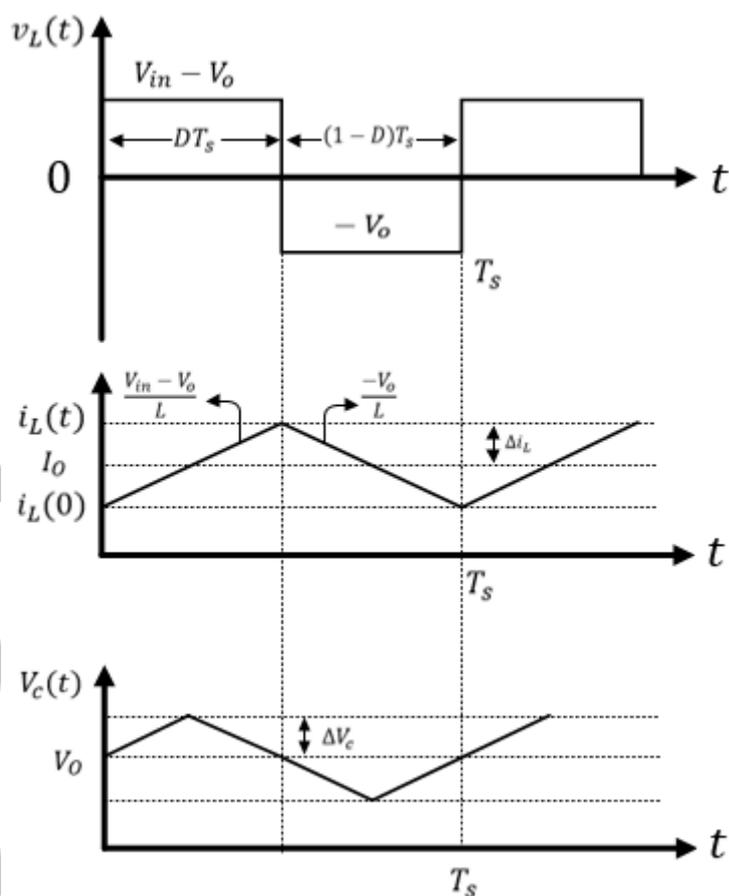


圖 2.9 連續導通模式

在連續導通模式這種狀態下，電感的電流永遠不會為零並且在開關週期之間保持連續。

在圖 2.9 中利用斜率關係，可以看出電感電流漣波公式為：

$$\Delta i_L = \frac{V_{in} - V_o}{2L} DT_s \quad (2-21)$$

整理公式(2-21)移項後，便可以固定所需的電流漣波求出所對應的電

感值：

$$L = \frac{V_{in} - V_{out}}{2\Delta i_L} DT_s \quad (2-22)$$

電容的峰對峰值漣波電壓為：

$$2 \cdot \Delta V_C = \frac{1}{C} \cdot \int_0^{T_s} \frac{\Delta i_L}{4} dt = \frac{\Delta i_L}{8C} \cdot T_s \quad (2-23)$$

將式(2-21) 中之 $\Delta i_L$ 值代入式(2-23) 可得：

$$\Delta V_C = \frac{V_o \cdot (1 - D)}{16 \cdot C \cdot L} \cdot T_s^2 \quad (2-24)$$

### 2.3.2 不連續導通模式(Discontinuous-Conduction Mode ; DCM)

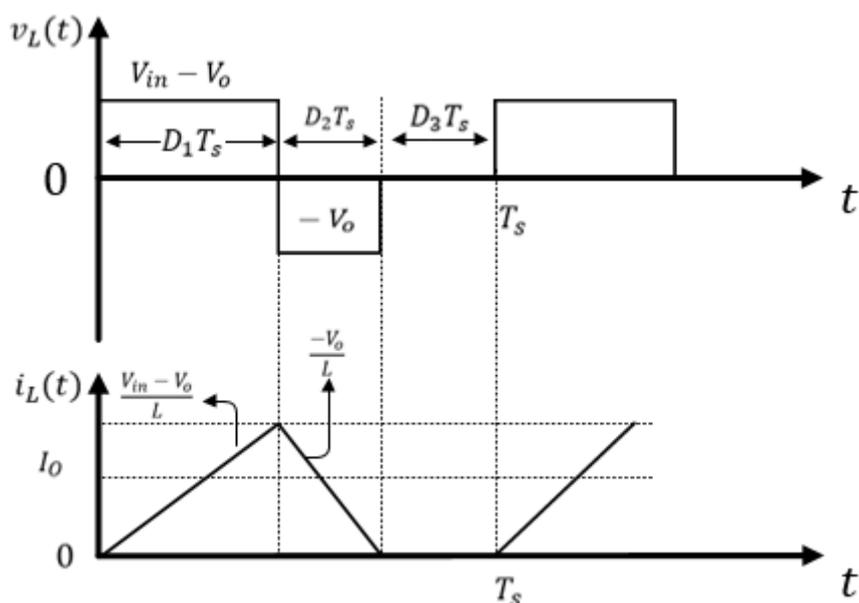


圖 2.10 不連續導通模式

假設負載  $R$  增加，則直流電流  $I$  逐漸減小。當  $I$  下降到小於  $\Delta i_L$  時，這種狀態下的降壓穩壓器則稱為不連續導通模式。所以在不連續導通模式下得知：

$$I > \Delta i_L \quad \text{for CCM} \quad (2-25)$$

$$I < \Delta i_L \quad \text{for DCM} \quad (2-26)$$

由式(2-20)與式(2-21)中，可以得到：

$$\Delta i_L = \frac{V_{in} - V_o}{2L} D T_s = \frac{V_{in}(1-D)D}{2L} \cdot T_s \quad (2-27)$$

而直流電流  $I$  又等於：

$$I = \frac{V_o}{R} \quad (2-28)$$

將式(2-27)與式(2-28)帶入式(2-25)與式(2-26)中得：

$$\frac{D V_{in}}{R} < \frac{V_{in} D (1-D) T_s}{2L} \quad (2-29)$$

整理後可得：

$$\frac{2L}{R T_s} < (1-D) \quad (2-30)$$

在連續導通模式與不連續導通模式下，負載  $R$  被定義為：

$$R_{crit} = \frac{2L}{(1-D)T_s} \quad (2-31)$$

推導公式(2-31)可以得出：

$$R > R_{crit}(D) \quad \text{for CCM} \quad (2-32)$$

$$R < R_{crit}(D) \quad \text{for DCM} \quad (2-33)$$

## 第三章 多相位展頻調變切換式降壓穩壓器設計

### 3.1 系統架構

本章為整個電路設計架構做詳細的介紹，架構如圖 3.1。電路部分包括有展頻調變產生器(Spread Spectrum Clock Generator)、多相位產生器(Multi-Phase Generator)、三角波產生器(Triangle wave Generator)、軟啟動電路(Soft-Starting Circuit)、誤差放大器(Error Amplifier)、遲滯比較器(Hysteresis Comparator)、延遲電路(Dead-Time Circuit)、功率元件驅動電路(Power Transistor Driver Circuit)還有功率電晶體(Power Transistor)來完成多相位展頻調變降低電磁干擾之切換式降壓穩壓器(Switching Buck Regulator Using Multi-Phase Spread-Spectrum Modulation for EMI Reduction)的設計。

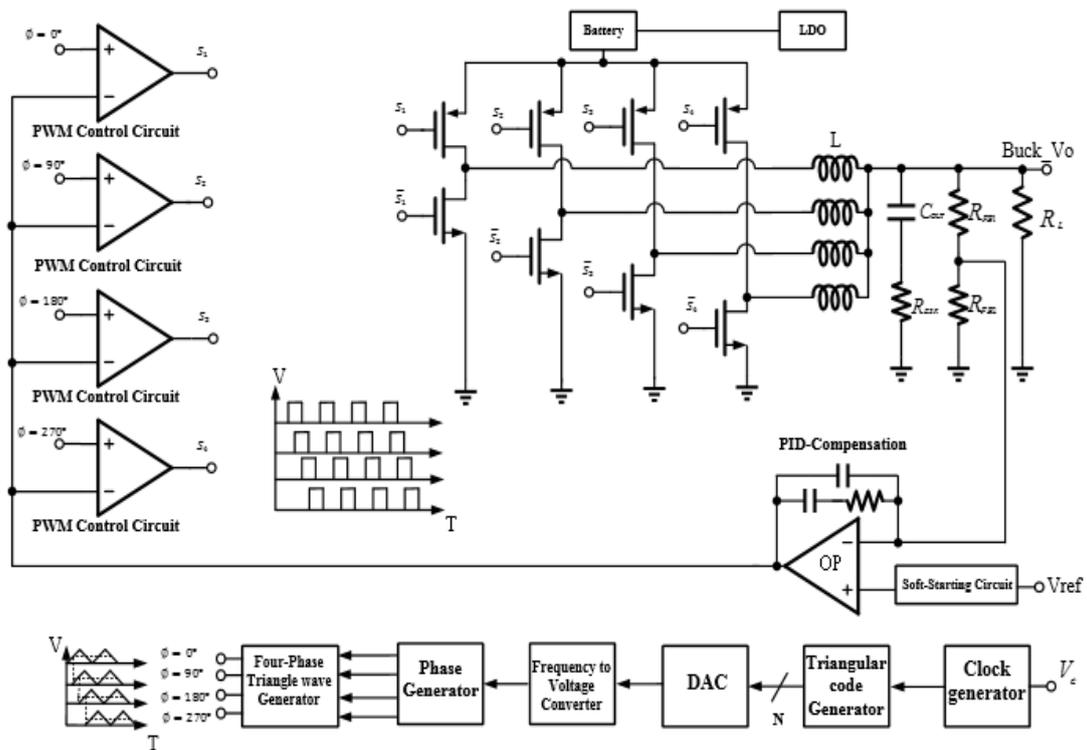


圖 3.1 多相位展頻調變切換式降壓穩壓器架構圖

### 3.2 系統架構說明

此系統的切換式降壓穩壓器控制電路做法是利用固定週期的三角波與誤差放大器輸出電壓經過比較器來產生責任周期 D(Duty Cycle)之方波，借由此方波來調變功率電晶體導通時間長短，來達成穩定降壓輸出。如圖 3.2 所示，當  $V_c$  上升時，則比較器輸出之責任周期會增加，借此達成控制目的。

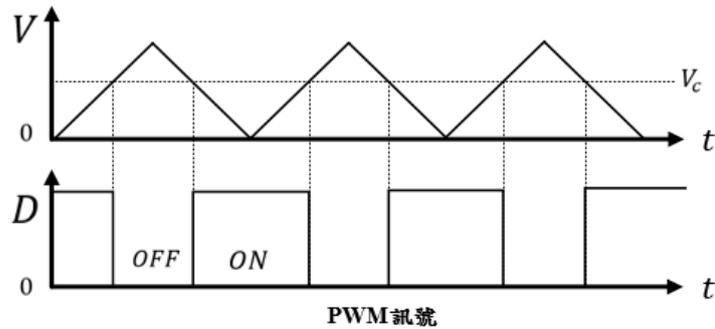
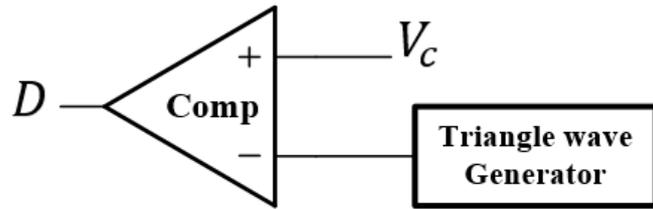


圖 3.2 PWM 電壓控制示意圖

而利用多相位展頻產生脈波頻率調變與傳統脈波頻率調變不同的地方在於，傳統輸入進來的三角波為固定頻率，而我們除了利用展頻的特性，讓輸入進來的三角波不再是固定的頻率，而是有緩慢變動的頻率之外還加上交錯式相位技術可在不提高切換頻率的同時，當有  $M$  個控制開關時，知  $M$  相交錯式可等效的將頻譜能量集中於  $M$  倍的切換頻率上。利用這兩個技術來有效的降低降低電磁干擾。

### 3.3 降壓穩壓器架構

可攜式產品之切換式降壓穩壓器內部電路包括有:偏壓電路(Bias Circuit)、誤差放大器(Error Amplifier)、軟啟動電路(Soft Circuit)、遲滯比較器(Hysteresis Comparator)、延遲電路(Dead-Time Circuit)、功率元件驅動電路(Power Transistor Driver Circuit)還有功率電晶體(Power Transistor)。此章節會利用 Matlab & Simulink 模擬平台來計算電路系統的數學數值，再介紹內部架構。

#### 3.3.1 穩壓器系統分析

於第二章有對降壓切換式穩壓器電壓電流做過暫態分析，可以知道一般在連續導通模式的輸出效能比較好，而由圖 3.3 可以得知電感電流與電容電壓公式為：

$$I_L(t) = \int \frac{V_L(t)}{L} dt = \frac{1}{L} \int [(D \cdot V_{in} - V_{out}(t)) - R_L I_L(t)] \cdot dt \quad (3-1)$$

$$V_{out}(t) = \int \frac{I_L(t) - I_{out}(t)}{C} dt + [I_L(t) - I_{out}(t)] \cdot R_C \quad (3-2)$$

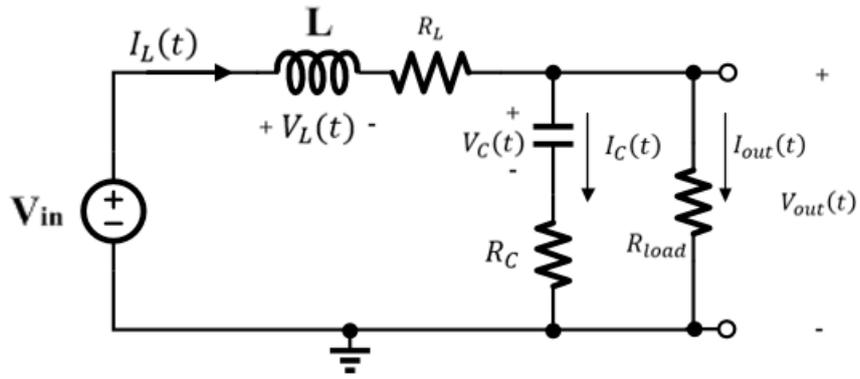


圖 3.3 電路充電電流向圖

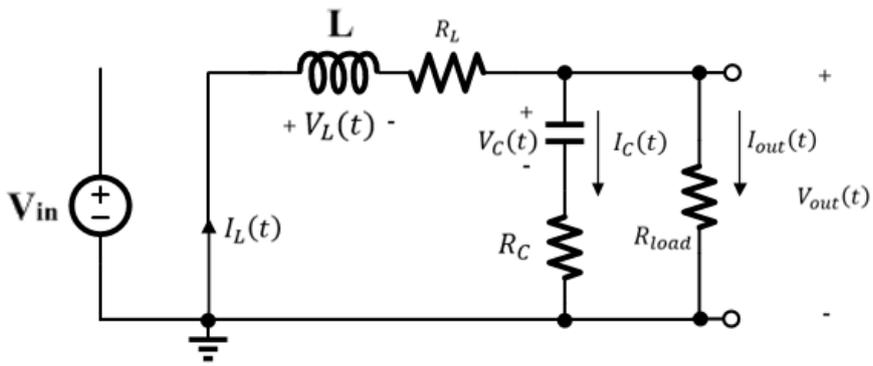


圖 3.4 電路放電電流向圖

由式()與式(), 就可以用 Matlab & Simulink 整理出數學等效模型圖, 如圖 3.5 所示, 其輸入為責任周期 $D$ 、電源電壓 $V_{in}(t)$ 與輸出電流 $I_{out}(t)$ , 而輸出電流 $I_{out}(t)$ 為 $V_{out}(t)$ 與 $R_{load}$ 的比值。

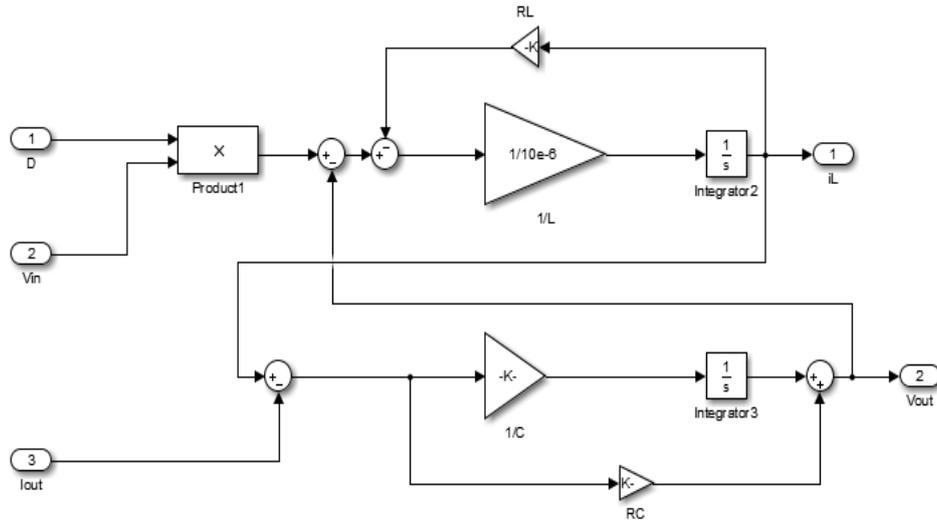


圖 3.5 切換式穩壓器 Simulink 數學模型圖

### 3.3.2 誤差放大器(Error Amplifier)

在這章節，誤差放大器採用了一個兩級串接運算放大器並配合 PID 補償使系統達到穩定。誤差放大器的功能是将參考電壓與分壓過後的回授電壓進行比較，再將放大後的訊號與外接三角波一起經過比較器，來產生具有寬度調變效果的脈波責任周期。

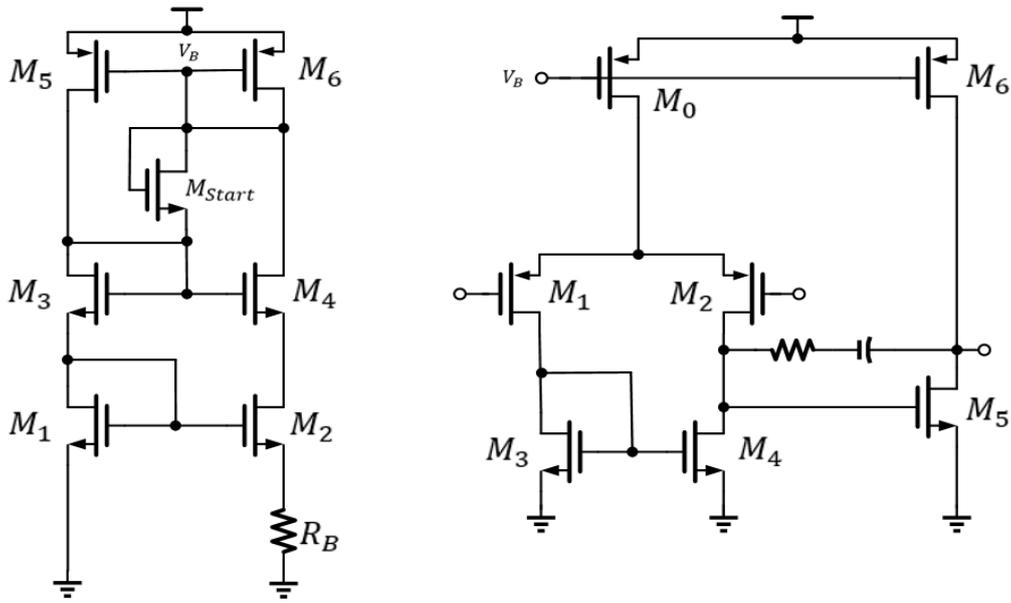


圖 3.6 誤差放大器電路圖

電路圖如圖 3.6，其偏壓電路採用與工作電源電壓、製程參數、溫度無關的自我偏壓電路並在電路中加入  $M_{Start}$  做為驅動電路來解決啟動(start-up)的問題[11]。其推導公式為：

$$I_{out} = \frac{1}{\mu_n C_{ox} (W/L)_N} \cdot \frac{1}{R_B^2} \cdot \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (3-3)$$

誤差放大器的第一級差動對放大增益為：

$$A_{V1} = g_{m1} (r_{ds2} \parallel r_{ds4}) \quad (3-4)$$

而第二級 Class-A 放大電路將第一級訊號放大，其增益為：

$$A_{V2} = g_{m5}(r_{ds5} \parallel r_{ds6}) \quad (3-5)$$

在穩定度補償電路，採用 PID-II 補償方法，架構圖如圖 3.7。

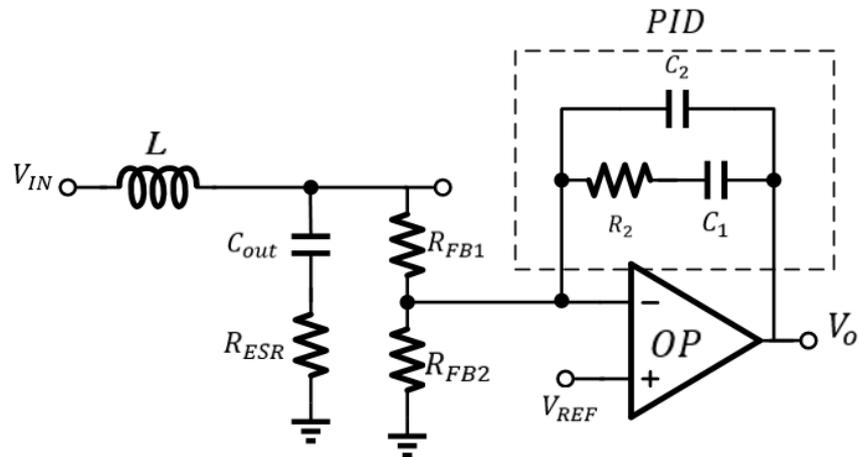


圖 3.7 PID-II 補償

其與誤差放大器的轉移函數為：

$$T_{ERROR}(s) = \frac{sR_2C_1 + 1}{sR_{FB1}(C_1 + C_2)(sR_2 \cdot \frac{C_1C_2}{C_1 + C_2} + 1)} \quad (3-6)$$

在補償電路中會產生兩個極點與一個零點，零點用來補償電感電容產生的極點。其中第一個極點位置為：

$$f_{p1} = \frac{1}{2\pi R_{FB1}(C_1 + C_2)} \quad (3-7)$$

第二個極點位置為：

$$f_{p2} = \frac{1}{2\pi R_2 \left( \frac{C_1 C_2}{C_1 + C_2} \right)} \quad (3-8)$$

零點位置為:

$$f_{z1} = \frac{1}{2\pi R_2 C_1} \quad (3-9)$$

完整的系統補償頻率響應圖如圖 3.8，驗證 PID-II 補償方法可以使系統穩定。其表 2-1 顯示在不同 corner 之頻率響應特性。

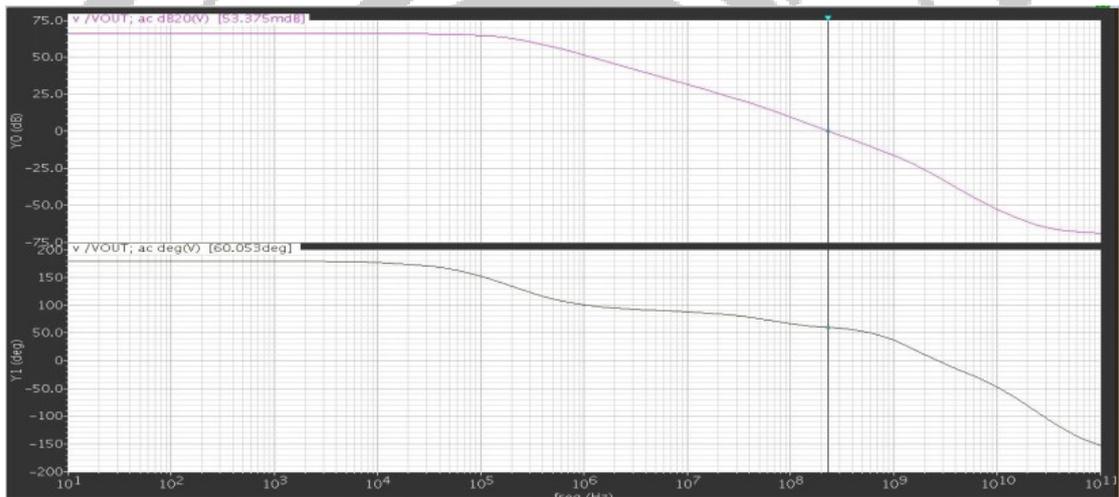


圖 3.8 頻率響應圖

表 2-1 不同 corner 之頻率響應特性

Corner@ $V_{DD} = 3.3V$	SS	TT	FF
增益(dB)	62.73	65.88	64.23
頻寬(MHz)	210.6	210.4	218.5
Phase Margin	58.46	60.53	60.77

### 3.3.3 比較器之遲滯(Hysteresis Comparator)

遲滯比較器可避免當開關切換時的雜訊使遲滯比較器偵測到錯誤的信號導致輸出錯誤的結果[12]。

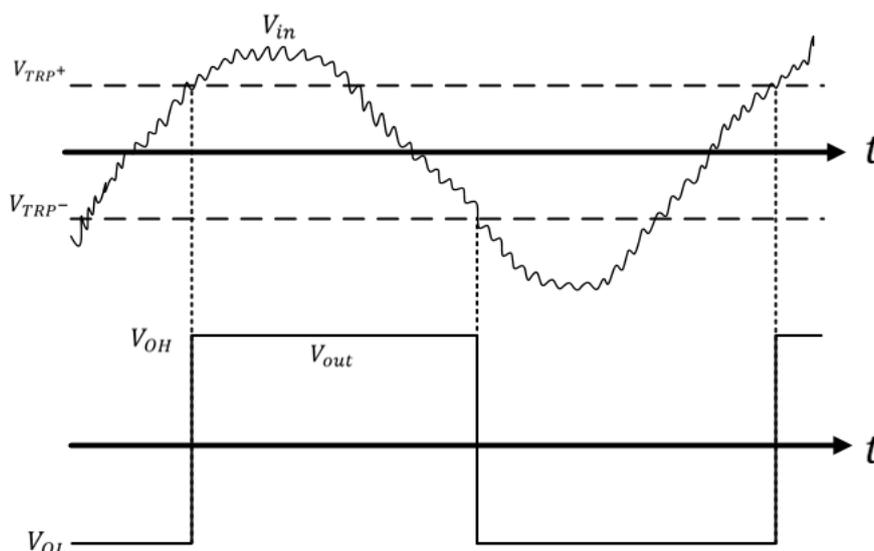


圖 3.9 比較器之遲滯波形示意圖

其做動原理為當輸入訊號 $V_{in}$ 低於 $V_{TRP-}$ 時，比較器的輸出為 $V_{OL}$ ，輸入訊號 $V_{in}$ 高於 $V_{TRP+}$ 時，比較器的輸出由 $V_{OL}$ 轉為 $V_{OH}$ ，但是如果有雜訊使得輸入訊號 $V_{in}$ 產生抖動時，讓輸入電壓低於 $V_{TRP+}$ ，此時並不會讓輸出電壓有誤判的情況，還是會讓輸出電壓維持在 $V_{OH}$ 狀態，直到輸入電壓低於 $V_{TRP-}$ 才會再由 $V_{OH}$ 轉成 $V_{OL}$ 的狀態。雖然此舉動會降低比較器的精準度，但是遲滯視窗卻可以避免較大的雜訊干擾，造成輸出電壓快速變動導致誤判情形產生。

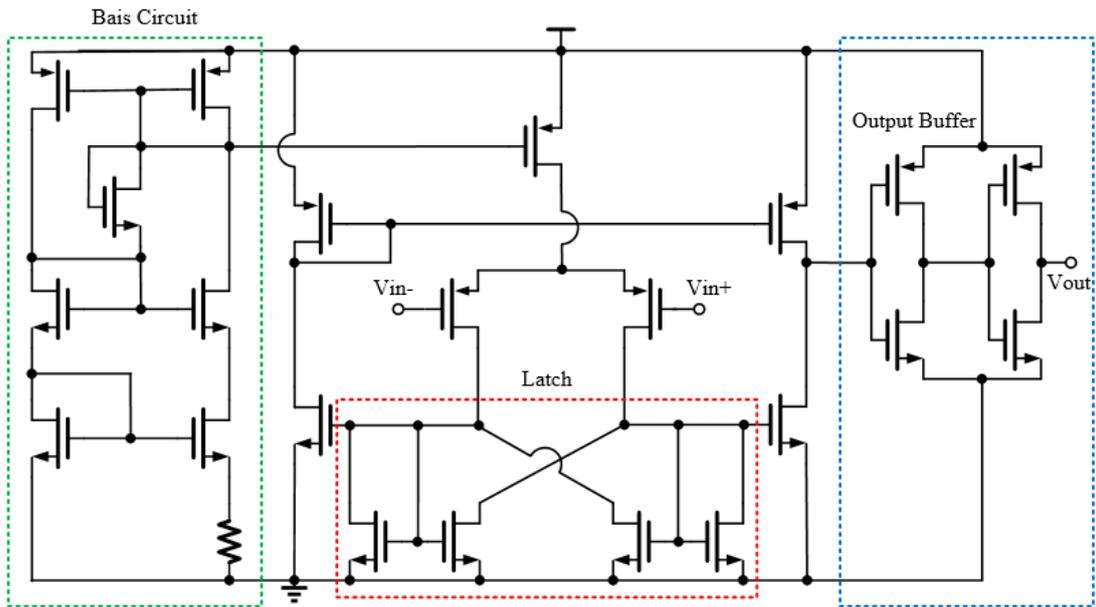


圖 3.10 遲滯比較器架構圖

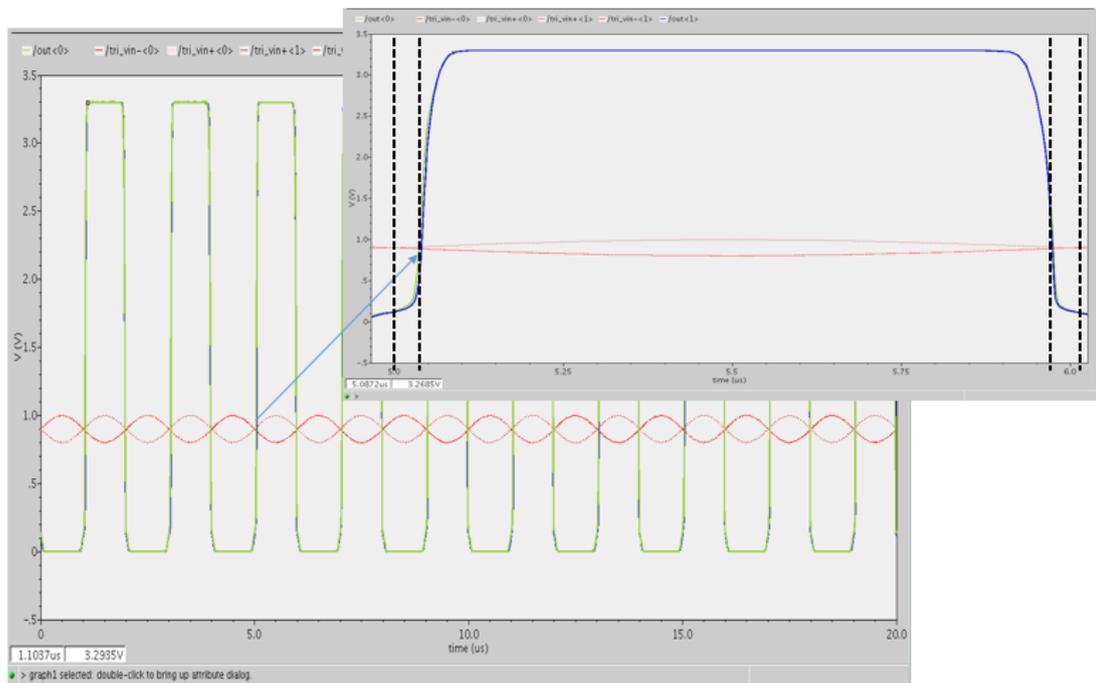


圖 3.11 遲滯比較器之模擬波形

### 3.3.4 延遲時間控制電路(Dead-time Control Circuit)

當功率元件轉態時，可能會發生供應電壓源與接地端瞬間短路，除了多於的功率消耗外，甚至會導致功率元件燒壞，為了避免此情況發生我們設計延遲時間控制(Dead-time Control)使得功率元件兩者不會同時導通[13]，其中非重疊電路(Non-overlapping circuit)可以有效的防止功率元件同時導通，其架構圖如圖 3.12。

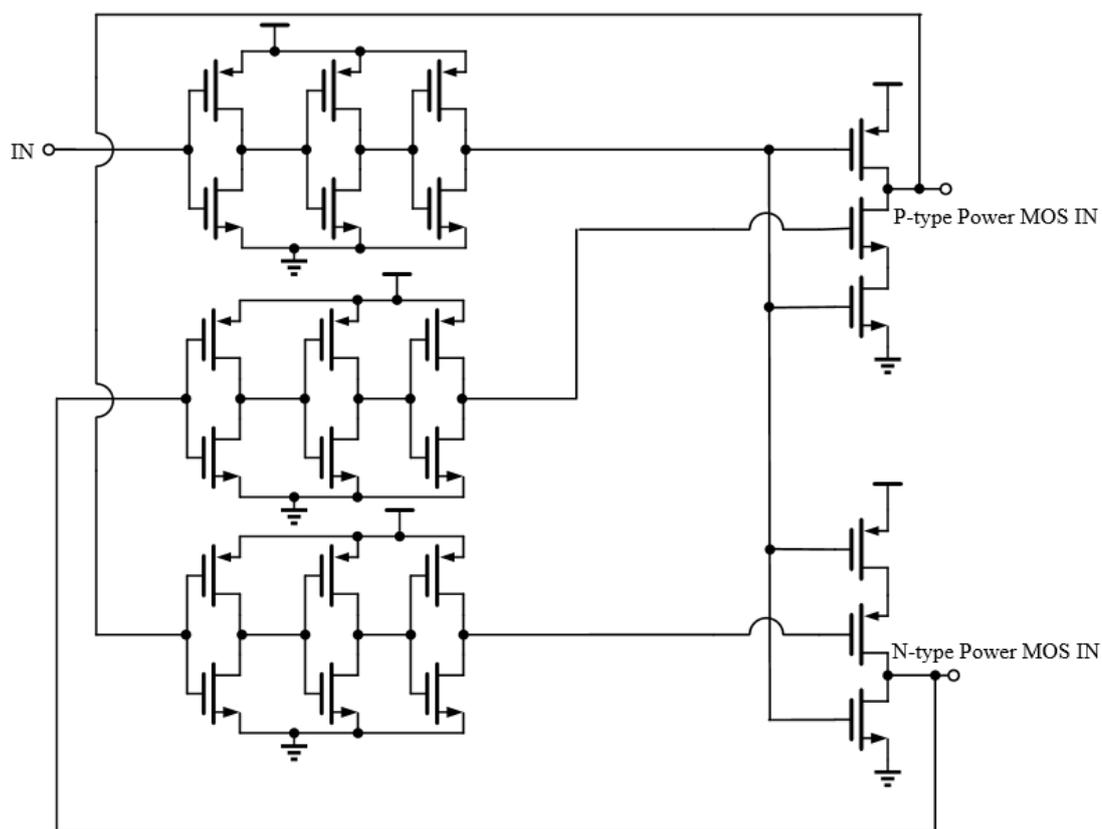


圖 3.12 非重疊電路架構圖

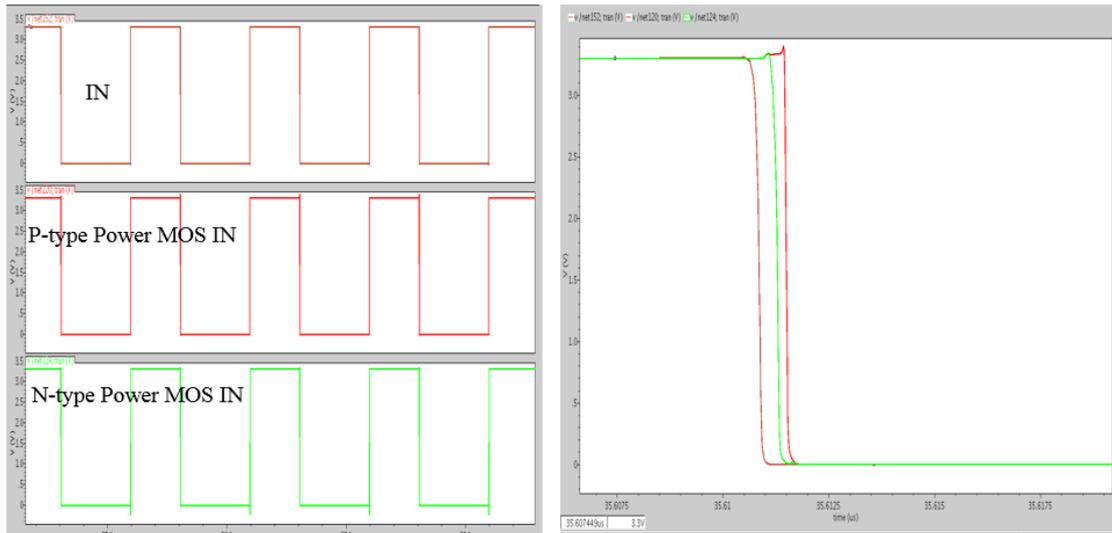


圖 3.13 非重疊電路模擬波形圖

而電感電流放完電時，為了關閉 N 型功率電晶體降低損耗，我們利用零電流偵測電路(Zero Current Detector；ZCD)，如圖 3.14，但因為於 N 型功率電晶體關閉時會等效為一個寄生電容，將使外部電感形成 LC 振盪，造成 VL 產生振盪，因此在使用零電流針測電路將 N 型功率電晶體關閉之外，會加一個開關在外部電感，使 N 型功率電晶體關閉時，將 VL 與 VO 等電位，避免產生振盪[14]。

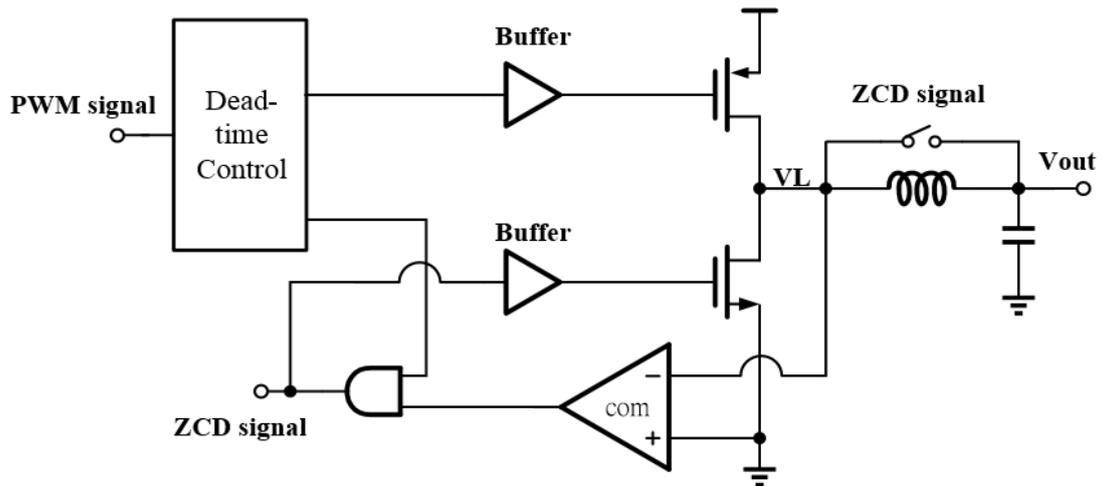


圖 3.14 零電流偵測電路架構圖

### 3.3.5 軟啟動電路(Soft-Starting Circuit)

本文使用的軟啟動電路，如圖 3.15 所示。軟啟動電路的目的是防止功率級電路在剛啟動且未穩壓時，產生的 inrush current，導致元件燒毀。其工作原理為利用電流  $I$  對電容  $C$  充電，使  $V_{RAMP}$  電壓緩慢的上升，在當  $V_{RAMP}$  還在上升時，輸出電壓由  $V_{RAMP}$  決定。當  $V_{RAMP}$  超過  $V_{REF}$  時，輸出電壓  $V_{REF}$  由大小決定。其中  $V_{BIAS}$  為偏壓電路提供[15]。

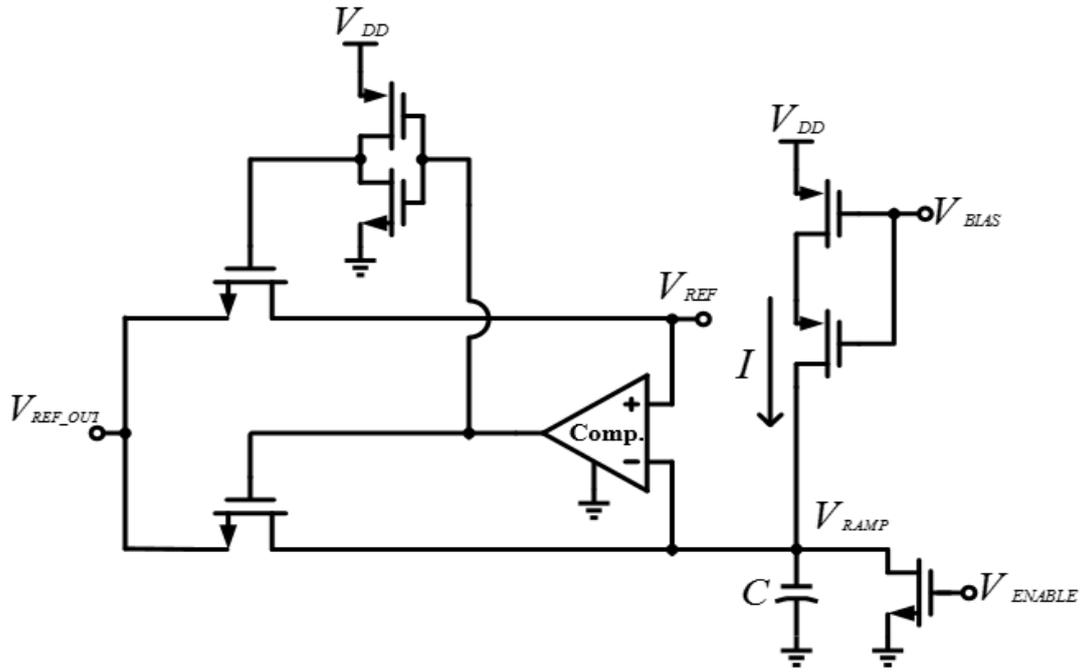


圖 3.15 軟啟動電路架構圖

其時序模擬圖如圖 3.16。

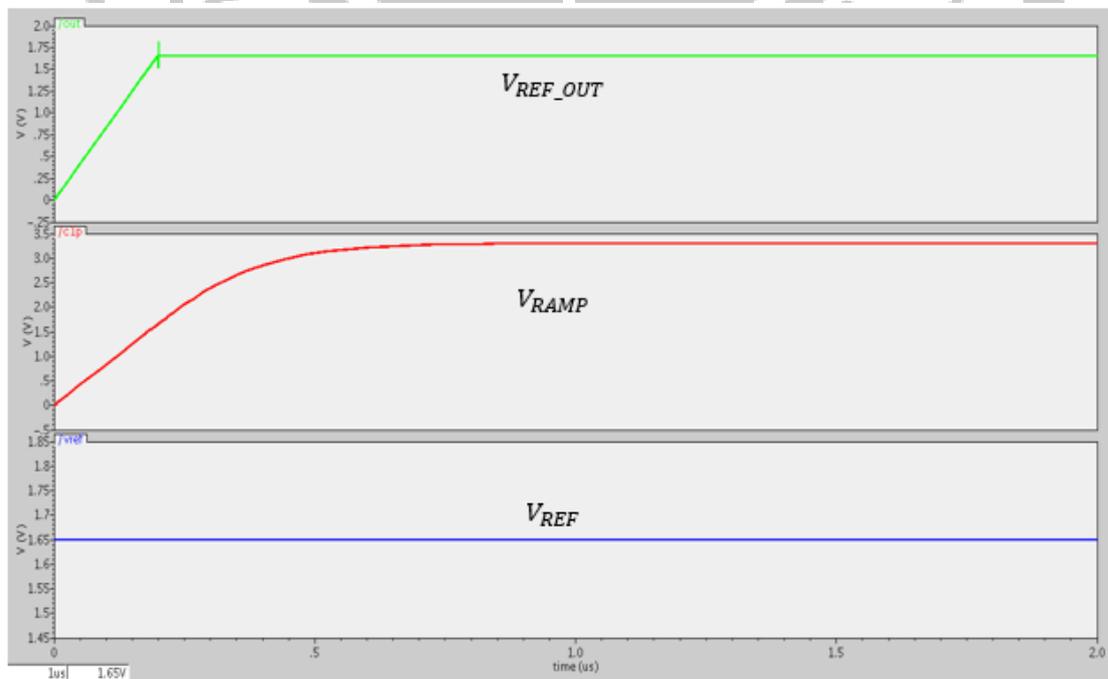


圖 3.16 軟啟動電路時序模擬圖

### 3.4 多相位展頻調變架構

四相位展頻調變產生器完整架構如圖 3.17，利用時脈產生器 (Clock generator) 產生一個固定頻率的方波去觸發數位三角波產生器 (Triangular code generator)。數位三角波產生器則是利用加法器與邏輯閘構成的上下計數器，進而產生類似三角波的數位訊號，接下來透過數位類比轉換器 (DAC)，將數位訊號轉成類比訊號就可以控制電壓頻率轉換器 (Frequency to Voltage Converter) 產生不同頻率的方波達到展頻的效果，接著透過相位產生器產生四相位的方波，再經由三角波產生器將四相位方波轉四相位三角波，完成整個四相位展頻調變產生器。

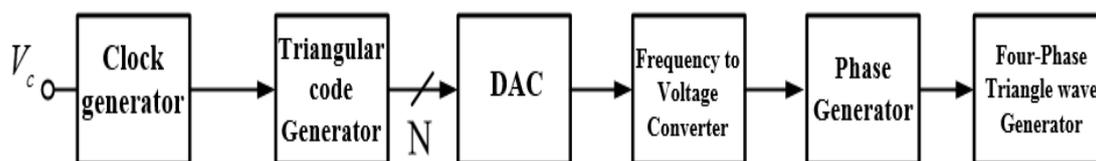


圖 3.17 多相位展頻調方塊圖

#### 3.4.1 時脈產生器 (Clock generator)

採用環型振盪器 (Ring Oscillator)，如圖 3.18。採用五級奇數級延遲單元組成的環型振盪器，其中每一級的延遲單元為 Current-starved 的反相器，控制其充放電流來完成所需的延遲時間 ( $T_d$ )。其振盪頻

率的關係式為[16]：

$$T_d = \frac{1}{2 \cdot N \cdot f} \quad (3-10)$$

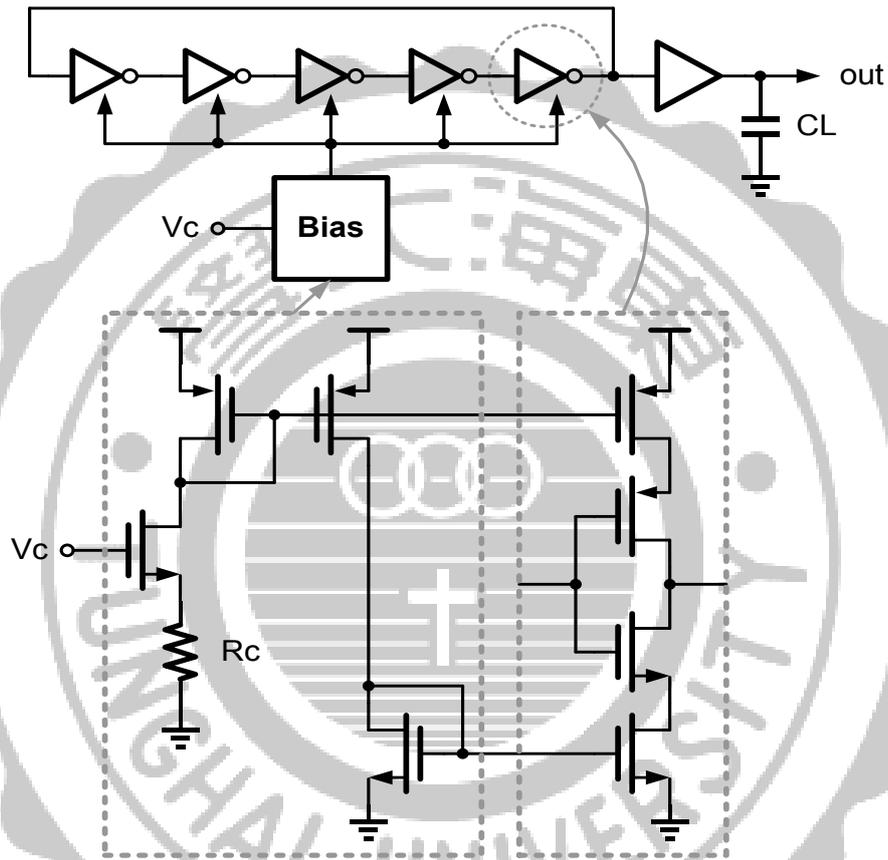


圖 3.18 環型振盪器架構圖

我們利用 Matlab & Simulink 整理出數學等效模型圖，如圖 3.19，可以得知  $V_c$  能夠操縱振盪頻率，當控制  $V_c$  工作在 1.5 V 至 2V 時，振盪頻率在 500K 至 800K Hz 之間動做。如圖 3.20 中，可以看出利用數學式計算出電壓與頻率的對應關係。

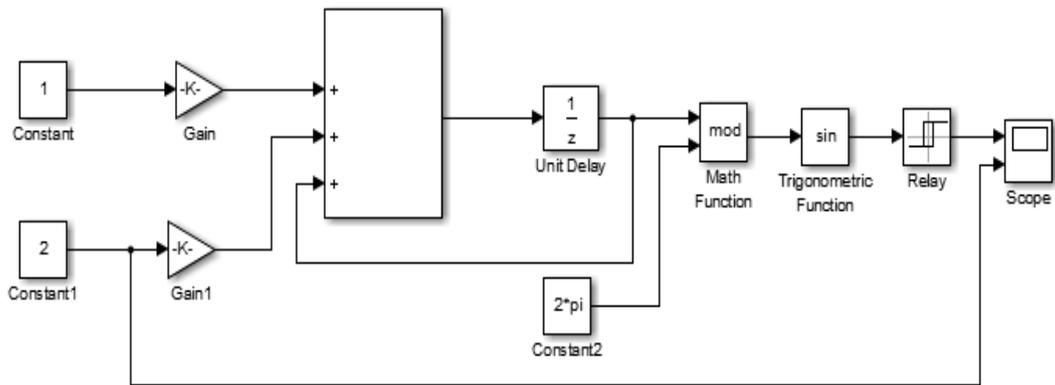


圖 3.19 環型振盪器 Simulink 數學模型

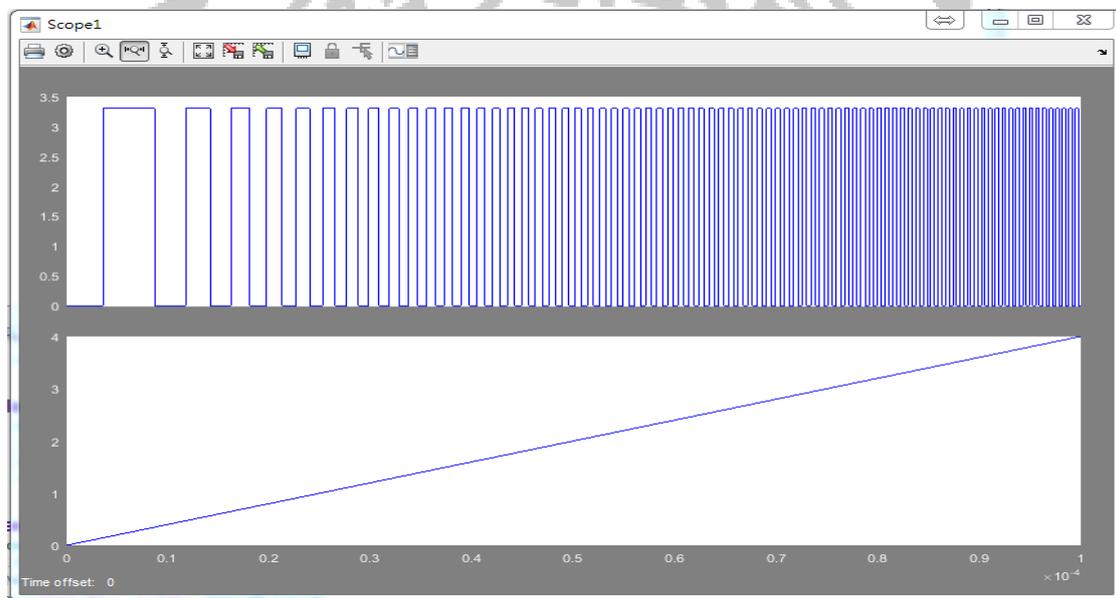


圖 3.20 環型振盪器電壓與頻率的對應關係圖

輸入電壓對輸出頻率的關係圖為圖 3.21，藉由輸入不同的電壓即可產生不同的切換頻率提供給電路使用。

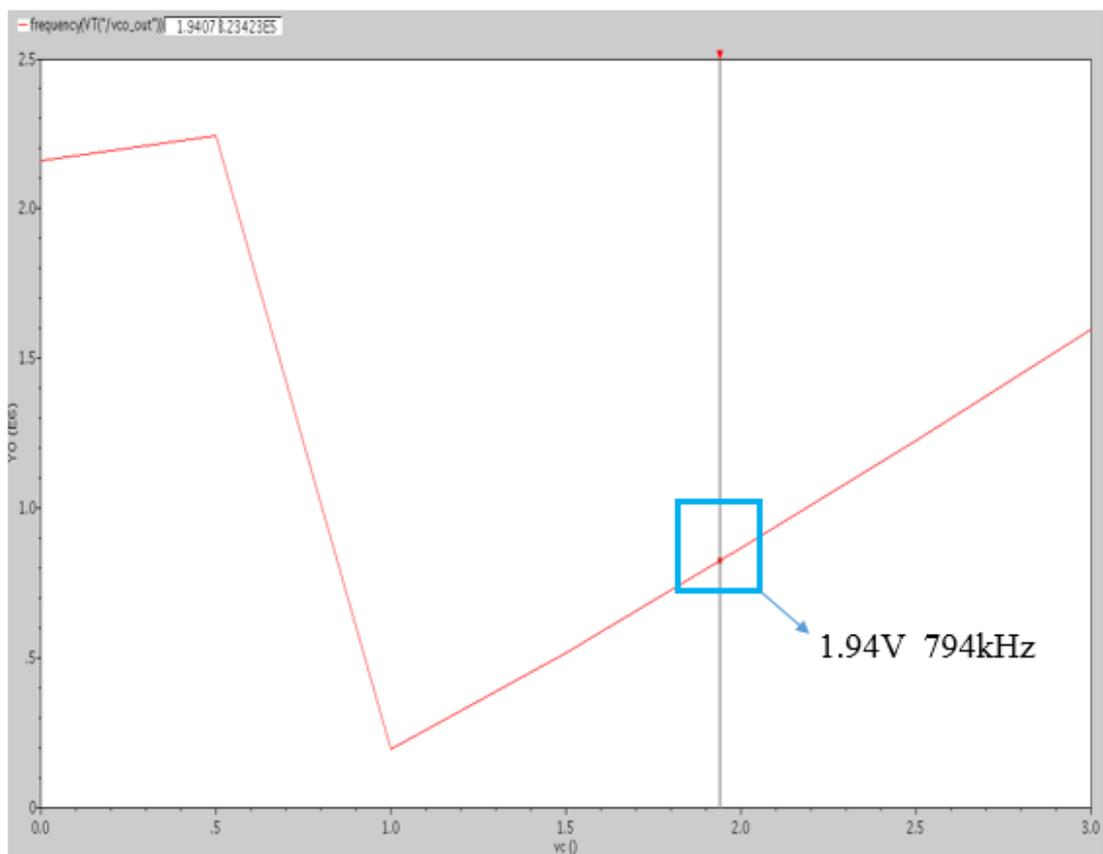


圖 3.21 非理想環型振盪器電壓與頻率的對應關係圖

### 3.4.2 數位三角波產生器(Triangular code generator)

數位三角波產生器(Triangular code generator)，採用全加器(Full Adder)、正反器(D Flip-Flop)以及邏輯閘用來達成一個可以透過前一級觸發而產生上下數的計數器。將計數器與後一級數位類比轉換器做結合。整體架構圖如圖 3.22。

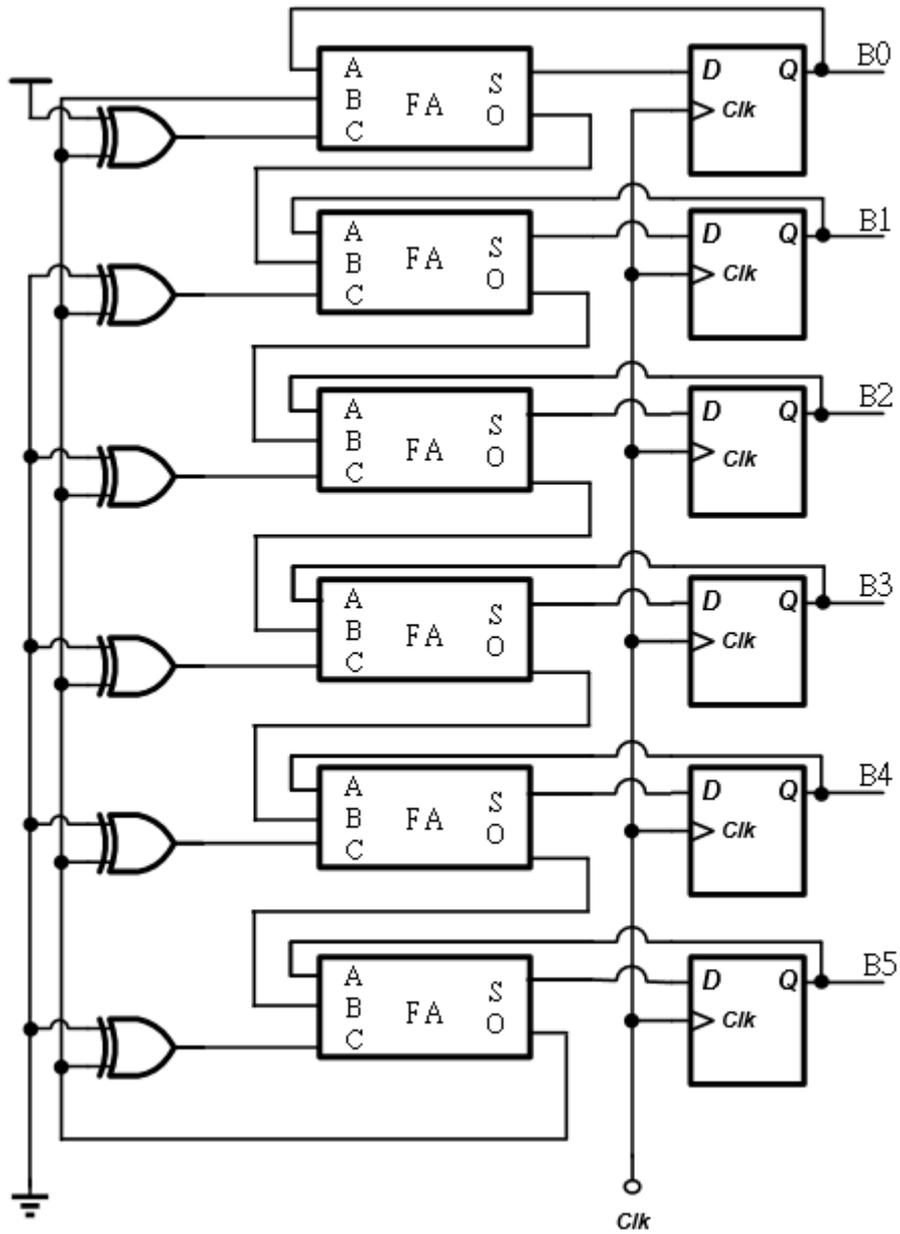


圖 3.22 數位三角波產生器架構圖

採用 Simulink 做出的 behavior 如圖 3.23，6 個 bit 數呈現由 000000 至 111111 在由 111111 向下數至 000000，不斷循環。

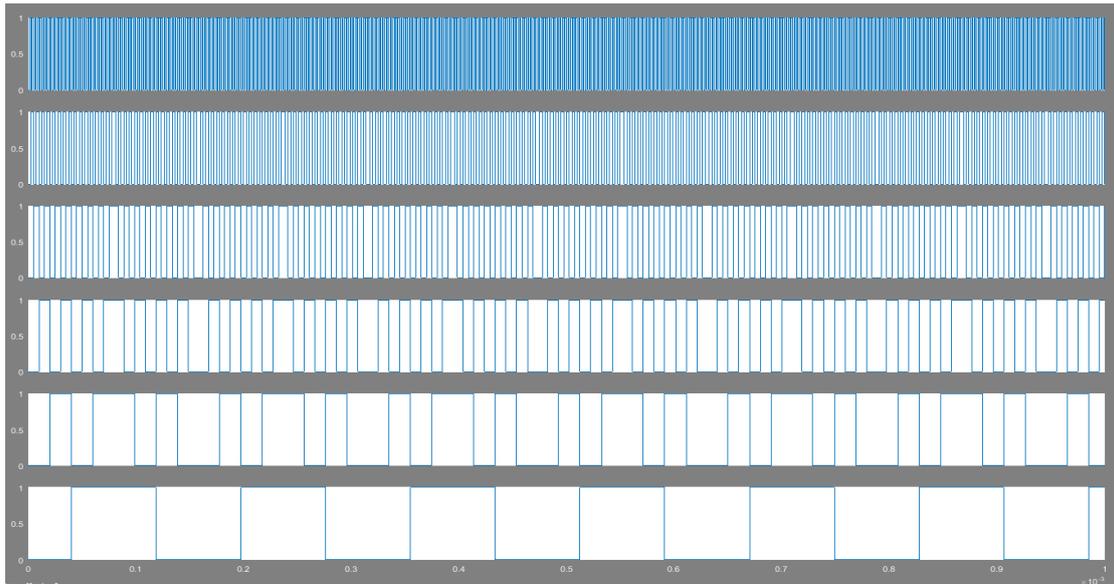


圖 3.23 上下數計數器模擬波形圖

### 3.4.3 數位類比轉換器(Digital To Analog Converter)

數位類比轉換器(DAC)採用電壓調變式數位類比轉換器[12]，而此架構是非常有規律性的因此適合以MOS技術來實現。其優點是能保持輸出訊號的單調性因為每個連接點的電壓並不會小於其下面連接點的電壓值大小。三位元二元陣列形式數位類比轉換器如圖

3.24。

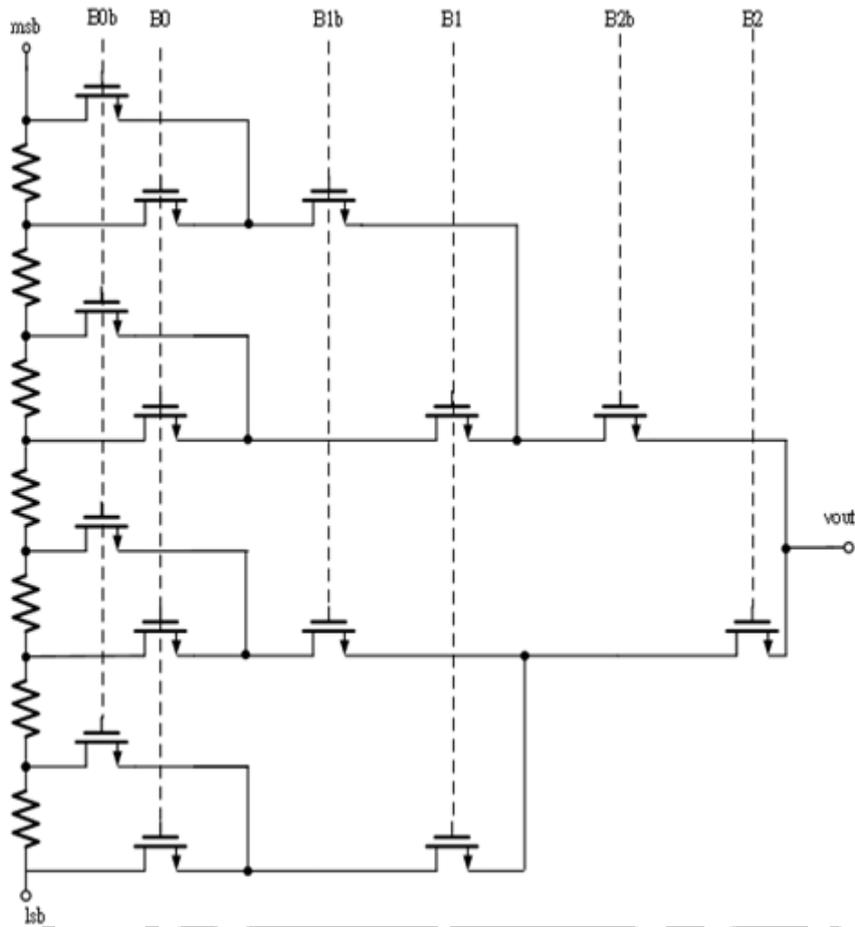


圖 3.24 數位類比轉換器架構圖

將參考電壓透過數位類比轉換器分割為 $2^N$ 組控制電壓去控制電壓頻率轉換器[18]，開關的控制訊號則由數位三角波產生器來控制，完成類比三角波調變波形。

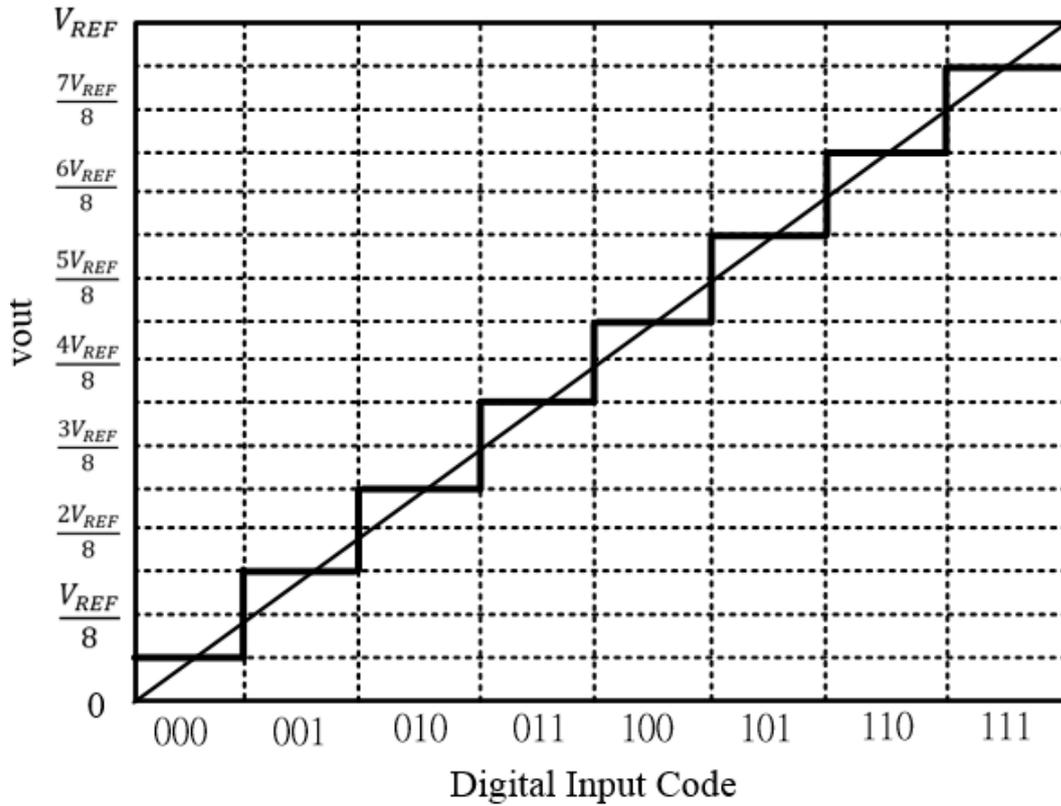


圖 3.25 數位類比轉換器輸出電壓與 Bit 數對應圖

在這部分中，我們利用 Simulink 做出的 behavior。設計 1.5V 至 2V 的操作電壓，用於控制從 500K 到 800K 的頻率，觸發下一級 VCO 產生如圖 3.26。在圖 3.26 中，可以明顯看出在不同的電壓下，所對應的震盪頻率。

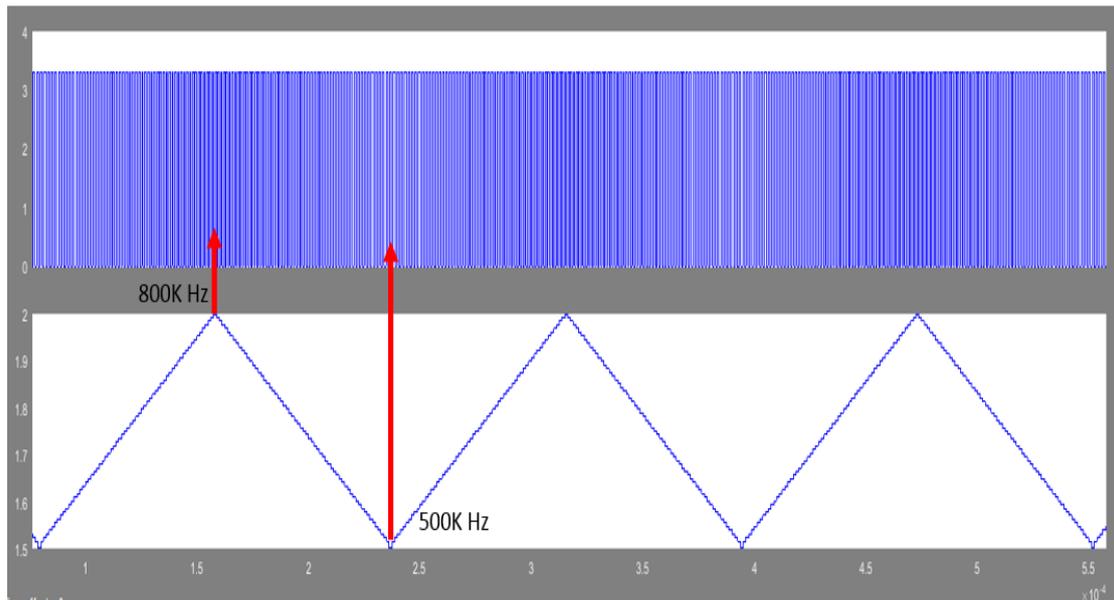


圖 3.26 數位類比轉換器 Simulink 數學波形模擬圖

圖 3.27 為類比三角波的波形，在展頻調變未啟動時，控制電壓會固定在 1.5V，當展頻調變啟動則控制電壓會從 1.5V 變化到 2V 完成數位三角波調變。

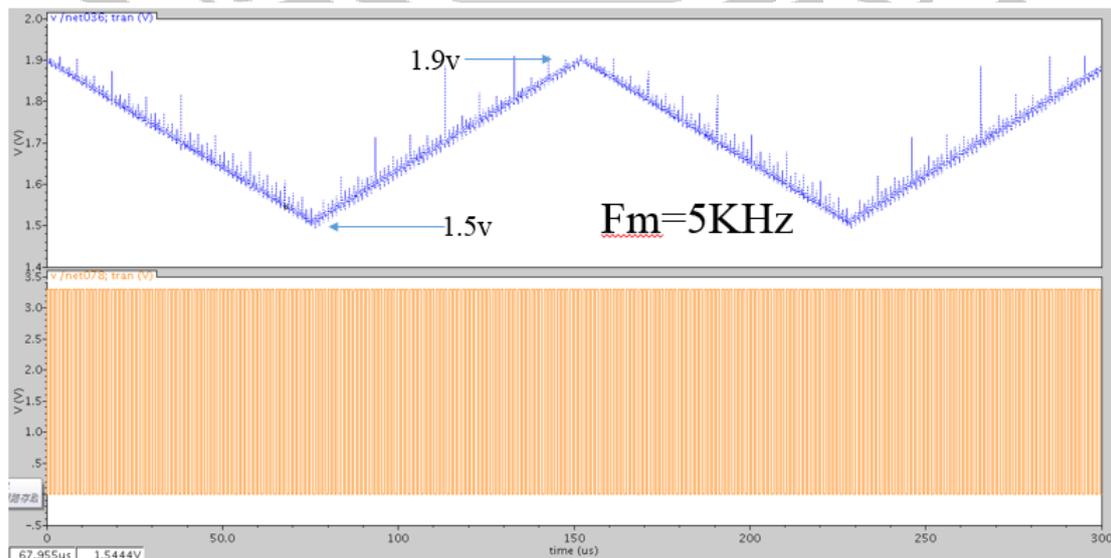


圖 3.27 數位類比轉換器非理想波形模擬圖

### 3.4.4 相位產生器(Phase Generator)

相位產生器(Phase Generator)[19]利用四組 D-FF 以及 AND 閘產生，架構如圖 3.28。首先透過 D-FF 將波型除頻，再將除頻的波型與原來的波型進行 AND 處理也就是利用數位延遲的方式產生四相位方波，其特性波形為圖 3.29。

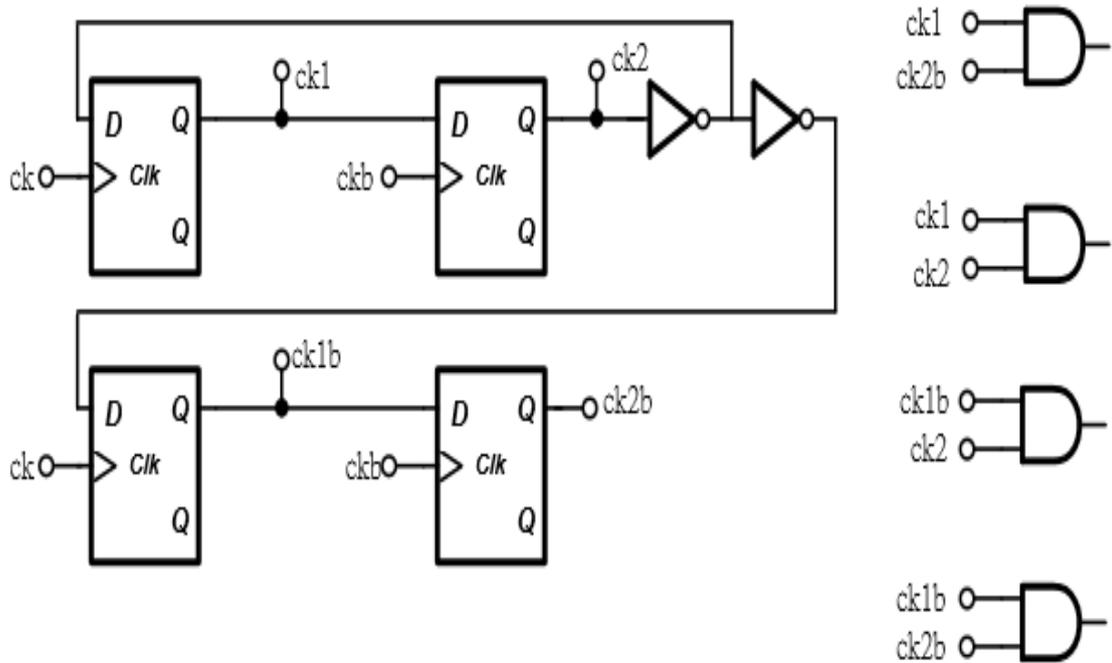


圖 3.28 相位產生器架構圖

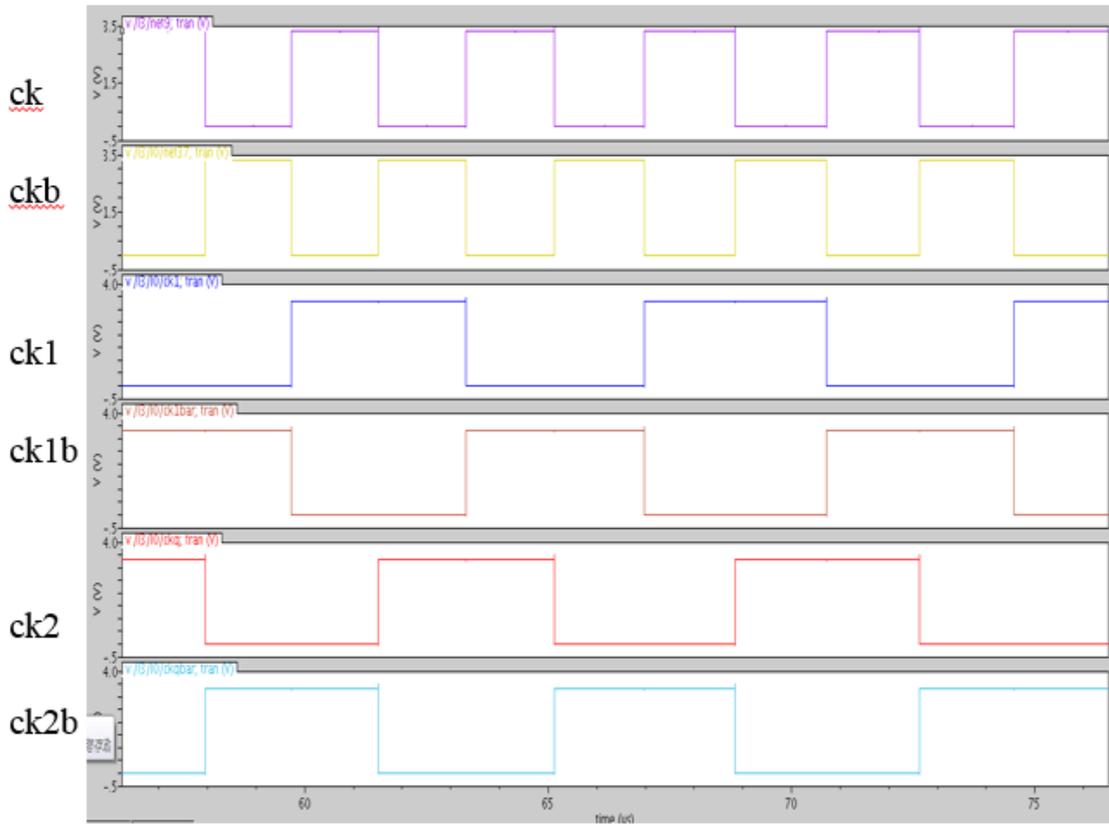


圖 3.29 相位產生器特性波形圖

在 Simulink 裡使用邏輯閘，可以輕易實現四相位波型。圖 3.30 與圖 3.31 為 Simulink 的實現與結果波型圖。

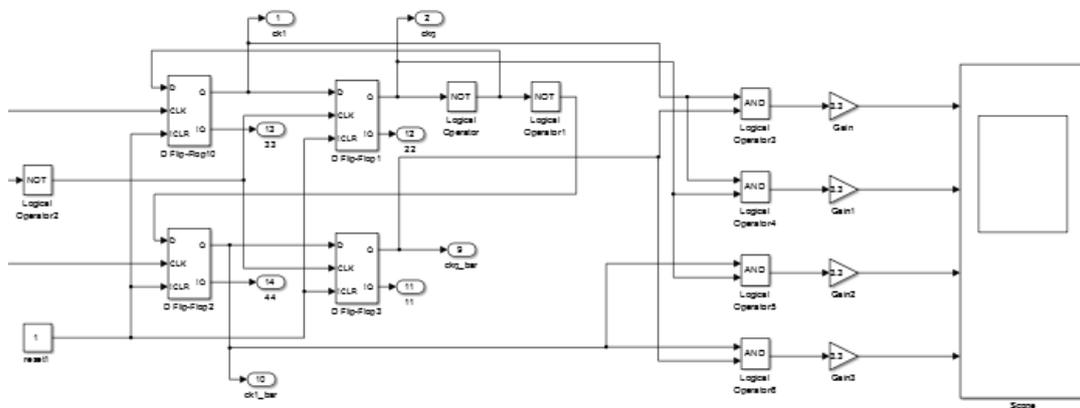


圖 3.30 相位產生器 Simulink 數學模型圖

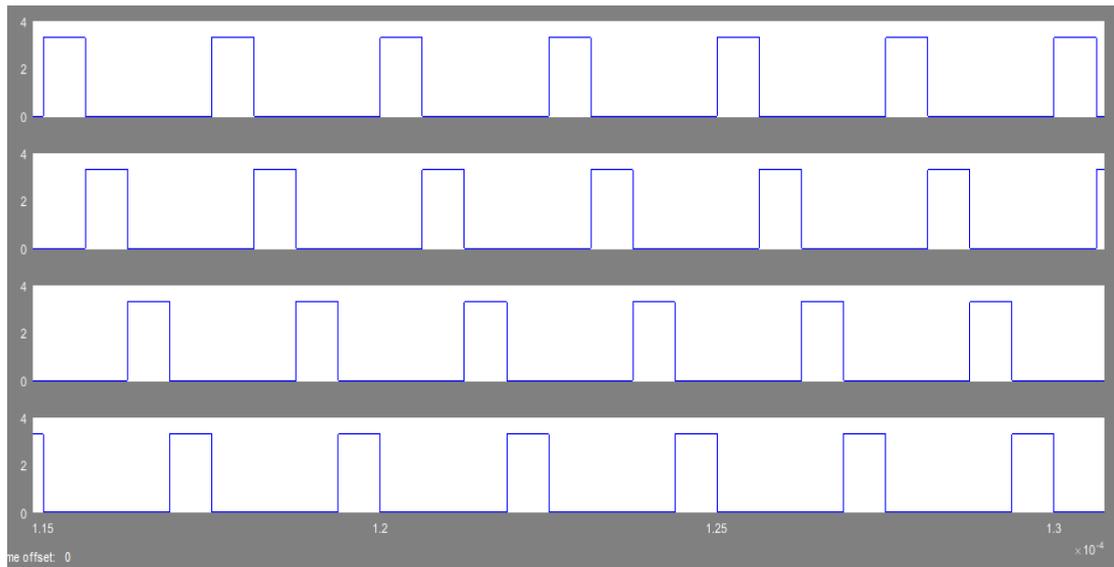


圖 3.31 相位產生器 Simulink 數學模擬波形圖

### 3.4.5 多相位三角波產生器(Multi-Phase Triangle wave Generator)

多相位三角波產生器由一個 bias 電路與四級的三角波產生器所組成，bias 電路可以控制電流大小來影響三角波的頻率而四級的三角波產生器透過電容充放電原理分別將上一級不同相位的 Pulse 波形  $V_{in} \phi = 0^\circ$ 、 $V_{in} \phi = 90^\circ$ 、 $V_{in} \phi = 180^\circ$  還有  $V_{in} \phi = 270^\circ$  轉換成三角波，架構圖如圖 3.32。

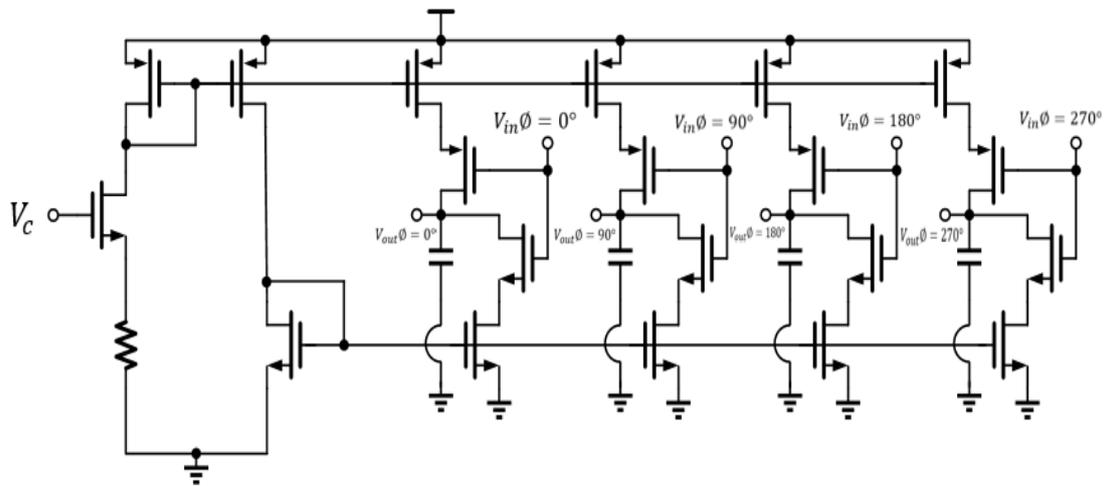


圖 3.32 多相位三角波產生器架構圖

三角波的頻率由 Bias 電路決定，而展頻調變的類比三角波電壓同樣的會去調變電壓頻率轉換器，在產生多相位三角波當下數位類比轉換器啟動時所產生的展頻效果，多相位三角波的切換頻率會一起調變，完成多相位展頻調變產生器。

在 Simulink 裡使用延遲模組架構出的電路產生輸出波形如圖 3.34 與圖 3.35。

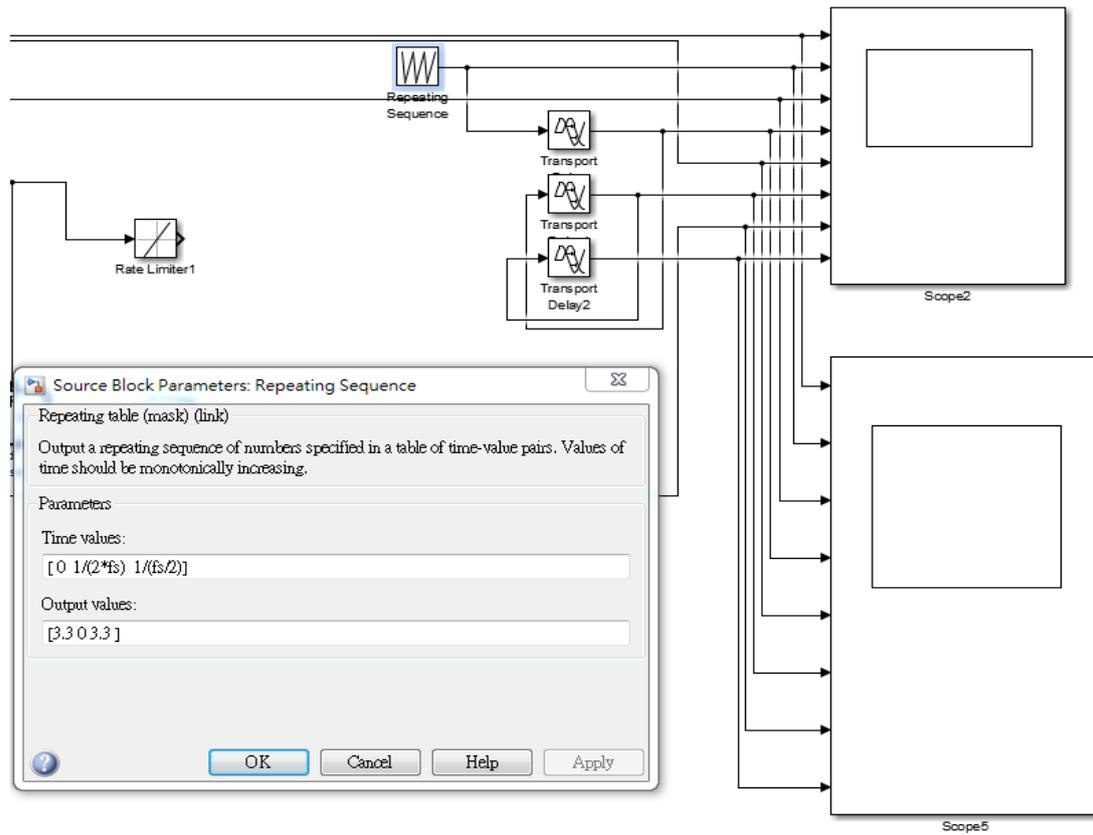


圖 3.33 多相位三角波產生器 Simulink 數學模型圖

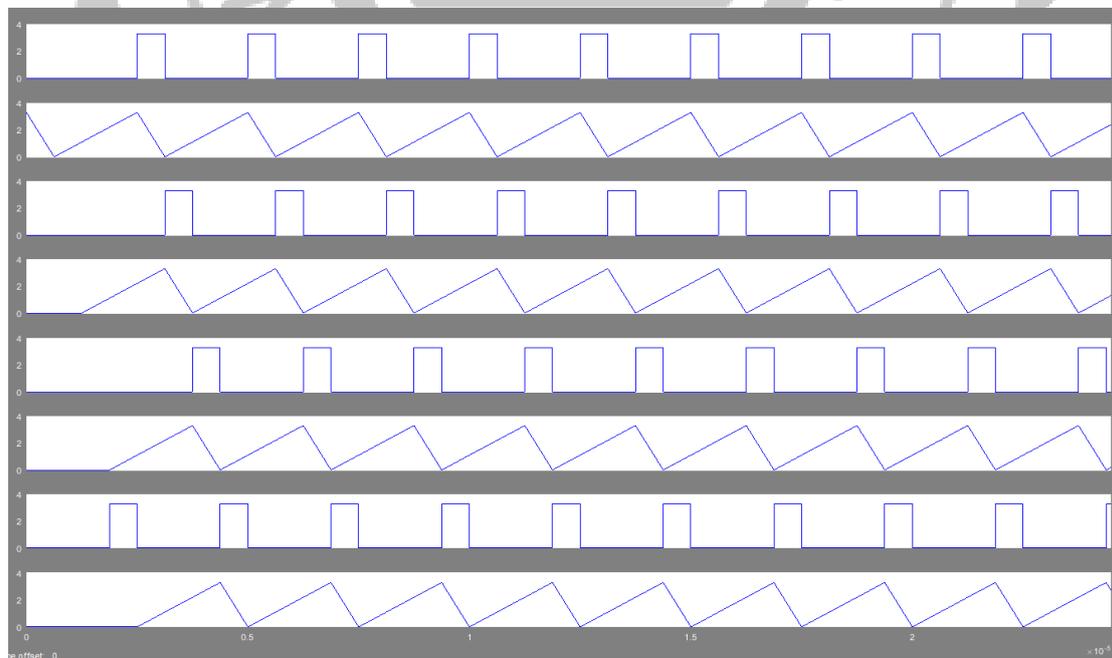


圖 3.34 多相位三角波產生器 Simulink 模擬波形圖

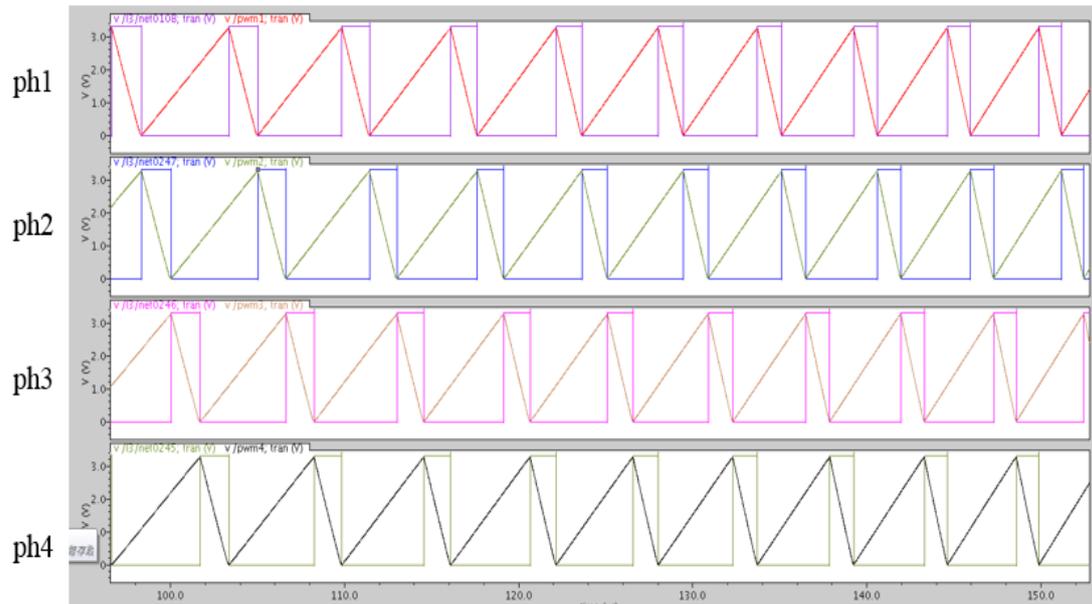


圖 3.35 多相位三角波產生器模擬波形圖



## 第四章 佈局模擬與量測

### 4.1 部局考量

圖 4.1 為多相位展頻調變降低電磁干擾之切換式降壓穩壓器的晶片照相圖，使用 TSMC 0.18um 1P6M CMOS 的製程來實現，其面積包含 PAD 為 1.138mm\*0.877mm。佈局時由於考量到電源線(Power line)會有大電流流過，金屬層要畫得夠寬以避免大電流時造成晶片燒毀，也就是說電源線畫的越寬會越安全。在功率電晶體在做切換時也會產生大電流，因此佈局時可以採用多層金屬並聯以防止金屬層不會燒斷，而連接至功率電晶體的 pad 採用 2 個 PAD 以分攤流進及流出功率電晶體的電流。在 DAC 部分使用保護層(Guard ring)將整個部分包圍，防止電路間的互相干擾。

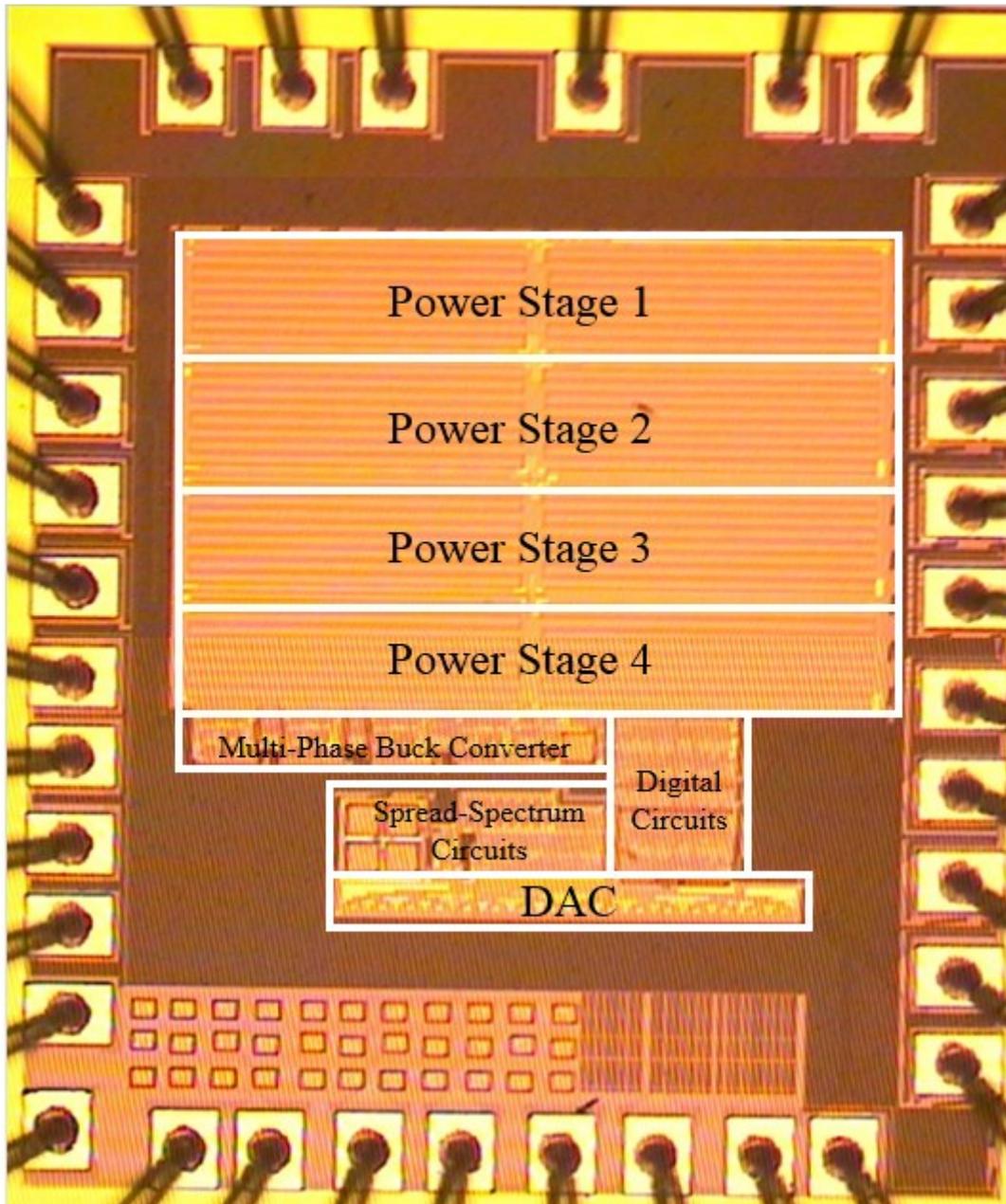


圖 4.1 晶片照相圖

## 4.2 晶片腳位功能

表 4-1 為此系統使用 40 pin 封裝 IC 腳位功能表。

表 4-1 IC 腳位功能表

PIN	NAME	I/O	DESCRIPTION
1	R1	OUT	Bias Resistor
2	R2	OUT	Bias Resistor
3	R3	OUT	Bias Resistor
4	PWM1	OUT	PWM Input1
5	PWM2	OUT	PWM Input2
6	NC	-	No Connection
7	PWM3	OUT	PWM Input3
8	VER	IN	Output of ERR
9	MSB	IN	DAC MSB Voltage
10	R4	OUT	Bias Resistor
11	R5	OUT	Bias Resistor
12	R6	OUT	Bias Resistor
13	VR_FOUR	OUT	Output of Multi-Phase Generator
14	VR_CLK	OUT	Output of VCO
15	PWM4	OUT	PWM Input4
16	LSB	IN	DAC LSB Voltage
17	VC	IN	Control VCO
18	RES	IN	Control SSCG
19	VDD_D	-	Digital power supply
20	VDD_D	-	Digital power supply
21	R7	OUT	Bias Resistor
22	VCON	IN	Control Soft-Start Circuit
23	VREF	IN	Voltage Reference
24	VSOFT	OUT	Output of Soft-Start
25	NC	-	No Connection
26	NC	-	No Connection
27	NC	-	No Connection
28	R8	OUT	Bias Resistor
29	R9	OUT	Bias Resistor
30	GND	-	Analog Ground
31	VDD	-	Analog power supply
32	VDD	-	Analog power supply
33	IL1	OUT	Connect to Inductor
34	NC	-	No Connection
35	IL2	OUT	Connect to Inductor
36	IL3	OUT	Connect to Inductor
37	IL4	OUT	Connect to Inductor
38	VO	OUT	Output of Buck
39	VFB	OUT	Feedback to ERR
40	R10	OUT	Bias Resistor

### 4.3 測試環境

要設置測量環境，必須使用電源供應器，頻譜分析儀，直流電子負載和示波器。在量測中，直流電源供應器（Agilent 6621A）為晶片供電，電感與電容是外接元件與 VO 的接腳相連。電子負載調節的測量採用 DC 電子負載（Prodigit 3310c）和產生方波的電源開關，以調整輕重載的負載變化。在示波器（Tektronix TDS3034B）上可以觀察到結論。為了測量 EMI 降低，我們使用頻譜分析儀（Agilent E4440A）將  $V_o$  的時域轉移到頻域。圖 4.2 為量測環境。

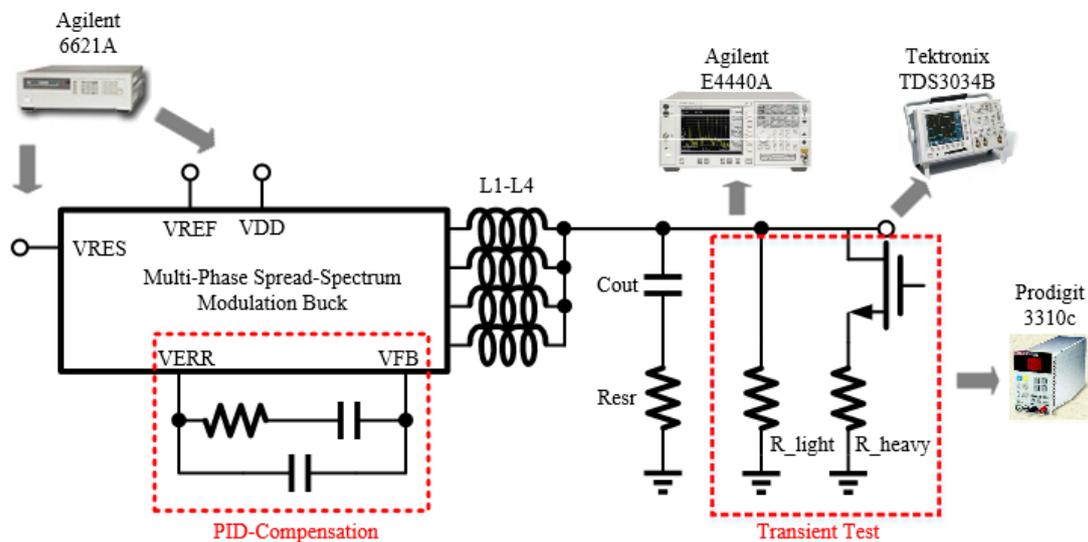


圖 4.2 測量環境示意圖

晶片電源接腳的考量是將供應電源分為類比與數位兩組，而量測接頭使用 SMA 接頭減少干擾，並且在電源輸入部分加入電容型

成濾波器，確保輸入源不要有雜訊，量測時採用雙面感光電路版 (Photosensitive Circuit Board, PCB) 進行量測，圖 4.3 為 PCB 板正反面照相圖。

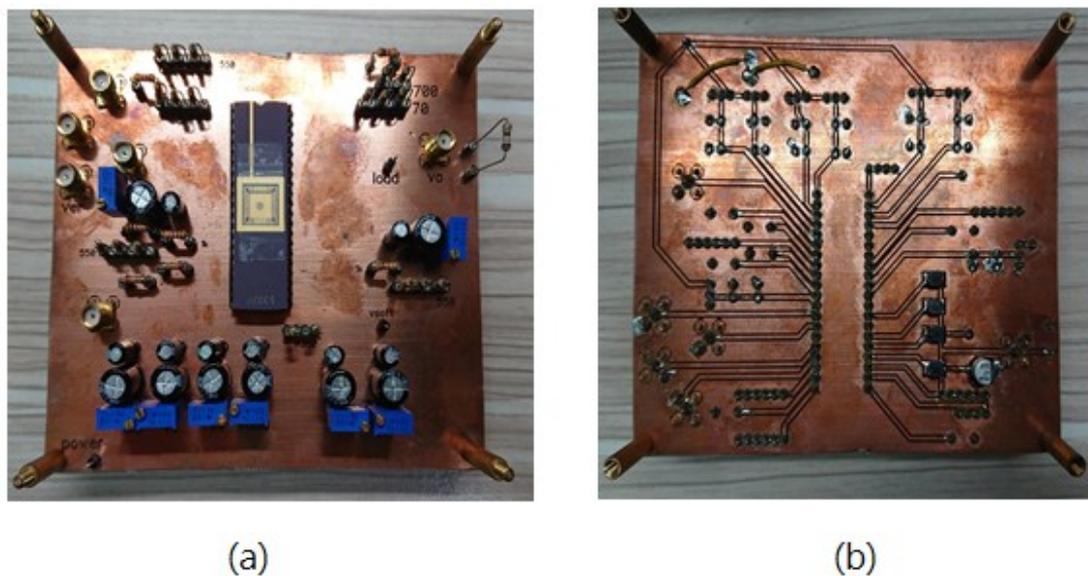


圖 4.3 PCB 板正反面照相圖(a)為正面(b)為反面

#### 4.4 暫態模擬結果

圖 4.4 顯示了降壓轉換器在 CCM 中的瞬態響應，我們可以明顯的看出漣波電壓穩壓在 1.8V 的抖動。

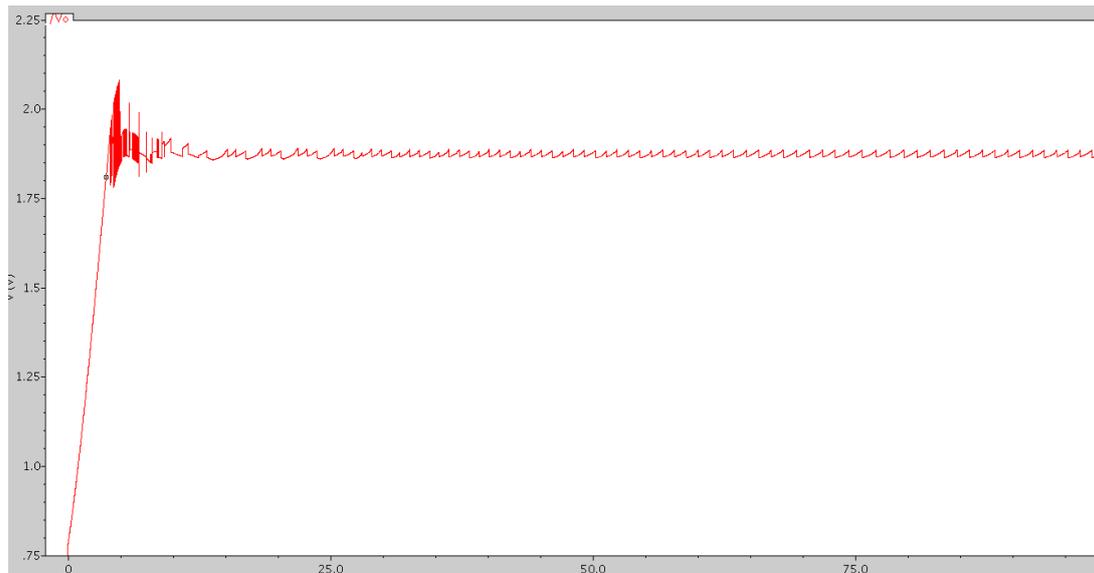


圖 4.4 切換式穩壓器暫態電壓輸出圖

圖 4.5 為起動展頻調變以及未起動展頻調變之輸出變化情形，由圖中藍線是起動展頻調變之輸出。可以明顯看出漣波電壓的抖動量比未啟動之輸出電壓還要小。

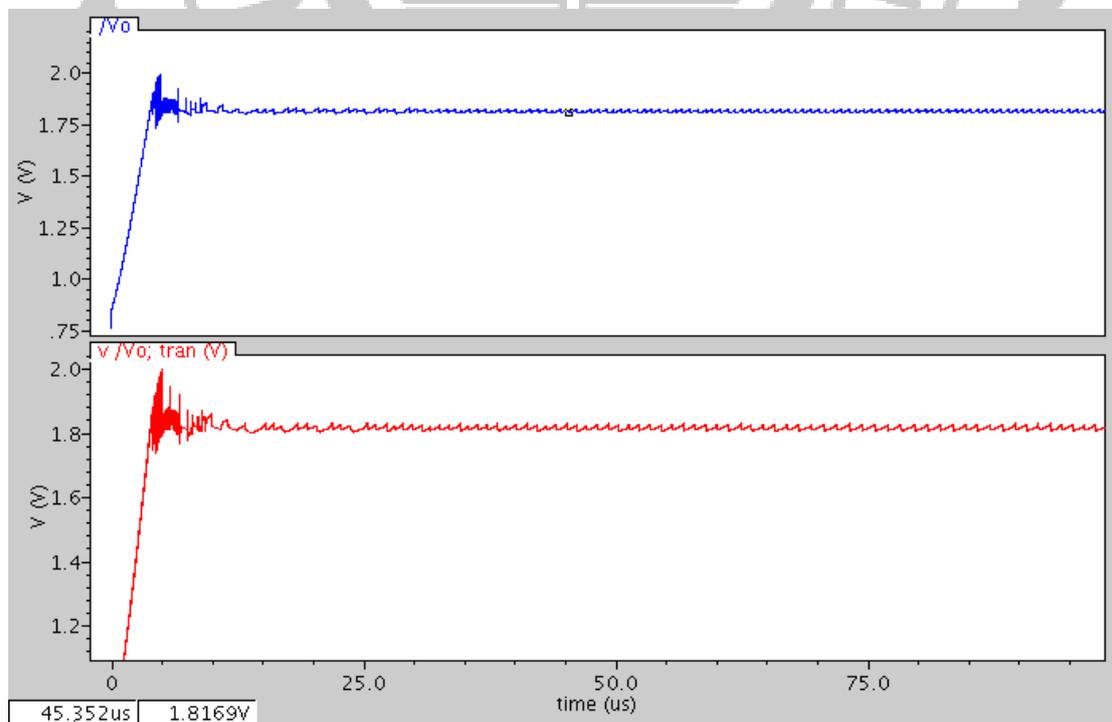


圖 4.5 起動展頻調變以及未起動展頻調變之輸出變化情形

圖 4.6 為模擬頻譜波形圖，對於次諧波有明顯 14.26dB 的抑制量，而且確實照設計的由 800KHz 往下至 500KHz 延展。

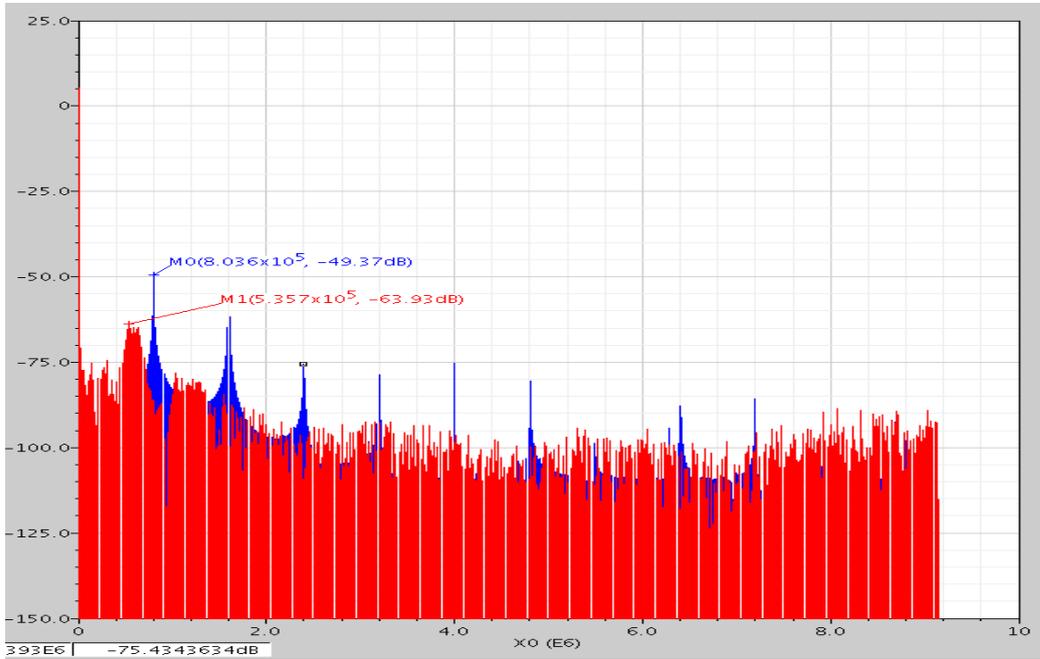


圖 4.6 模擬頻譜波形圖

圖 4.7 在不同負載的狀況下還是可以穩壓在 1.8V。

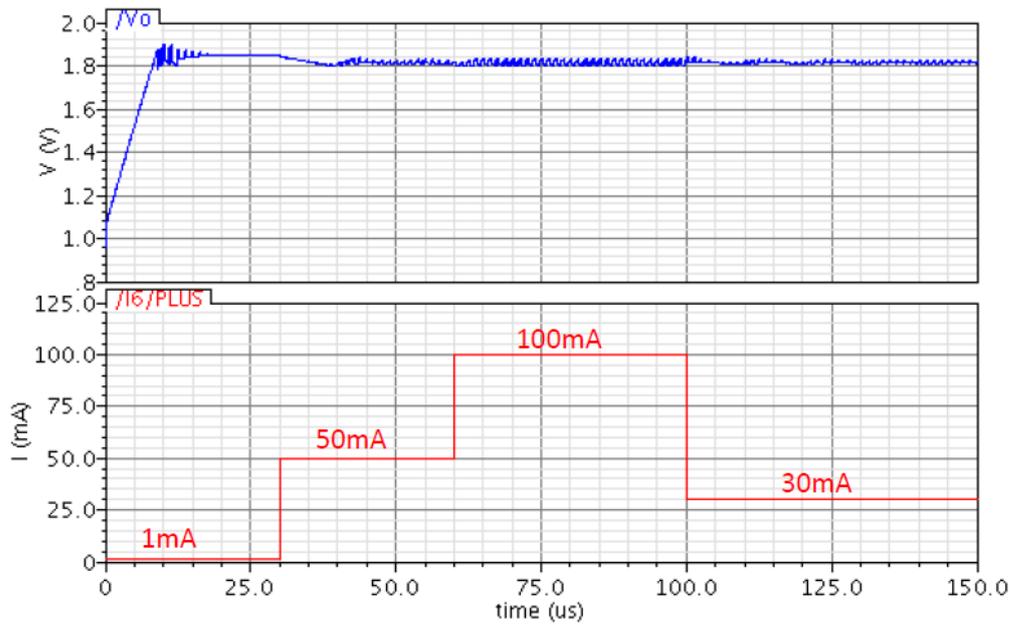


圖 4.7 不同負載輸出模擬圖

## 4.5 量測結果

### 4.5.1 壓控振盪器量測

圖 4.8 為壓控振盪器 VCO 操作於 1.9V 所產生頻率 800KHz 的震盪波形。

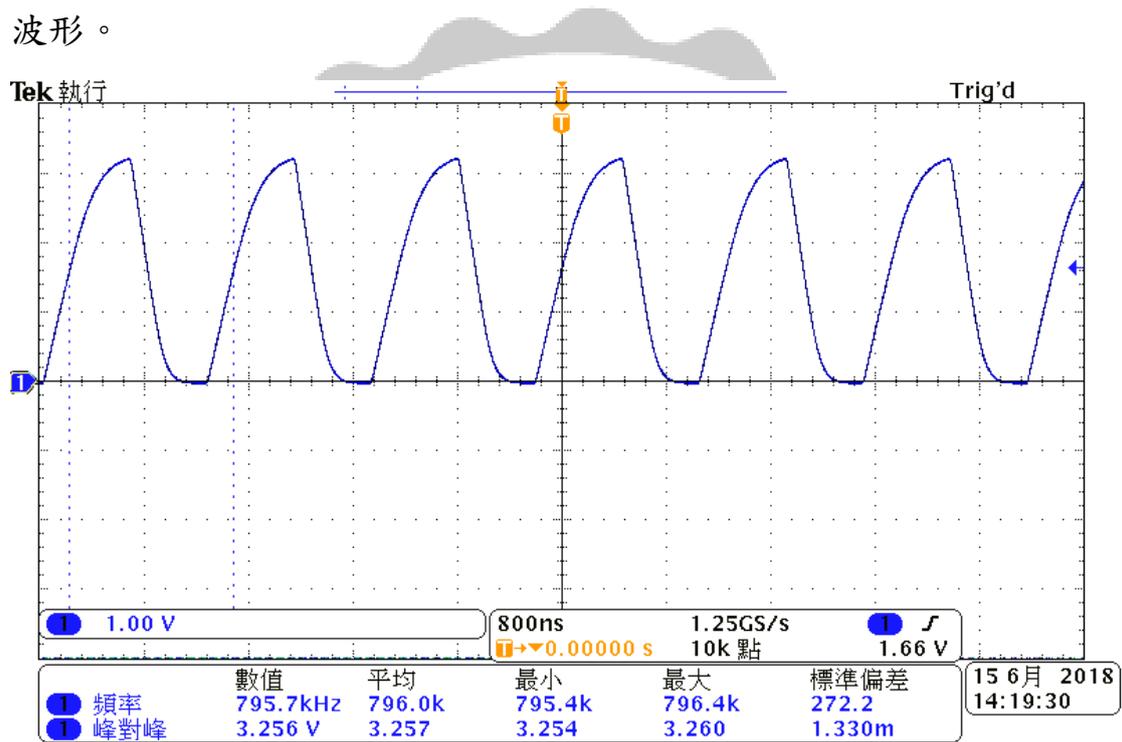


圖 4.8 VCO 於 800KHz 輸出波型

圖( )為壓控振盪器 VCO 操作於 1V 所產生頻率 130KHz 的震盪波形

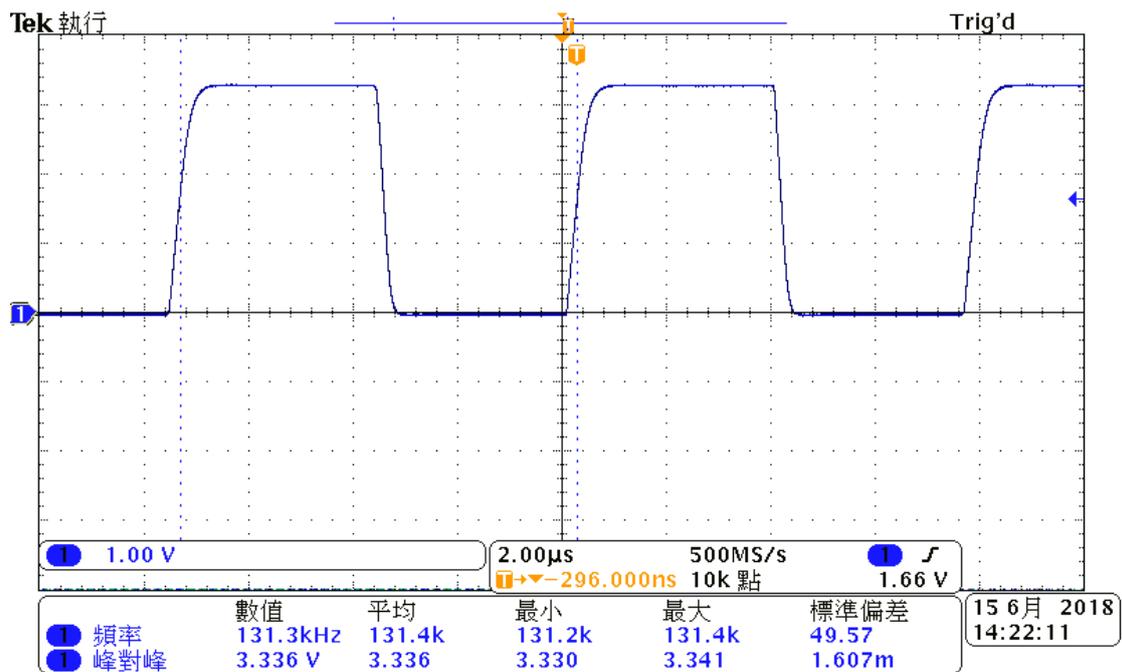


圖 4.9 於 130KHz 輸出波型

#### 4.5.2 類比數位轉換器量測

圖 4.10 為展頻起動之後所產生的三角波，其調變頻率約為 5.15KHz，由 1.48V 往 1.74V 呈現三角波變化波形，得到我們所需的類比三角波電壓調變波形，為下一級的壓控振盪器提供電壓。

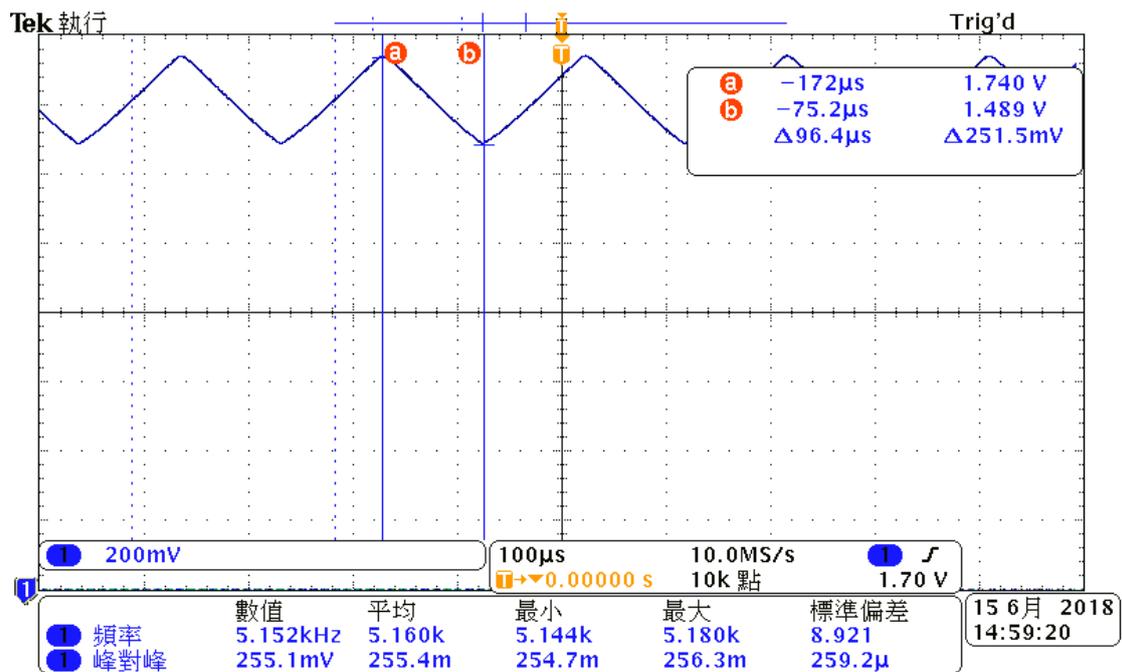


圖 4.10 類比三角波電壓調變波形

### 4.5.3 多相位產生器量測

圖 4.11 為多相位產生器量測，將輸入的震盪波形利用正反器與邏輯閘分成四個相位差 90 度的方波。

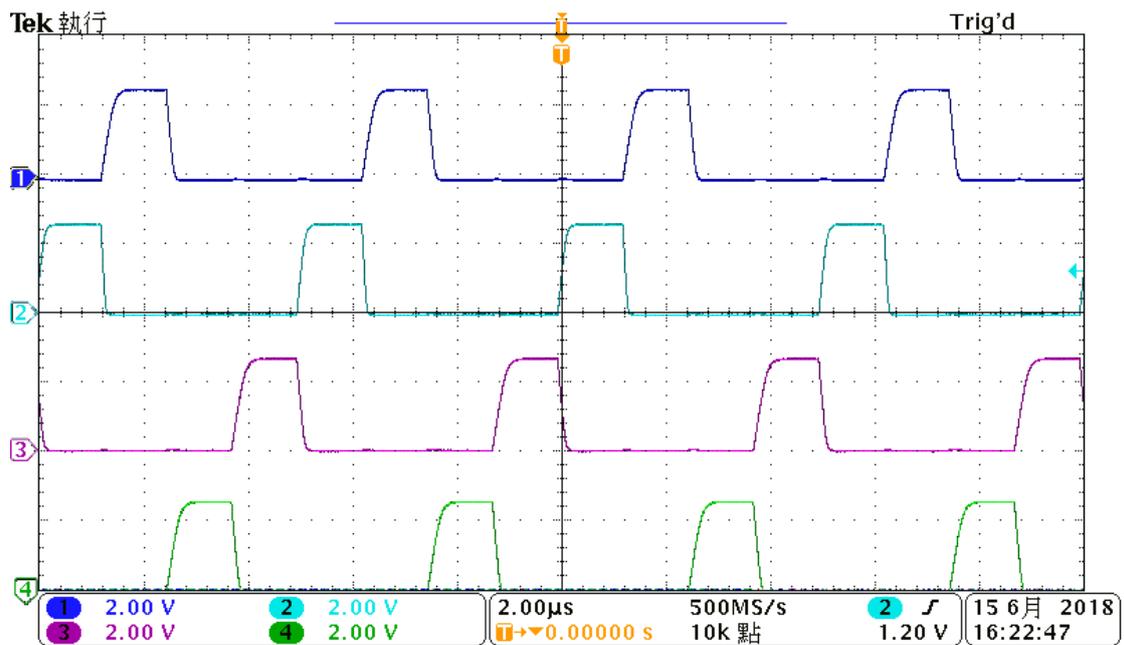


圖 4.11 多相位產生器相位差 90 度方波

圖 4.12 四個控制開關信號彼此之間延遲相位 90 度，知四相交錯式可等效的將頻譜能量集中於 4 倍的切換頻率上。以四相位為例，操作頻率為 200KHz 時，頻譜能量在 200KHz、400KHz、600KHz 會被消除，只剩下等效於 800KHz 的頻譜能量。

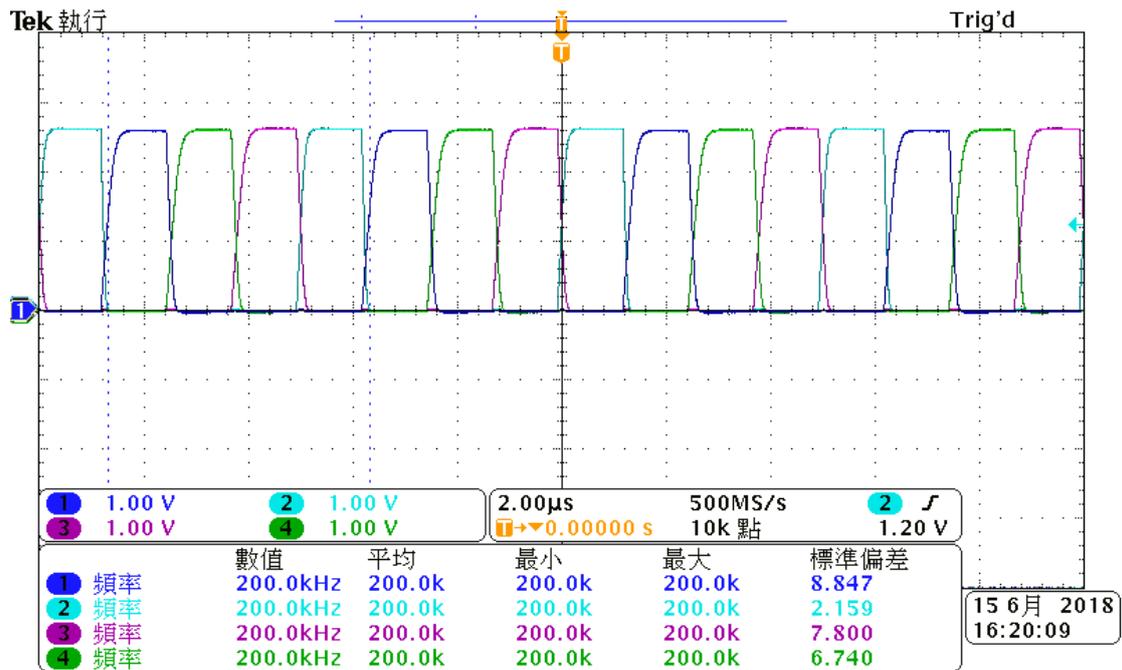


圖 4.12 多相位產生器 200KHz 方波

#### 4.5.4 軟起動電路量測

圖 4.13 為軟啟動電路內建電容為 1u，會後電壓會固定於 1.64V。不同電容會造成延遲時間的不同完成軟啟動電路的功能，確保參考電壓輸出為一個曲線性爬升電壓。

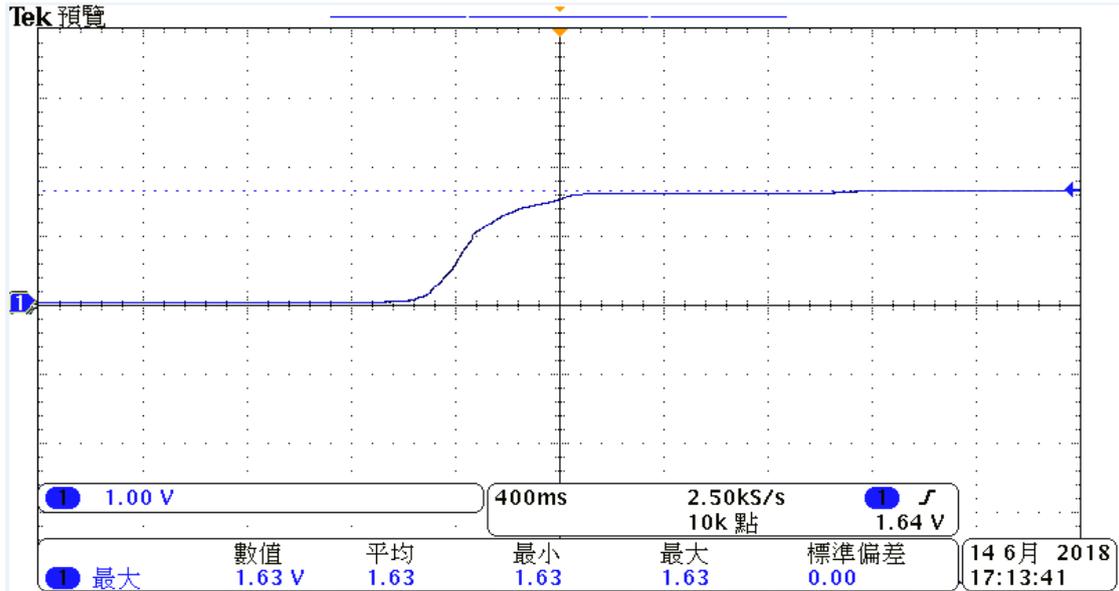


圖 4.13 軟起動電路電壓上升暫態圖

#### 4.5.5 切換式穩壓器 PWM 責任週期電路量測

圖 4.14 是固定切換頻率為 800KHz，且工作電壓為 3.3V 時，輸出 1.8V 之責任周期為 53.47%(理論值  $D=54.5\%$ )量測圖。

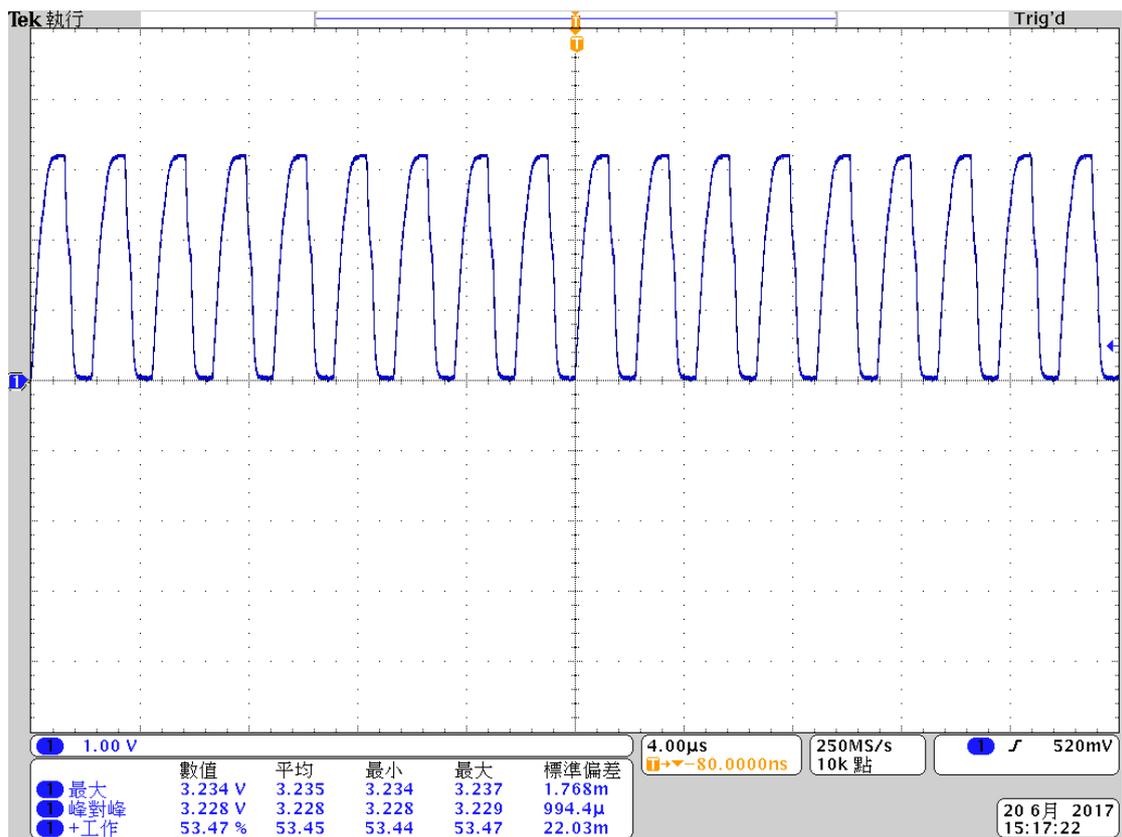


圖 4.14 PWM 責任週期

圖 4.15 為輸入三角波與誤差放大器做比較，所產生出的 PWM 責任週期。確保輸出電壓可以在 1.8V 穩壓。

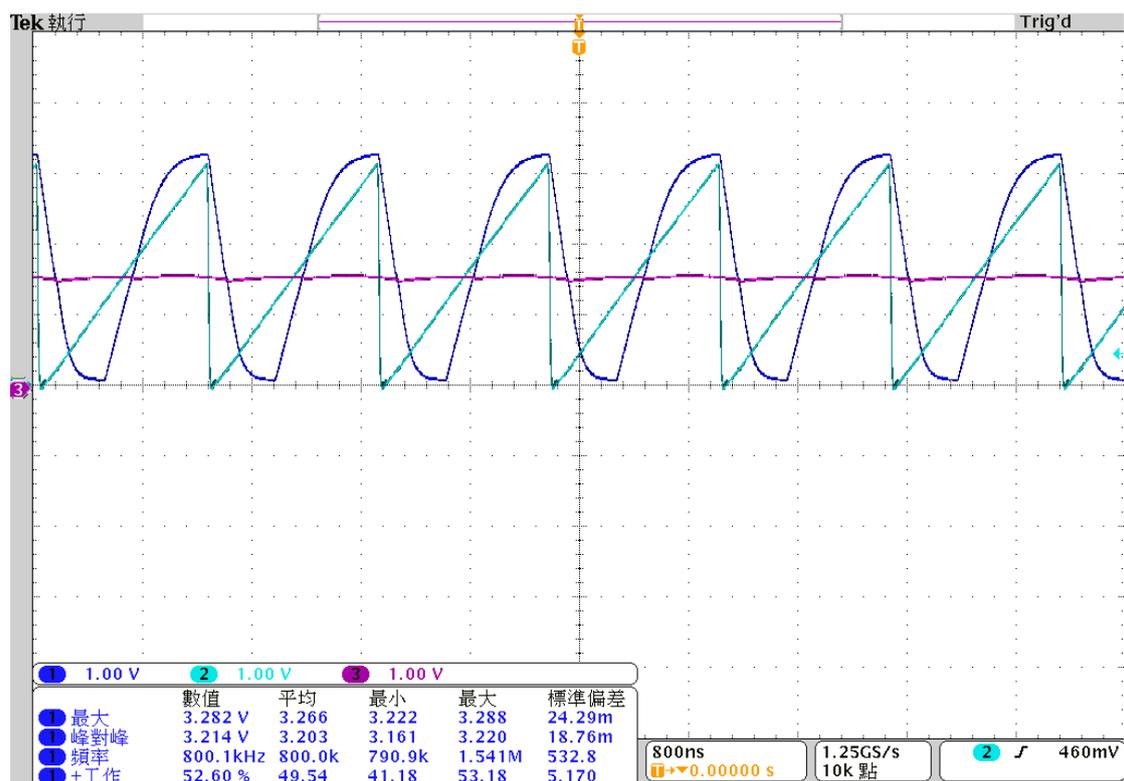


圖 4.15 PWM 責任週期比較圖

#### 4.5.6 切換式穩壓器輸出電壓量測

圖 4.16 為切換式穩壓器的穩定時間，由 0V 爬升至穩定電壓 1.8V 的時間，外接負載電容以及 PCB 板上的寄生電容還有外接電阻皆會影響其穩定時間。

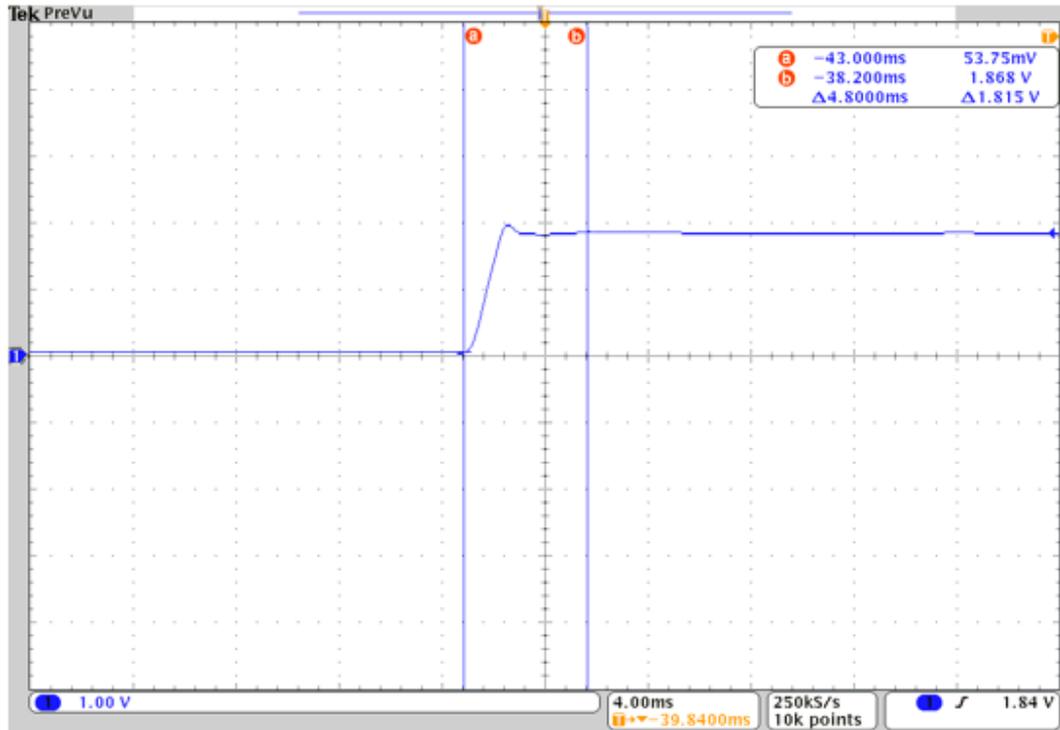


圖 4.16 切換式穩壓器穩定時間

圖 4.17 為切換式穩壓器於操作頻率為 800KHz 下，外接電容為 10u 時，漣波電壓約為 306mVp-p，圖 4.18 為切換式穩壓器於操作頻率為 800KHz 下，外接電容為 47u 時，漣波電壓約為 103mVp-p。可以知道對於外接負載電容值對於漣波電壓的影響。

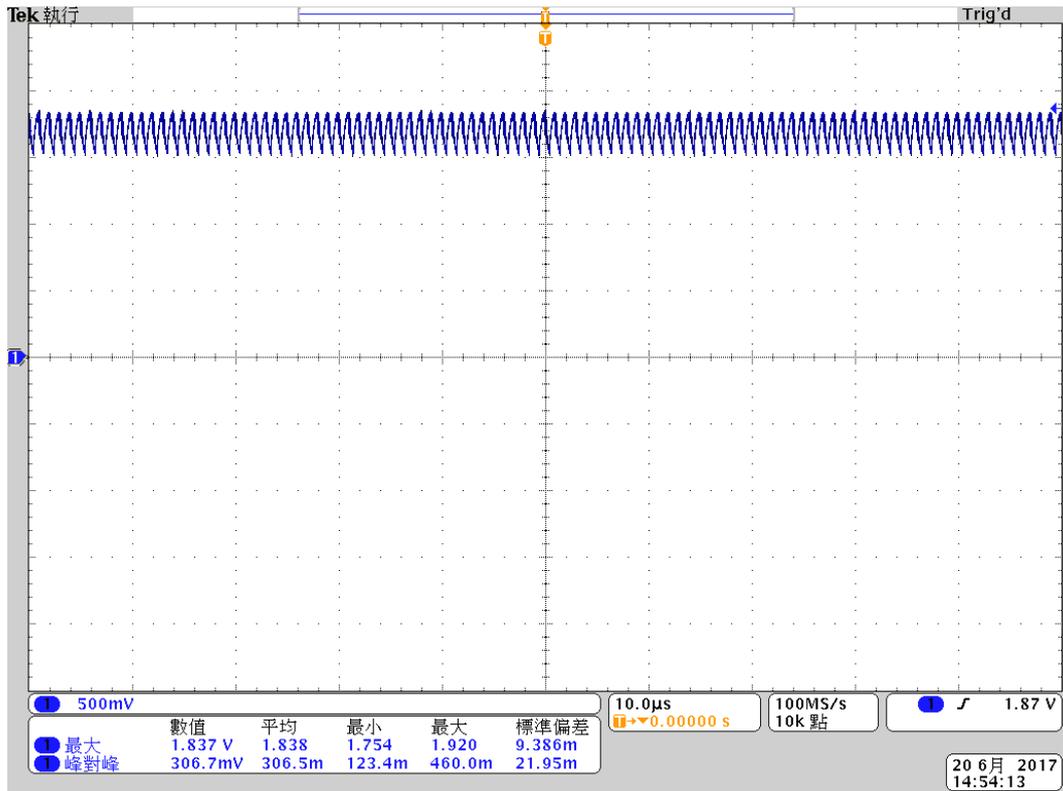


圖 4.17 切換式穩壓器 10u 電容漣波電壓

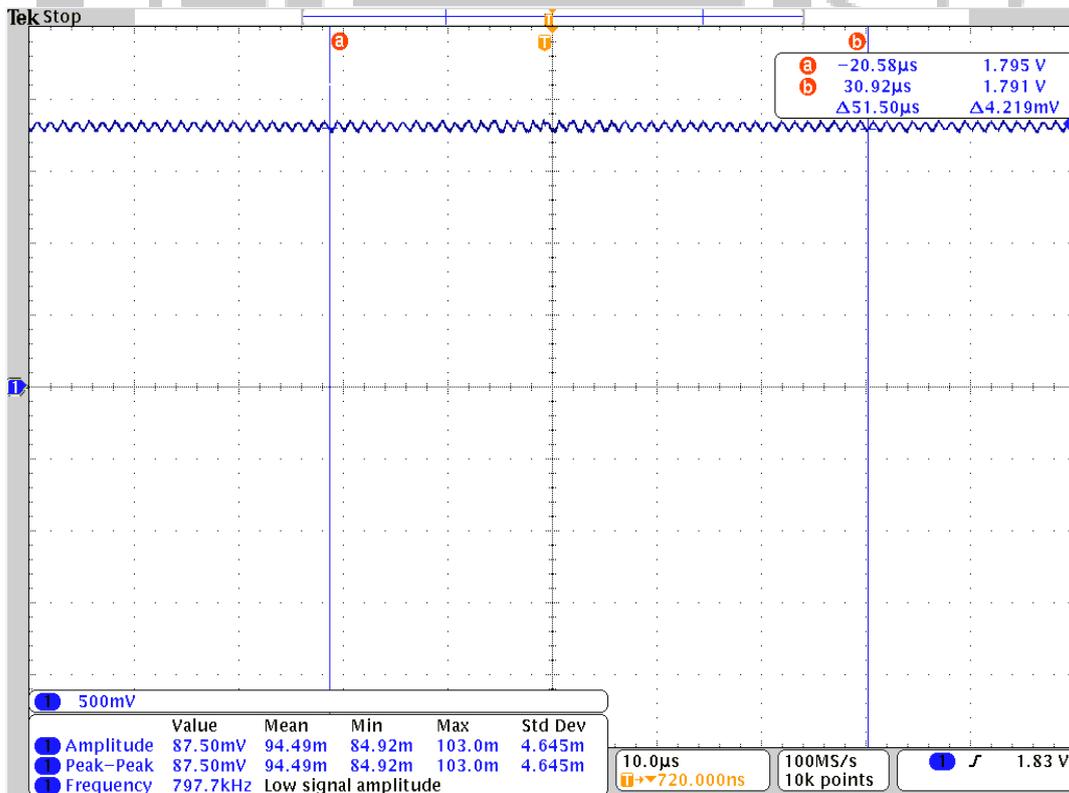


圖 4.18 切換式穩壓器 47u 電容漣波電壓

#### 4.5.7 切換式穩壓器輸出電壓輕重載量測

圖 4.19 與圖 4.20 為切換式穩壓器輸出電壓輕重載量測，圖 4.19 由重載轉輕載電壓漣波由小變大峰對峰值大約差了 4 倍，圖 4.20 由輕載轉重載電壓漣波由大變小。

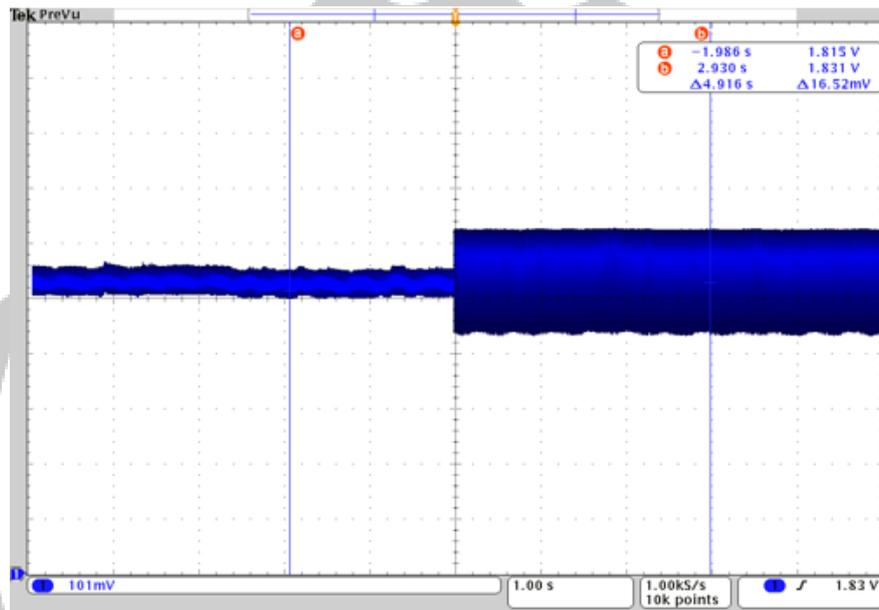


圖 4.19 重載轉輕載電壓漣波

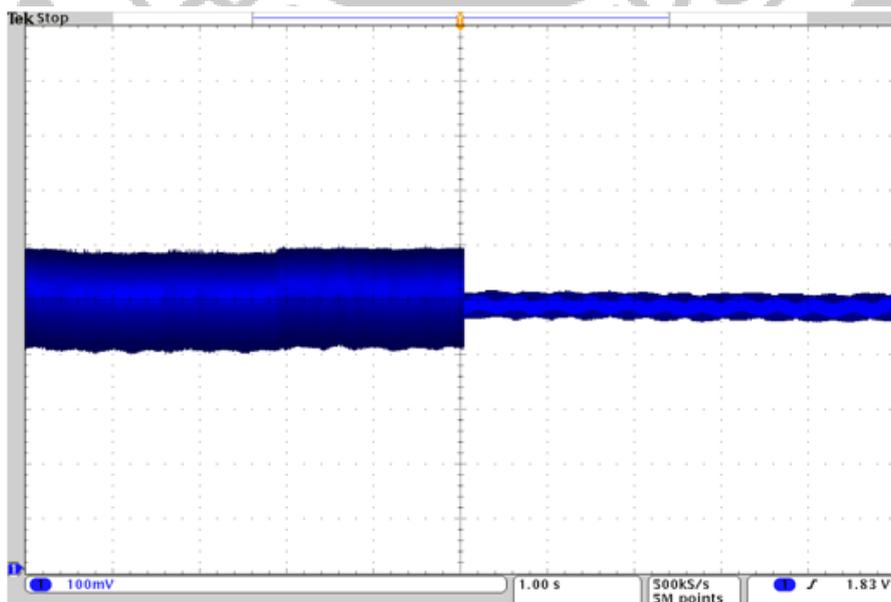


圖 4.20 輕載轉重載電壓漣波

#### 4.5.8 切換式穩壓器模擬量測規格比較

表 4-2 切換式穩壓器模擬量測規格比較表

	Spec.	Presim	Posim	Measurement
Technology	T18			
Supply Voltage	2.5V~4V			
Output Voltage	1.8V	1.83	1.81	1.837
Frequency	800k Hz	808k Hz	798k Hz	797.7 k Hz
Max. Output Current	100mA	104mA	100.5mA	100mA
Max. Efficiency	>88%	90.1%	89.4%	88.6%
Load Regulation	-	0.21mV/mA	0.18mV/mA	-
Line Regulation	-	0.23mV/V	0.15mV/V	-
Frequency with SSCG	500k~800k Hz	525k~808k Hz	513k~798k Hz	496k~795k Hz
Modulation Frequency	5k	5.1k	5k	5.152k
EMI Reduction	>10dB	14.6dB	14.4dB	-
Modulation Profile	Triangular modulation			

## 第五章 結論與改進

本論文提出使用展頻調變結合多相位原理的電路結構來使得脈波寬度調變模式之切換式穩壓器去降低電磁干擾，以展頻調變產生器為軸心，利用目前常見的直接調變壓控震盪器達到頻率調變的效果。

在第二章節除了介紹展頻調變電路的原理以及推導其公式外，也對線性穩壓器還有切換式穩壓器逐一說明，並且比較其優缺點，並用 Matlab 軟體裡的 Simulink 環境先行進行數學式的模擬觀察可不可行。第三章部分則是本論文主要架構，以及各個子電路的功能介紹並且採用 TSMC 0.18um CMOS 來實現，多相位展頻調變切換是穩壓器晶片面積為 1.138mm\*0.877mm，操作電壓為 High Voltage 3.3 伏特。模擬數據對於 EMI 有 14dB 的抑制效果。

量測過程中，發現有些波形不如期望，除了對於 LAYOUT 佈局的技巧需要再加強外，在晶片製作完成後從量測中偵錯，分析每一塊子電路上一級以及下一級輸入輸出訊號是否達到需求，進而找出問題所在。希望未來能更進一步研究電源管理的應用與原理，做出更好的作品。

## 參考文獻

- [1] Steven K. Dunlap, Member, IEEE, and Terri S. Fiez, Senior Member, IEEE, A Noise-Shaped Switching Power Supply Using a Delta–Sigma Modulator, IEEE Transactions on Circuits and Systems I: Regular Papers , Volume: 51 , Issue: 6 , June 2004.
- [2] Marnie Wong ; Bertan Bakkaloglu ; Sayfe Kiaei, “A low noise buck converter with a fully integrated continuous time  $\Sigma\Delta$  modulated feedback controller,” IEEE Custom Integrated Circuits Conference, Sept. 2007.
- [3] M. Kuisma, “Variable frequency switching in power supply EMI-control: an overview,” IEEE Aerospace and Electronic Systems Magazine, Volume: 18 , Issue: 12 , Dec. 2003.
- [4] W. G. Wong, “A Spread-Spectrum Clock Generator Using a Phase-Compensation Fractional Phase-Locked Loop Technique,” M.S. thesis, National Chung Hsing University, 2005.
- [5] F. Lin and D. Y. Chen, “Reduction of power supply EMI emission by switching frequency modulation, IEEE Transaction on Power Electronic,” vol. 9, no. 1, Jan 1994.
- [6] J. Balcells, “SSCG Methods of EMI Emissions Reduction applied to Switching Power Converters,” Ph.D. dissertation, Universitat Politècnica de Catalunya, Spain, Jul. 2004.
- [7] J. Kim, J. Kim, P. Jun, “Dithered Timing Spread Spectrum Clock Generation for Reduction of Electromagnetic Radiated Emission from High-speed Digital System,” in Proc. IEEE Int. Symp. Electromagn. Compat. 2002, pp. 413-418.
- [8] H.-I. Pan, C.-H. Cheng, and C.-L. Chen, “A CMOS low dropout regulator stable with any load capacitor,” presented at the 2004 IEEE Region 10 Conference TENCN 2004., 2004, vol. D, pp. 266–269 Vol. 4.
- [9] J. C. V. Carlos Eldio Azevedo and P. Santos, “Fully Integrated DC-DC Buck Converter,” pp. 1–10, Apr. 2015.
- [10] 梁適安, 交換式電源供應器之理論與實務設計, 全華科技圖書,

- 2004.
- [11]L.-W. Hu, “Design of Fast Transient Response Buck Converter using Pulse Width Modulation,” pp. 1–64, Aug. 2014.
- [12]R. Gregorian, Introduction to CMOS Op-Amps and Comparators. New York: Wiley, 1999.
- [13]C. Yoo, “A CMOS buffer without short-circuit power consumption,” IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol. 47, no. 9, pp. 935–937, Sep. 2000.
- [14]D. Ma, W.-H. Ki, C. Y. Tsui, and P. K. T. Mok, “Single-inductor multiple-output switching converters with time-multiplexing control in discontinuous conduction mode,” IEEE J. Solid-State Circuits, vol. 38, pp. 89–100, Jan. 2003.
- [15]J. L. Wu, “A Low-Voltage Synchronous Rectification Boost Converter for Portable Devices,” M.S. thesis, National Chung Hsing University, 2007.
- [16]H. Liu, X. Zhang, Y. Dai, Y. Lu, and B. Wei, “A wide range low power CMOS radio frequency ring oscillator,” presented at the 2009 4<sup>th</sup> IEEE Conference on Industrial Electronics and Applications, 2009, pp. 1340–1344.
- [17]J. L. Huang, “Design of 6-bit Flash ADC and 10-bit voltage-segmented DAC,” M.S. thesis, National Chi Nan University, 2010.
- [18]Allen, Holberg 原著;羅正忠, 龔正合譯, *CMOS 類比電路設計*, 臺商圖書, 2005.
- [19]Y. C. Lien, “A 6-bit 1-GS/s 30-mW ADC in 90-nm CMOS Technology,” M.S. thesis, Taiwan University, 2007.
- [20]Behzad Razavi 原著, *類比 CMOS 積體電路設計*, 麥格羅希爾出版, 2005.
- [21]S.-R. Wu, “DC to DC IC Design for Driver System of Ultra-High Performance Lamp ,” pp. 1–157, Jul. 2007.
- [22]林振華, *MATLAB/Simulink: 在 CDMA 上的應用*, 全華, 2003.
- [23]張啟勛, *自動控制: 使用 MATLAB-SIMULINK*, 儒林, 2008.10.
- [24]楊清淵, 劉深淵, *鎖相迴路*, 滄海, 民 95.11.
- [25]李宜達, *控制系統設計與模擬: 使用 MATLAB/SIMULINK*, 全華圖

書,2009.

- [26]P. Zumel, O. Garcia, J. A. Cobos, and J. Uceda, “Exploring interleaved converters as an EMI reduction technique in power converters,” presented at the IEEE 2002 28th Annual Conference of the Industrial Electronics Society. IECON 02, vol. 2, pp. 1219–1224.
- [27]J. Mon, J. Gago, D. Gonzalez, J. Balcells, R. Fernandez, and I. Gil, “A new switching frequency modulation scheme for EMI reduction in multiconverter topology,” presented at the 2009 13th European Conference on Power Electronics and Applications, 2009, pp. 1–8.
- [28]S. Jose, “Spread Spectrum Timing for Hard Disk Drive Applications,” pp. 1-3, Feb. 2005.
- [29]B. A. Miwa, D.M. Otten, and M. E. Schlecht, “High efficiency power factor correction using interleaving techniques,” in Proc. IEEE Appl. Power Electron. Conf. Expo (APEC’92), 1992, pp. 557–56.
- [30]C. Chang and M. Knights, “Interleaving technique in distributed power conversion systems,” IEEE Trans. Circuits Syst. I, vol. 42, pp. 245–251, May 1995.
- [31]C. P. Basso, Switch-Mode Power Supplies—SPICE Simulations and Practical Designs. New York: McGraw-Hill, 2008.
- [32]T. Sudo, H. Sasaki, N. Masuda, and J. L. Drewniak, “Electromagnetic interference (EMI) of system-on-package (SoP),” IEEE Trans. Adv. Packag., vol.27, no. 2, pp. 304–314, May 2004.
- [33]D. Trevisan, P. Mattavelli, S. Saggini, “Random Switching Frequency in a Synchronous-Asynchronous Digital Voltage-Mode Control for DC-DC Converters,” Research in Microelectronics and Electronics 2006, PhD, pp. 53-56.
- [34]Keng C. Wu, Switch-Mode power Converter Design and Analysis, Elsevier Academic press, 2006.