

# 東海大學電機工程學系 碩士論文

具補償電路之升壓型交直流轉換器設計

Design a boost AC-DC converter with process  
corner compensation



研究生：蔡紀濱

指導教授：陳家豪 博士

中華民國 101 年 1 月

東海大學電機工程學系碩士學位  
論文指導教授同意書

電機工程學系研究生 蔡屹濱 君所提之論文

具補償電路之升壓型交直流轉換器設計

經由本人指導撰述，同意提付審查。

指導教授：陳新豪 (簽章)

中華民國 101 年 01 月 04 日

# 東海大學電機工程學系碩士學位

## 考試委員審定書

電機工程學系研究所 蔡屹濱 君所提之論文

具補償電路之升壓型交直流轉換器設計

經本考試委員會審查，符合碩士資格標準。

學位考試委員會 召集人：邱瑞杰 (簽章)

委員：

陳家豪

林哲弘

蔡崇昱

龔正

中華民國 100 年 01 月 04 日

## 誌謝

碩士班的這幾年，除了自己認真的努力學習研究之外，也受到了不少來自於師長、同學以及朋友的幫助！最先要感謝的是我的父母親，雖然當初並沒有要我唸書的意願，但我說出口的時候還是肯支持我完成這學業，並讓我在疲憊的時候暫時回家休息忘掉煩惱，我以此獻給我的父母。再來我要感謝系上的助教，熊哥與淑貞姐，在每次有行政上的問題或程序需要處理的時候，著實受到了不少的照顧。再來我要謝謝身邊的學長姐，小朱、仕翔、享嫻、阿兵哥、高教授、昭遠、小左、致遠、中立、心琰，一開始什麼都不會的時候，都是學長姐慢慢一步一步教起的；感謝同學群們：嘟嘟、彬為、阿倫、阿達、阿 Q 和鈺庭，大家都是在一起為了共同的目標的打拼奮鬥，特別的是同實驗室的孟橋，由於做的主題類似常常會互相幫忙與討論，還有結下孽緣的沈志諺，和他已經當了大學和碩士的同學長達7年之久，在很多事情、學業和生活上都受到不少照顧。另外還有一個無緣的碩士同學，東榮，雖然只短暫停留了數個月但還是有在聯絡。另外一些有特別的印象的大學部同學，陳信成、阿湯、謝菘允、洪健賢、賀佩慈、阿太…等，也幫過

我不少忙，另外還有機車研究社的洞翰、提米、小哥、銘諺、宗翰、Eric、阿薰姐，研究與學習機車、吃宵夜的日子真的是很充實又有趣阿！

還有繁繁、DA 貓、假鬼假怪、文信、展龍、功夫仔、阿毛、士傑、智傑、小達、榕姪、紹豪……也在平時忍受我的胡鬧和串門子，另外還有許多無名英雄，勞力拉！！還有很多人需要感謝，不過這邊就不一一列出來了！不然到時候就像寺廟或是校園建築一樣有一個專門寫名字的牆一樣，一面寫不完換另外一面。



# 中文摘要

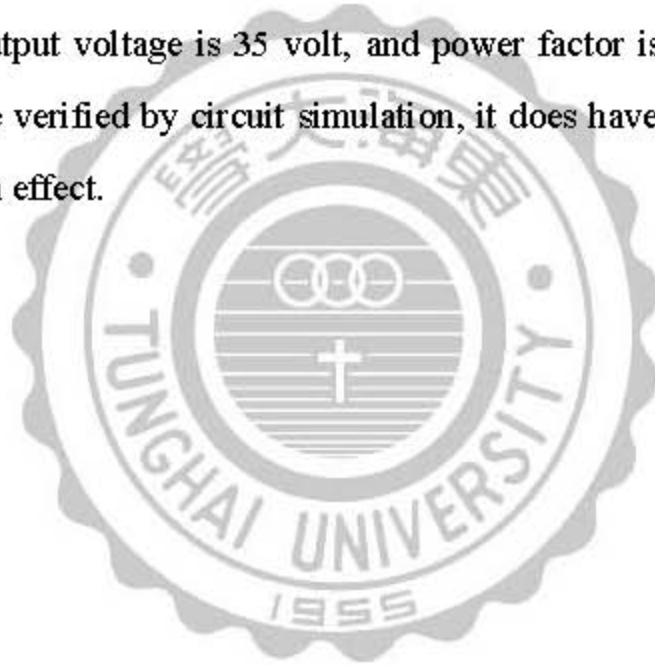
本文設計一個操作在邊界電流模式並具有製程補償電路之高功因交直流轉換器，使用台積電 TSMC 0.25um HV 製程進行研究，利用文中提出的架構對製程變異做改善，輸出差異幅度可以從未補償的 7.11% 降至 2.98%，改善量達到 4.13%，輸出電壓落在 35 伏特，功率因數模擬亦達到 99.9%，透過電路模擬驗證的確有極佳的穩定效果。



# Abstarct

In this paper, we design a Boundary Current Mode high power factor AC-DC converter which has a process corner compensation circuit. The circuit design uses TSMC 0.25um HV process library. By using this proposed compensation circuit, the output variation drops from 7.11% to 2.98%.

The output voltage is 35 volt, and power factor is 99.9%. The results were verified by circuit simulation, it does have an excellent stabilization effect.



# 目錄

誌謝.....	i
中文摘要.....	iii
Abstarct.....	iv
目錄.....	v
圖目錄.....	viii
表目錄.....	xii
第 1 章、緒論.....	1
1.1 研究動機.....	1
1.2 研究方法.....	2
1.3 論文架構.....	5
第 2 章、功率因數校正原理簡介.....	6
2.1 功率因數的定義.....	6
2.2 總諧波失真.....	9
2.3 功率因數校正器的種類.....	10
2.4 峰值電流控制法.....	15



2.5 平均電流控制法 .....	15
2.6 遲滯電流控制法 .....	16
2.7 脈波寬度調變(Pulse Width Modulation) .....	17
2.8 脈波頻率調變(Pulse Frequency Modulation) .....	19
第3章、高功因升壓電路設計 .....	21
3.1 升壓式轉換器電路 .....	21
3.2 運算放大器 .....	25
3.3 誤差放大器(Error Amplifier) .....	28
3.4 類比乘法器 .....	29
3.5 RS 正反器 (RS Flip-flop) .....	30
3.6 升壓電路模擬波形圖 .....	33
第4章、製程斜率補償電路 .....	52
4.1 設計動機 .....	52
4.2 設計理念 .....	53
4.3 電路架構與公式推導 .....	54
第5章、具補償升壓電路模擬分析 .....	59
5.1 電路設計概念 .....	59

5.2 SPECTRE 電路驗證模擬 .....	61
5.3 SPECTRE 電路驗證模擬結果比較 .....	77
5.4 預計規格表 .....	82
第 6 章、結論與未來展望 .....	84
6.1 結論 .....	84
6.2 未來展望 .....	85
參考文獻 .....	86



# 圖目錄

圖 1.2-1 電路與晶片設計流程.....	4
圖 2.1-1 負載差異造成落後修正前後示意.....	7
圖 2.3-1 各種不同種類之轉換電路.....	12
圖 2.3-2 非連續電流模式波形示意圖.....	13
圖 2.3-3 連續電流模式波形示意圖.....	14
圖 2.3-4 邊界電流模式波形示意圖.....	14
圖 2.4-1 峰值電流控制法波形.....	15
圖 2.5-1 平均電流控制模式工作波形.....	16
圖 2.6-1 遲滯電流波形示意圖.....	17
圖 2.7-1 PWM 訊號產生器架構與波形示意圖.....	18
圖 2.7-2 各種不同指令參考訊號下產生之 PWM 波形.....	18
圖 2.8-1 PFM 訊號產生器架構示意圖.....	19
圖 2.8-2 不同 PFM 訊號波形.....	20
圖 3.1-1 升壓型功率因數修正器架構示意圖.....	22
圖 3.1-2 設計電路總體架構.....	23
圖 3.1-3 電路晶片部份與外接元件.....	24
圖 3.1-4 設計晶片內部電路.....	25

圖 3.2-1 運算放大器架構 .....	26
圖 3.2-2 運算放大器 Pre-Simulation 結果 .....	27
圖 3.2-3 運算放大器 Post-Simulation 結果 .....	27
圖 3.3-1 誤差放大器架構示意圖。 .....	28
圖 3.4-1 Gilbert-Cell 架構圖 .....	29
圖 3.4-2 乘法器架構圖 .....	30
圖 3.5-1 CMOS NAND 架構圖 .....	31
圖 3.5-2 RS 正反器符號與架構圖 .....	31
圖 3.6-1 Hspice 傅立葉模擬示意圖 .....	33
圖 3.6-2 輸入電流 $i_s$ 與輸入電壓 $v_s$ 波形 .....	34
圖 3.6-3 Hspice Fourier 模擬輸出示意 .....	34
圖 3.6-4 常溫下不同製程變異輸出電壓 .....	35
圖 3.6-5 80°C 下不同製程變異輸出電壓 .....	36
圖 3.6-6 -40°C 下不同製程變異輸出電壓 .....	37
圖 3.6-7 TT 製程變異下不同溫度輸出電壓 .....	38
圖 3.6-8 FF 製程變異下不同溫度輸出電壓 .....	39
圖 3.6-9 SS 製程變異下不同溫度輸出電壓 .....	40
圖 3.6-10 無製程補償下輸入電壓變異 $\pm 10\%$ 輸出電壓 .....	41
圖 3.6-11 27 度常溫 TT 變異條件下傅立葉模擬結果 .....	42

圖 3.6-12 Post-Simulation 常溫下不同製程變異輸出電壓 .....	44
圖 3.6-13 Post-Simulation 80°C 下不同製程變異輸出電壓 .....	45
圖 3.6-14 Post-Simulation -40°C 下不同製程變異輸出電壓 .....	46
圖 3.6-15 Post-Simulation TT 製程變異下不同溫度輸出電壓 .....	47
圖 3.6-16 Post-Simulation FF 製程變異下不同溫度輸出電壓 .....	48
圖 3.6-17 Post-Simulation SS 製程變異下不同溫度輸出電壓 .....	49
圖 3.6-18 Post-Simulation 無製程補償下電壓變異±10%輸出電壓.....	50
圖 4.1-1 補償電路目的示意圖 .....	52
圖 4.2-1 不同電流上下限對控制開關之波形示意 .....	53
圖 4.3-1 補償電路架構電路 .....	54
圖 5.1-1 具補償電路之升壓電路總體架構圖 .....	60
圖 5.1-2 具補償電路晶片部份與外接元件 .....	60
圖 5.2-1 常溫下具補償之不同製程變異輸出電壓 .....	61
圖 5.2-2 80°C 下不同製程變異輸出電壓 .....	62
圖 5.2-3 -40°C 下不同製程變異輸出電壓 .....	63
圖 5.2-4 TT 製程變異下不同溫度輸出電壓 .....	64
圖 5.2-5 FF 製程變異下不同溫度輸出電壓 .....	65
圖 5.2-6 SS 製程變異下不同溫度輸出電壓 .....	66
圖 5.2-7 製程補償下輸入電壓變異±10%輸出電壓 .....	67

圖 5.2-8 Post-Simulation 常溫下具補償之不同製程變異輸出電壓.....	69
圖 5.2-9 Post-Simulation 80°C下不同製程變異輸出電壓 .....	70
圖 5.2-10 Post-Simulation -40°C下不同製程變異輸出電壓 .....	71
圖 5.2-11 Post-Simulation TT 製程變異下不同溫度輸出電壓 .....	72
圖 5.2-12 Post-Simulation FF 製程變異下不同溫度輸出電壓 .....	73
圖 5.2-13 Post-Simulation SS 製程變異下不同溫度輸出電壓 .....	74
圖 5.2-14 Post-Simulation 製程補償下輸入電壓變異±10%輸出電壓	75
圖 5.4-1 電路佈局圖 .....	82



# 表目錄

表 2.3-1 被動式功率因數校正器優缺點 .....	10
表 3.1-1 設計電路外部離散元件表 .....	25
表 3.5-1 正緣觸發 RS 正反器真值表 .....	31
表 3.6-1 常溫下，不同製程變異輸出電壓之百分誤差量 .....	35
表 3.6-2 80°C 下，不同製程變異輸出電壓之百分誤差量 .....	36
表 3.6-3 -40°C 下，不同製程變異輸出電壓之百分誤差量 .....	37
表 3.6-4 TT 製程變異下，不同溫度條件輸出電壓之百分誤差量 .....	38
表 3.6-5 FF 製程變異下，不同溫度條件輸出電壓之百分誤差量 .....	39
表 3.6-6 SS 製程變異下，不同溫度條件輸出電壓之百分誤差量 .....	40
表 3.6-7 無製程補償下輸入電壓變異 $\pm 10\%$ 輸出電壓之誤差 .....	41
表 3.6-8 未製程補償下不同條件之功因值 .....	43
表 3.6-9 Post-Simulation 常溫下，不同製程變異輸出電壓之百分誤 差量 .....	44
表 3.6-10 Post-Simulation 80°C 下，不同製程變異輸出電壓之百分誤 差量 .....	45
表 3.6-11 Post-Simulation -40°C 下，不同製程變異輸出電壓之百分 誤差量 .....	46

表 3.6-12 Post-Simulation TT 製程變異下，不同溫度條件輸出電壓 之百分誤差量 .....	47
表 3.6-13 Post-Simulation FF 製程變異下，不同溫度條件輸出電壓 之百分誤差量 .....	48
表 3.6-14 Post-Simulation SS 製程變異下，不同溫度條件輸出電壓 之百分誤差量 .....	49
表 3.6-15 Post-Simulation 無製程補償下電壓變異 $\pm 10\%$ 輸出電壓誤 差 .....	50
表 3.6-16 Post-Simulation 未製程補償下不同條件之功因值 .....	51
表 5.2-1 常溫下，具補償不同製程變異輸出電壓之誤差 .....	61
表 5.2-2 80°C下，不同製程變異輸出電壓之百分誤差量 .....	62
表 5.2-3 -40°C下，不同製程變異輸出電壓之百分誤差量 .....	63
表 5.2-4 TT 製程變異下，不同溫度條件輸出電壓之誤差量 .....	64
表 5.2-5 FF 製程變異下，不同溫度條件輸出電壓之誤差量 .....	65
表 5.2-6 SS 製程變異下，不同溫度條件輸出電壓之誤差量 .....	66
表 5.2-7 製程補償下輸入電壓變異 $\pm 10\%$ 輸出電壓之誤差量 .....	67
表 5.2-8 有製程補償下不同條件之功因值 .....	68
表 5.2-9 Post-Simulation 常溫下，具補償不同製程變異輸出電壓之 誤差 .....	69



表 5.2-10 Post-Simulation 80°C 下，不同製程變異輸出電壓之百分誤 差量 .....	70
表 5.2-11 Post-Simulation -40°C 下，不同製程變異輸出電壓之百分 誤差量 .....	71
表 5.2-12 Post-Simulation TT 製程變異下，不同溫度條件輸出電壓 之誤差量 .....	72
表 5.2-13 Post-Simulation FF 製程變異下，不同溫度條件輸出電壓 之誤差量 .....	73
表 5.2-14 Post-Simulation SS 製程變異下，不同溫度條件輸出電壓 之誤差量 .....	74
表 5.2-15 Post-Simulation 製程補償下輸入電壓變異±10%輸出電壓 之誤差量 .....	75
表 5.2-16 Post-Simulation 有製程補償下不同條件之功因值 .....	76
表 5.3-1 固定溫度下補償電路對製程變異造成變化量 .....	77
表 5.3-2 同製程變異下不同溫度下變壓輸出變化量 .....	78
表 5.3-3 固定溫度下補償電路對製程變異造成變化量 .....	79
表 5.3-4 同製程變異下不同溫度下變壓輸出變化量 .....	80
表 5.4-1 預計規格表 .....	83

# 第1章、緒論

## 1.1 研究動機

從二次大戰結束後，戰後嬰兒潮為全世界提供了充足的勞動力，而技術工藝轉移至商用，從石油大量開採使用、全自動電氣化設備導入工廠、電晶體工藝產生，大量人力投入研發，帶來了數十年的黃金時期，然而到了九零年代曾經爆發一次石油危機，人類第一次發現到了石油並非取之不盡用之不完，而其他的能源也是有消耗的一天，從此次教訓開始逐漸重視到能源的問題。而今進入了二十一世紀，世界各個先進國家面對到年輕勞動力的不足，紛紛從世界挖掘人才，在能源開採與稀土來源也在積極布局，以維持繁榮局面與領先地位。

台灣屬於高密度重工業與服務業，需要外國能源進口，也需要使用大量的電力，以電力來看，台灣電力使用量從九零年的一千五百億度到九十九年一千九百億度，使用量仍舊在成長，也受到全世界資源減少的關係，發電成本也逐漸在增加，而且因為電力使用的成長，每年夏季都會面臨電力不足的危機，其中尖峰負載使用量遠高於離峰負載，若要新建新的發電廠雖然是最有效率的方法，但是需要投入大量資金與興建時間。再者，另外一種方

法就是設計高功率因數且高轉換效率的電源轉換器並逐漸汰換掉老舊設備，雖然短期效益不明顯，但只要效率提昇，所有電器消耗的電能便會大大減少，可以減少電量的使用和降低廢熱的產生，符合節能減碳的目的。

在多數的電氣用品中，多以直流電為工作電壓，也就是將電力公司的交流電轉換成直流電再供給電器使用，最常用的就是二極體搭配電容組成的濾波電路，雖然架構簡單和成本低廉，但是會使得輸入電壓波形和輸入電流波形存在相位差以及電流的形變，因此造成功率因數 (Power Factor) 低落，能源無謂的損耗，為了提昇功率因數，多數電器輸入端都會使用主動式功率因數校正器 (Active Power Factor Corrector)，因為主動式功率因數校正器的體積小和效率高，成為目前研究的主流。本論文因此以這出發點設計一個電壓轉換器，使用的是 TSMC 0.25um HV 製程，而晶片在製作與使用時會存在不同的誤差變異量，如製程變異、溫度變異、電壓變異，在本文中變提出一種電路設計，可以用來減少因為製程變異造成的誤差量，使得輸出更平穩。

## 1.2 研究方法

本論文對功率因數校正器有一系列的研究，包括功率因數修

正技術的研究、電路模型的建立、晶片設計與模擬驗證。

- (1) 分析形成功率因數低落的原因和造成的影響；研究功率校正器的種類與功率因數修正操作原理，並簡介現今技術。
- (2) 功因修正電路的設計，使用 Hspice 和 Cadence Spectre 進行電路模擬，其中進行多個元件設計與建立，如比較器、正反器、乘法器…等，搭配 Virtuoso 繪製晶片佈局，並針對 Layout 進行 DRC (Design Rule Check)和 LVS (Layout vs Schematic)，最後再將 RC 寄生參數帶回電路中進行模擬，流程可以參考<圖 1.2-1>。

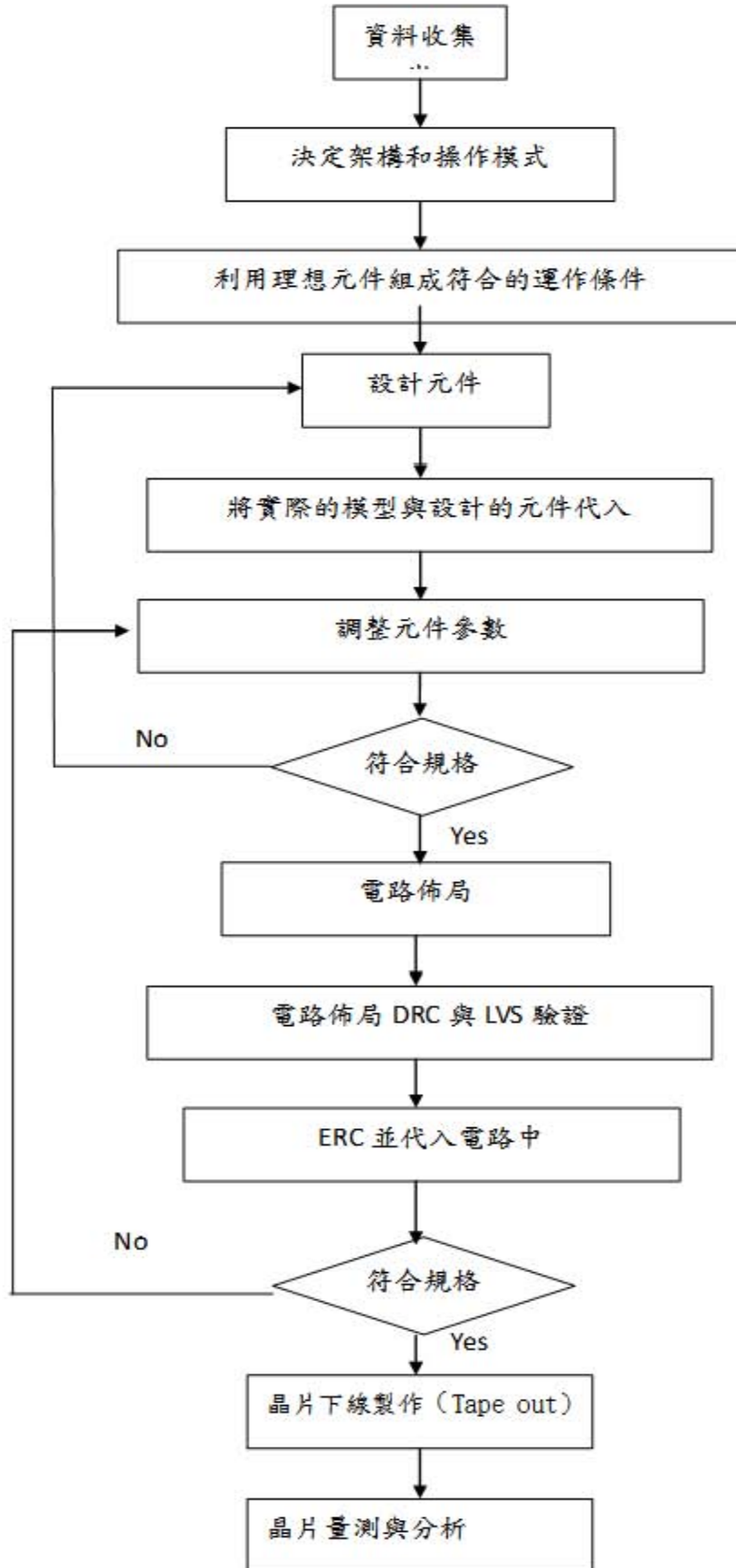


圖 1.2-1 電路與晶片設計流程

### 1.3 論文架構

本論文共分為五個章節，而因為使用的製程是 TSMC 0.25um HV 製程，其高壓元件最大耐壓為 60 伏特，故設計時為確保電路安全輸入為 12 伏特交流電源，第一章為緒論，主要在介紹與解釋本研究的動機、目的以及方法；第二章在介紹功率因數的定義和如何達到功因修正的方法，介紹主動功因校正電路的分類和操作行為，並列出各項操作的優缺點。第三章則是在簡介所選擇的高功率因數電路的架構，並逐一說明內部所使用的電路元件，包括運算放大器、乘法器、RS 正反器…等，並針對未有補償電路之電路進行功能模擬與驗證。第四章則是介紹設計的製程補償電路，在本章節中會說明如何使用此電路進行製程補償的工作以及目的，推導其電路之轉換方程式，即輸入對輸出的關係，並簡單說明如何應用。第五章是驗證電路的模擬，會分別表示出有補償電路和沒有補償電路的 pre-layout simulation 模擬差異，並在晶片布局結束後萃取各線路寄生之電阻電容帶回電路進行 post-layout simulation 結果，最後在列出各種條件下的差異。第六章是在做結論，說明本論文初步提出之補償電路可以對製程變異進行修正，並提出未來可以更進一步改良之空間。

## 第2章、功率因數校正原理簡介

### 2.1 功率因數的定義

功率因數(Power Factor, PF)指的是實際功率與視在功率的比值，所代表的意義就是總用電中真正使用到電器上的電量，數字越高代表消耗的虛功率越少，不必要的能量消耗可以節省下來，轉用作其他用途。

一般市電約為頻率 60 赫茲，電壓 110 或 220 伏特的交流電，由電力公司經由輸配電線路配送至各個家庭、工廠、商家等用戶端，而使用的電器產品可分為電阻性、電容性和電感性等三大類，其中電阻性會消耗能量產生光和熱等不同型態的能量轉換結果，純電容或電感負載則會儲存電能，不會消耗能量。當中，如果負載為純電阻性時，電壓和電流相位相同，純電容性則電流相位超前電壓 90 度，如果為純電感性，電流相位會落後電壓 90 度，假若負載為電阻性加上電容性，電流相位則會超前 0~90 度之間，如果為電阻性加上電感性則會落後 0~90 度，而這超前和落後的相位角度差距，就會直接影響負載對電器的能量消耗和能量儲存狀況[1]。

而功率校正的目的在於使原本不同負載性質之電流具有相

位超前與落後的差異，使用功因修正器之後可以使不同負載性質之電流相位相同。

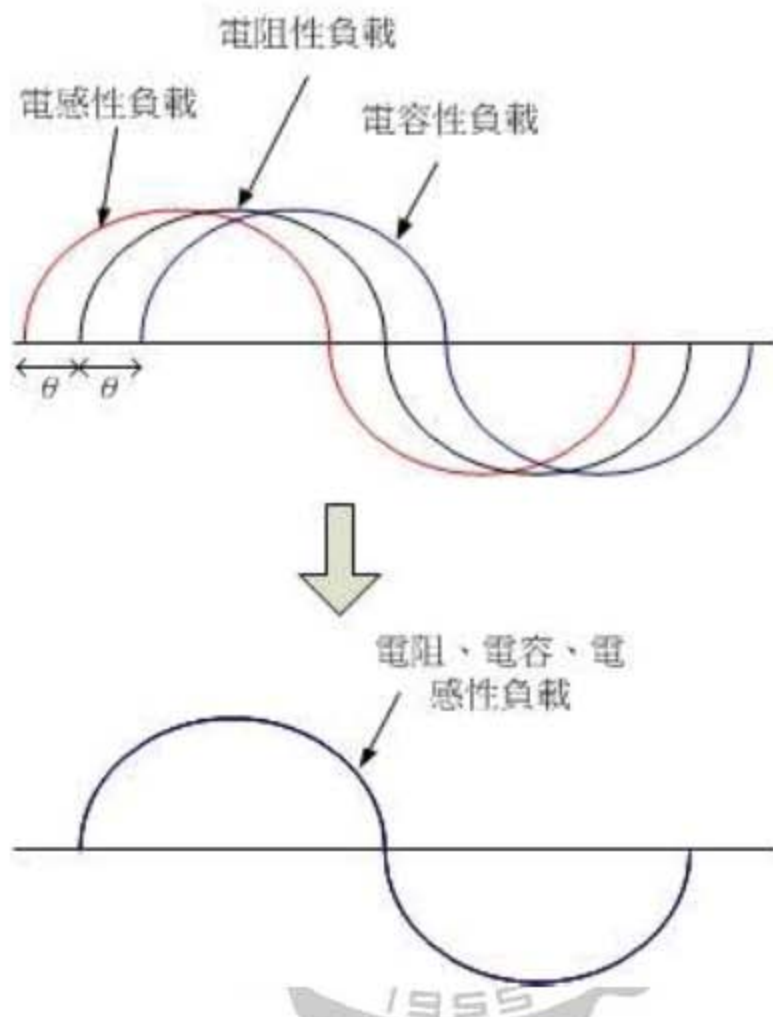


圖 2.1-1 負載差異造成落後修正前後示意

而其平均功率即表示在一個週期內瞬時電壓與瞬時電流乘積對時間積分的平均值，表示如下式：

$$P_{av} = V_{rms} I_{rms} \cos \theta \quad (2.1-1)$$

其中  $\theta$  表示為元件造成的相位差。

輸入電壓與輸入電流有效值為：



$$V_{rms} = \sqrt{\frac{1}{T} \int_0^T v_s^2(t) dt} \quad (2.1-2)$$

$$I_{rms} = \sqrt{\frac{1}{T} \int_0^T i_s^2(t) dt} \quad (2.1-3)$$

其中  $v_s(t)$  為輸入瞬時電壓值， $i_s(t)$  為輸入瞬時電流值， $T$  為週期。

又平均功率  $P_{av}$  可表示成：

$$P_{av} = \text{avg}[v(t) \cdot i(t)] = \frac{1}{T} \int_0^T v_s(t) i_s(t) dt \quad (2.1-4)$$

設  $I_{rms}$  為  $i_s(t)$  之均方根值，視在功率定義為

$$S = V_{rms} I_{rms}^* \quad (2.1-5)$$

由式(2.1-1)~(2.1-5)可以整理求得功率因數，其可定義為平均功率與視在功率的比值：

$$PF = \frac{P(\text{平均功率})}{S(\text{視在功率})} = \frac{V_{rms} I_{s1} \cos \theta}{V_{rms} I_{rms}} = \frac{I_{s1}}{I_{rms}} \cos \theta \quad (2.1-6)$$

其中  $I_{rms}$  為輸入電流的均方根值， $I_{s1}$  為輸入電流基本波的均方根值， $\theta$  為輸入電流基本波形與電壓的相位差， $\cos \theta$  可稱為相移因數或位移因數。由式(2.1-6)可知 PF 值的大小決定在主要電流波形與電壓波形的相位差上[2]。

## 2.2 總諧波失真

在上一節已經得到相位對功率因數的關係，然而除了相位會影響之外，另外一個因素即是電流波形失真的程度，諧波經由傅立葉分析，可以將輸入電流 $I_{rms}$ 用基本波加上其他項次諧波來表示，以量化失真的程度。

$$I_{rms} = \sqrt{I_{s1}^2 + \sum_{n=2}^{\infty} I_{sn}^2} \quad (2.2-1)$$

其中 $I_{sn}$ 為輸入電流  $n$  次相諧波的均方根值，而輸入電流有效的失真值定義為：

$$I_{dis} = \sqrt{I_{rms}^2 - I_{s1}^2} = \sqrt{\sum_{n=2}^{\infty} I_{sn}^2} \quad (2.2-2)$$

將總失真值除去主要波形可以得到總諧波失真(Total Harmonic Distortion, THD)[3]，可用來判斷諧波失真的大小和分析電流波形的失真程度：

$$THD = \frac{I_{dis}}{I_{s1}} = \frac{\sqrt{\sum_{n=2}^{\infty} I_{sn}^2}}{I_{s1}} \quad (2.2-3)$$

將式(2.1-6)、(2.2-2)和(2.2-3)整理可得到功率因數對總諧波

失真和相移因數的關係式：

$$PF = \frac{1}{\sqrt{1+THD^2}} \cos \theta \quad (2.2-4)$$

## 2.3 功率因數校正器的種類

功率因數校正(Power Factor Correction, PFC)的分類先從主被動工作方式進行分類，而主動式功因校正器的分類又可從輸出與輸入電壓關係和電流操作模式去分類。

### 2.3.1 被動式功率因數校正器

在被動式功因校正電路主要是由電容和電感組成，主要使用為 LC 型和  $\pi$  型的低通濾波器兩種，工作原理重點其一是利用被動式修正電路所產生的相位移的領先或是落後來補償電流波形的相位變化，減少相位差來提高功率因數，另一方面電容和電感組成的低通濾波器可以濾除高階項次的諧波，留下基本波形，達到提高功因的目的。

而被動式功率因數修正器的電路優缺點如下表所示：

表 2.3-1 被動式功率因數校正器優缺點

優	1. 架構簡單、設計容易。
---	---------------

點	2. 電磁干擾低。
缺點	1. 工作頻率低，無法提高。
	2. 電感和電容體積大，難以符合小巧的規格。
	3. 功因和整體效率低落，已不合時宜

被動式功因修正電路的效率一般約為 70%，但是依現今個人電腦的電源供應器主流規格都要符合 80 plus 的規範，即功因修正效果達 80% 以上，因此現今高效能都採取主動式功因修正電路。

### 2.3.2 主動式功率因數修正電路

與被動式最大的差異在於電路中使用了主動開關元件來控制相位的變化，如果以其輸出電壓跟輸入電壓的比較結果來分類的話，電路可以簡易分成升壓(Boost)電路、降壓(Buck)電路[4, 5]、升降壓(Boost-Buck)電路、降升壓電路(Buck-Boost)[6]、Sepic 電路、反馳式(flyback)電路等，如<圖 2.3-1>所表示。其中升壓型顧名思義，輸出電壓高於輸入電壓，降壓型則是輸出電壓低於輸入電壓，而升降壓、sepic 式可以透過前後兩個儲能元件大小達到輸出大於、等於或是小於輸入電壓的狀態。

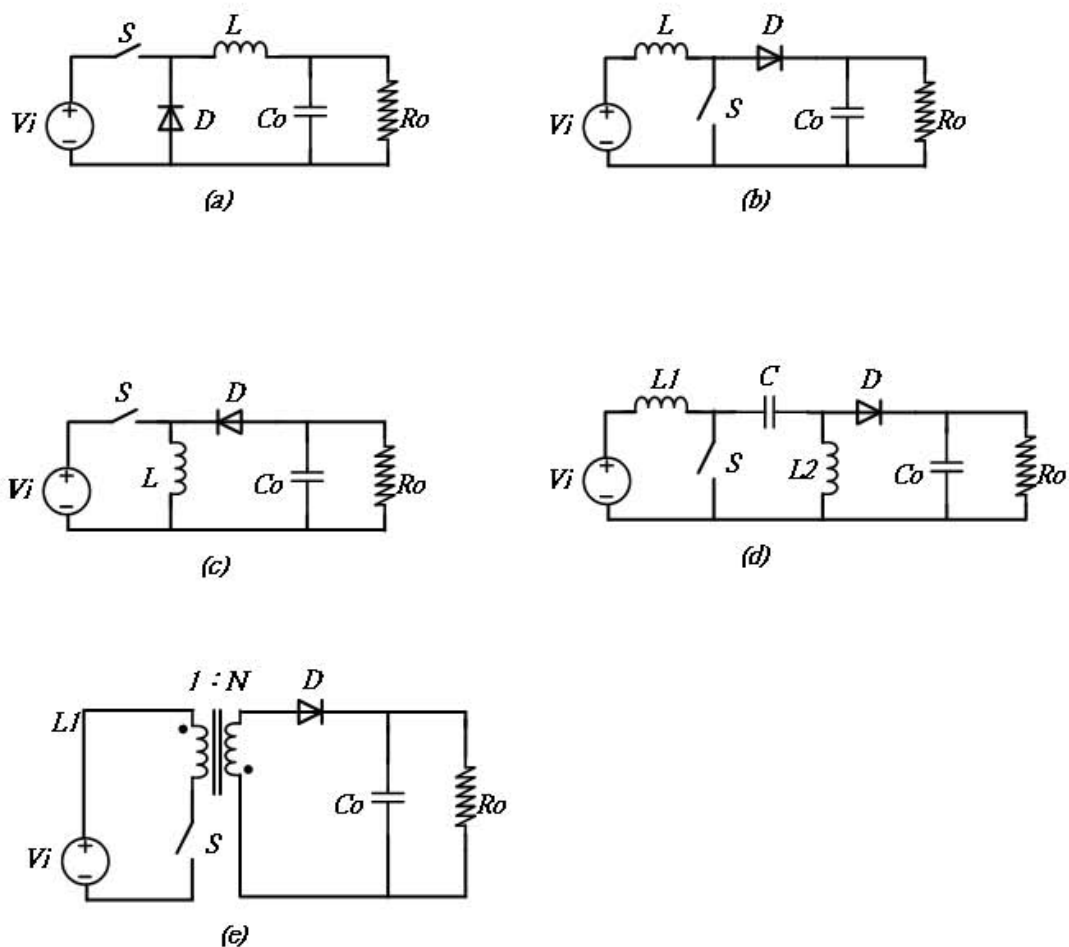


圖 2.3-1 各種不同種類之轉換電路

(a)升壓型電路 (b)降壓型電路 (c)升降壓型電路

(d)Sepic 型電路 (e)返馳式電路

如果依照電流操作模式可分為連續電流模式(Continuous Current Mode, CCM)[7]、非連續電流模式(Discontinuous Current Mode, DCM)[8, 9]和邊界電流模式(Boundary Current Mode, BCM),其差異在於電感電流是否降到零電流位準作為判別[10];若依照電路控制迴路分類則有峰值檢測控制法、平均電流控制法、遲滯電流控制法…等。

非連續電流模式[11]可以參考<圖 2.3-2>，工作主要受限於峰值電流，當電感電流超出上限值時，會關閉功率開關元件以降低電感電流，但是當電感電流降為零時，並不會立即反應，而會持續一陣子，直到觸發訊號將開關再次啟動。

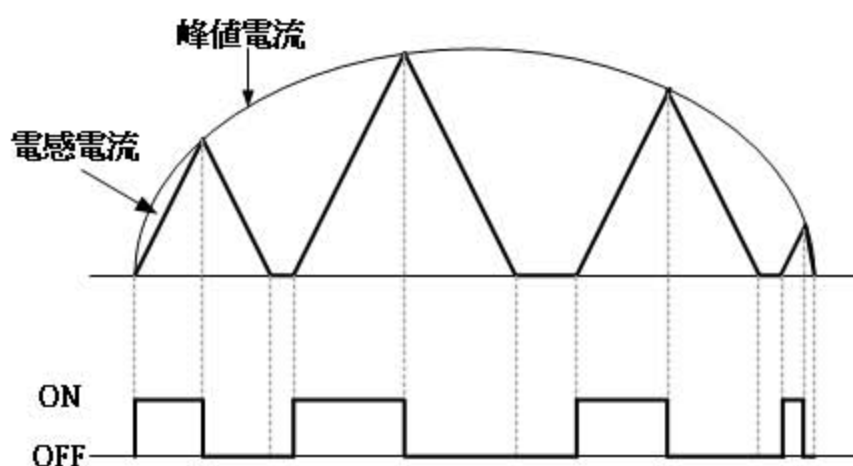


圖 2.3-2 非連續電流模式波形示意圖

連續電流模式波形可參考<圖 2.3-3>，與非連續最大差異在於電感電流不會降到零，而多數使用在平均電流控制模式，開關頻率較高。

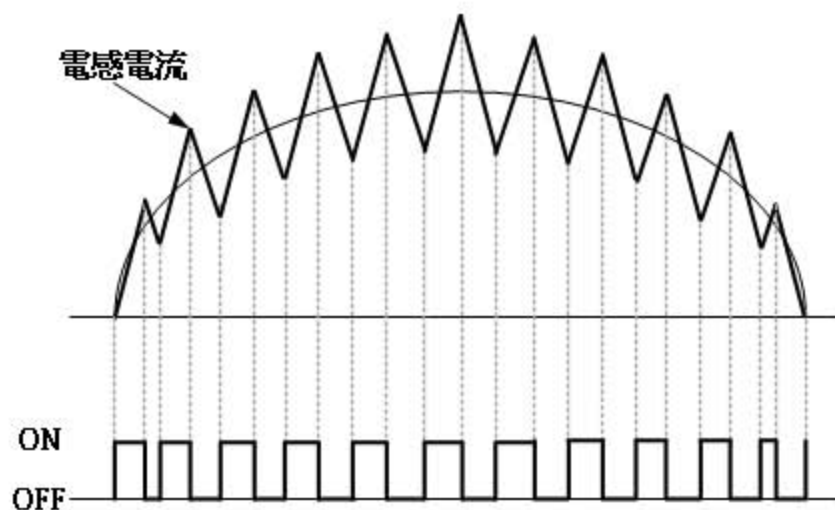


圖 2.3-3 連續電流模式波形示意圖

邊界電流模式，則介於二者之間，電感電流上升至峰值電流上限時，立即關閉功率元件，電感電流下降至零電流下限時，則馬上開啟功率開關元件，正因為處於非連續與連續邊界上，才稱為邊界電流導通模式，其波形示意圖可參考圖 2.3-4。

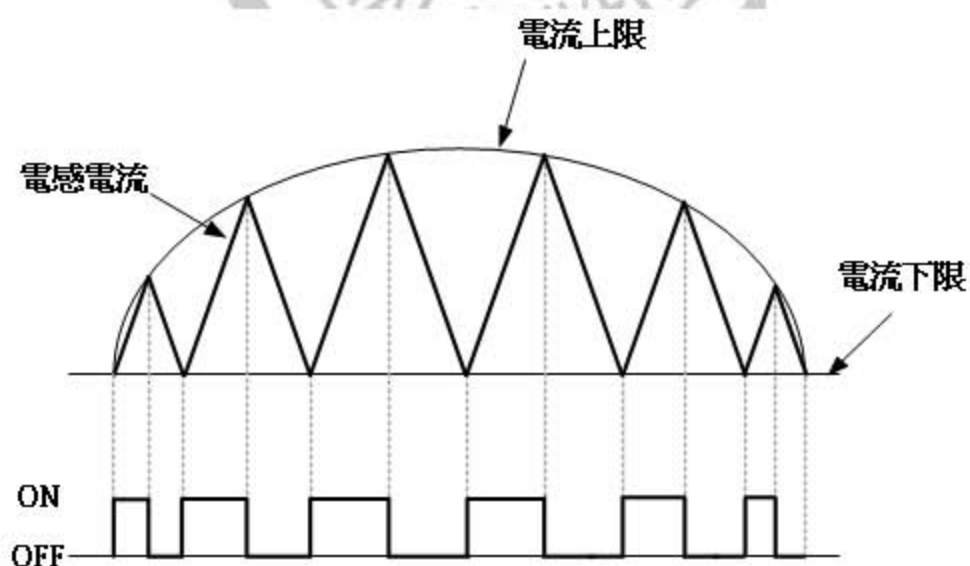


圖 2.3-4 邊界電流模式波形示意圖

## 2.4 峰值電流控制法

峰值電流控制法主要操作在固定頻率下，利用電感電流追隨類似弦波的參考電流，如<圖 2.4-1>。主要優點在於設計簡單，且有高速電流限制，缺點是輸入電流失真較大，且電感電流平均值容易有零交越的失真現象。

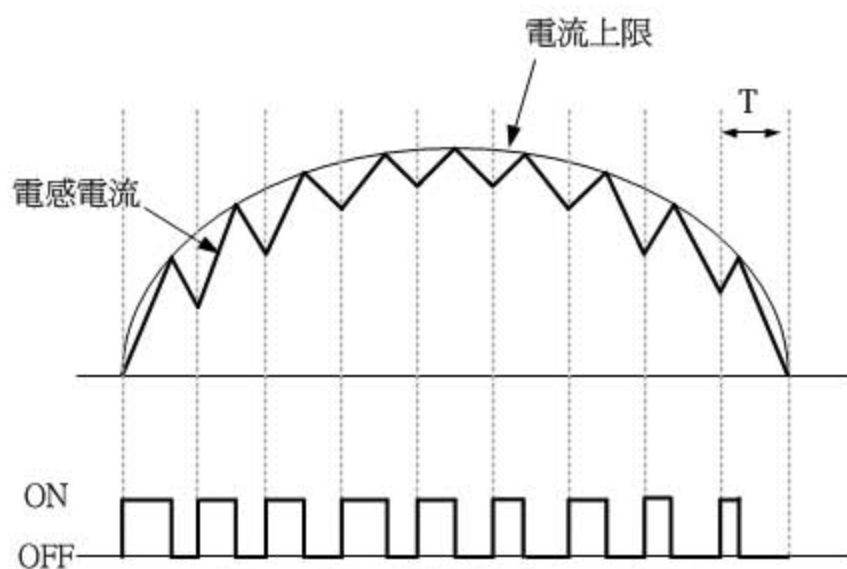


圖 2.4-1 峰值電流控制法波形

## 2.5 平均電流控制法

平均電流控制法，主要由一個 PWM 比較器產生高低電位來驅動功率元件開關，而此控制法將具有輸入正弦波成份的參考訊號與三角波做比較產生不同導通時間的 PWM 訊號，優點設計簡單，EMI 問題處理較非連續修正電路簡易。



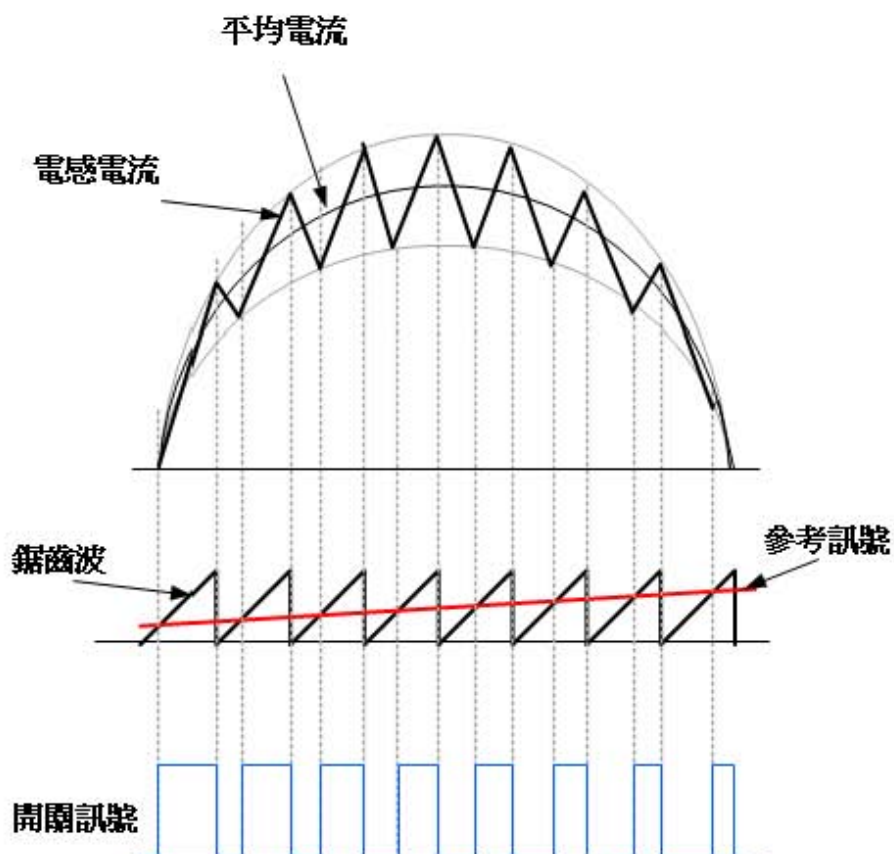


圖 2.5-1 平均電流控制模式工作波形

## 2.6 遲滯電流控制法

遲滯電流控制法，主要是控制電流在預設的遲滯電流上下限之間，如<圖 2.6-1>所表示。當電感電流大於最大電流上限時，使開關元件關閉，如果電感電流小於最小下限值，則使開關元件導通，電感電流則在遲滯電流上限與下限中來回變化，而在遲滯寬度內則不做任何開關元件變化。優點是電流響應快速、電流漣波小，缺點是功率開關變頻操作，EMI 問題較難處理。

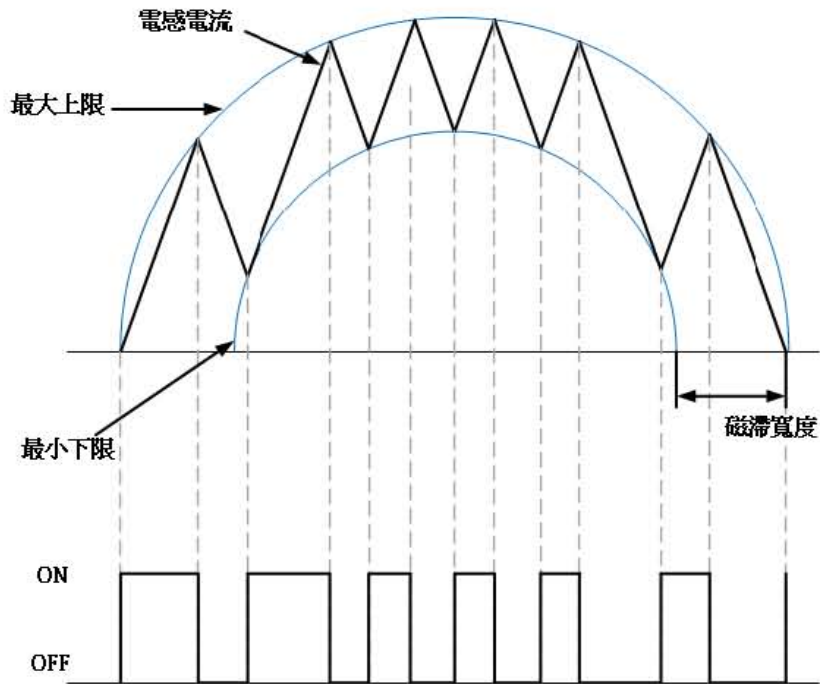


圖 2.6-1 遲滯電流波形示意圖

## 2.7 脈波寬度調變(Pulse Width Modulation)

脈波寬度調變[12, 13]其實就是將不同的振幅轉變成不同導通寬度的一個處理過程，簡單來說就是將電壓振幅轉換成電壓寬度，而訊號的產生主要是由鋸齒波與指令參考訊號做比較，可以參考<圖 2.7-1>和<圖 2.7-2>所示。在多數的轉換電路中，經常使用 PWM 電路來驅動功率開關元件，透過 PWM 訊號控制功率電路的輸出電壓。脈波週期固定時，其頻率會和鋸齒波的頻率相同，換言之，其工作頻率需要在一開始就決定好振盪電路設計的頻率。優點是雜訊小、電路滿載時效率高和可工作在連續電流模式。

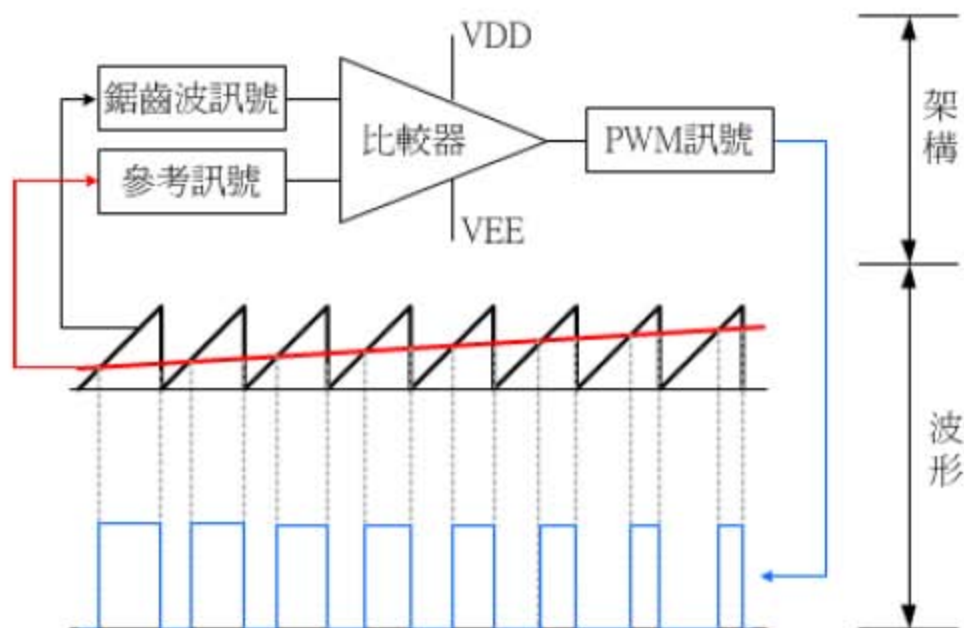


圖 2.7-1 PWM 訊號產生器架構與波形示意圖

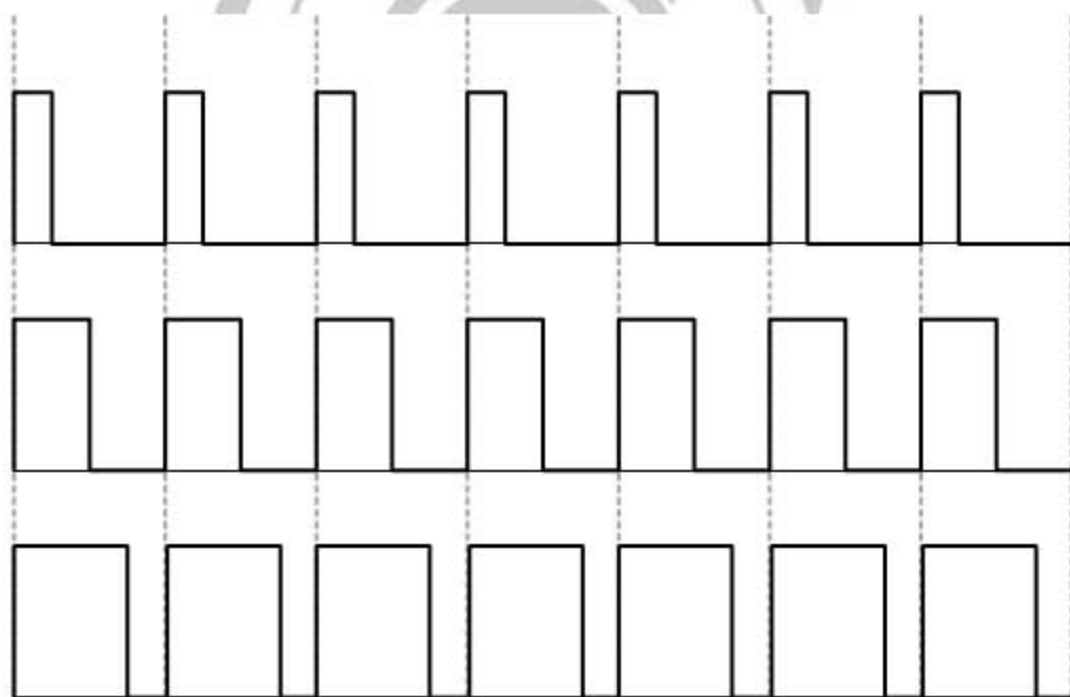


圖 2.7-2 各種不同指令參考訊號下產生之 PWM 波形

## 2.8 脈波頻率調變(Pulse Frequency Modulation)

脈波頻率調變[14]是將不同振幅轉換輸出成不同頻率的訊號結果，其變化觸發的頻率是固定的，當觸發時才進行輸入訊號比較，因此輸出訊號週期會隨著每次輸入訊號比較出的結果而有所不同。當震盪觸發訊號觸發正反器邏輯電路工作時，邏輯電路才透過判別經由比較器比較參考訊號與回授訊號之結果而送出不同頻率之 PFM 訊號，架構圖可參考<圖 2.8-1>，波形示意可參考<圖 2.8-2>所示。在低電壓低電流功耗下，使用 PFM 會比 PWM 來的效率高，這是其最大優點，缺點是設計濾波器困難，控制電路亦較複雜。

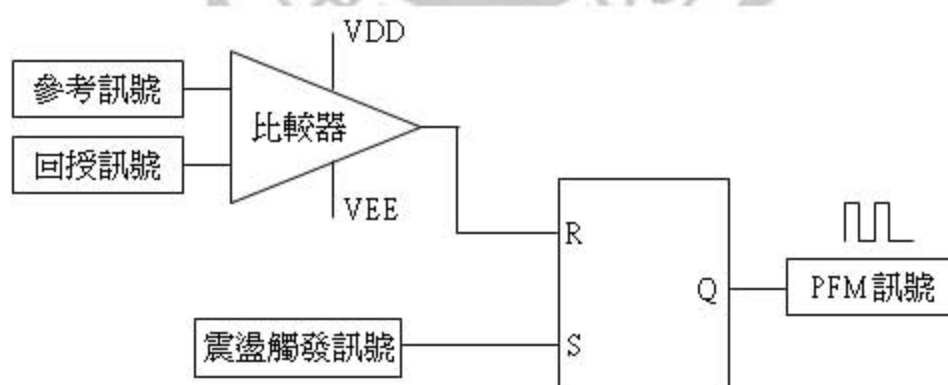


圖 2.8-1 PFM 訊號產生器架構示意圖

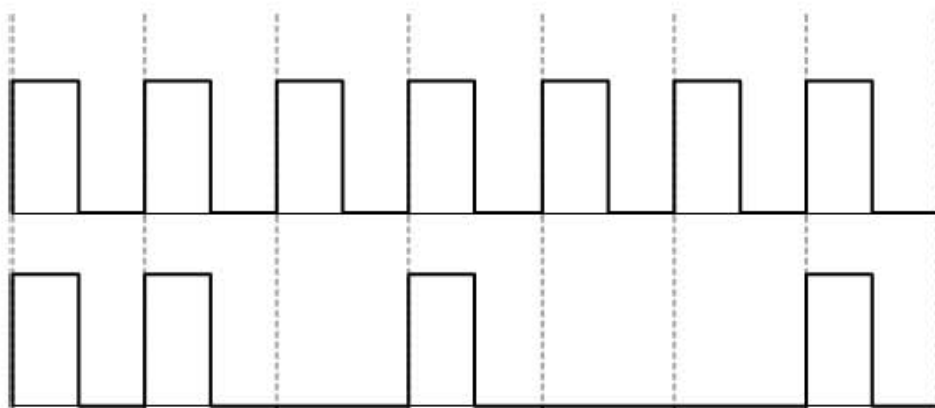


圖 2.8-2 不同 PFM 訊號波形



## 第3章、高功因升壓電路設計

### 3.1 升壓式轉換器電路

本論文研究使用國家晶片研究中心提供以及台灣積體電路製造股份有限公司授權之 TSMC 0.25um HV 製程，其高壓元件最大耐壓為 60 伏特，故設計時為確保電路安全輸入為 12 伏特交流電源，輸出為 35 伏特直流電源，主旨在於確認其工作迴路是否正常工作，而此電路預估可使用於低耗電量之 LED 照明設備。

電路中升壓型轉換器電路採用的轉換器架構主要有三大類，如前一章節所述，分別為：非連續電流控制法、連續電流控制法、邊界電流控制器，而這邊主要使用的架構為邊界電流控制法[15]，其工作狀態電感電流處於連續與非連續的邊界狀態。而升壓型轉換器功因修正控制器所扮演的角色為感測升壓電路之電流電壓訊號，經由訊號的比較與運算產生控制訊號控制切換開關元件，配合電壓波形而改變電流波形使其吻合已達到功因修正之目的。

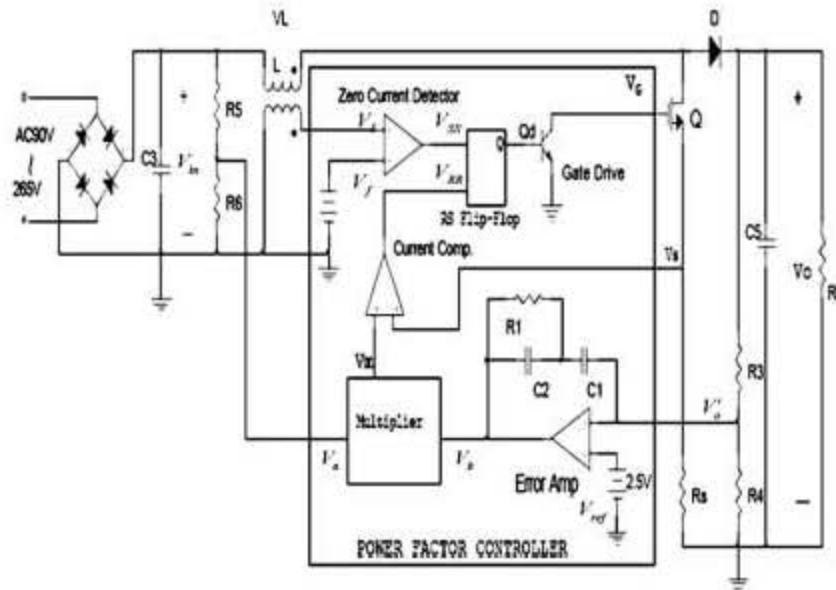


圖 3.1-1 升壓型功率因數修正器架構示意圖

此架構是一個電流檢測控制迴路型升壓型功率修正 (Boost-PFC) 電路，優點是擁有較容易的操作條件、設計難度低與受電路干擾小，相對於連續型電路使用的電容值、電感值和面積更小。功率因數修正器控制切換元件的開關時間以控制電流的波形與輸出電壓[16, 17]，輸入電流波形會呈現鋸齒狀，而昇壓電路具有非線性的特性，理論上不好分析，通常利用切換元件切換狀態取平均來分析，其平均後會接近於輸入電壓波形一半振幅，其相位則會和電壓相同，即為此電路的功能。<圖 3.1-1>架構中主要包含四種控制單元分別為：誤差放大器(Error Amplifier)、乘法器 (Multiplier)、RS 正反器(RS flip flop)以及比較器，這會在之後章節逐一介紹。



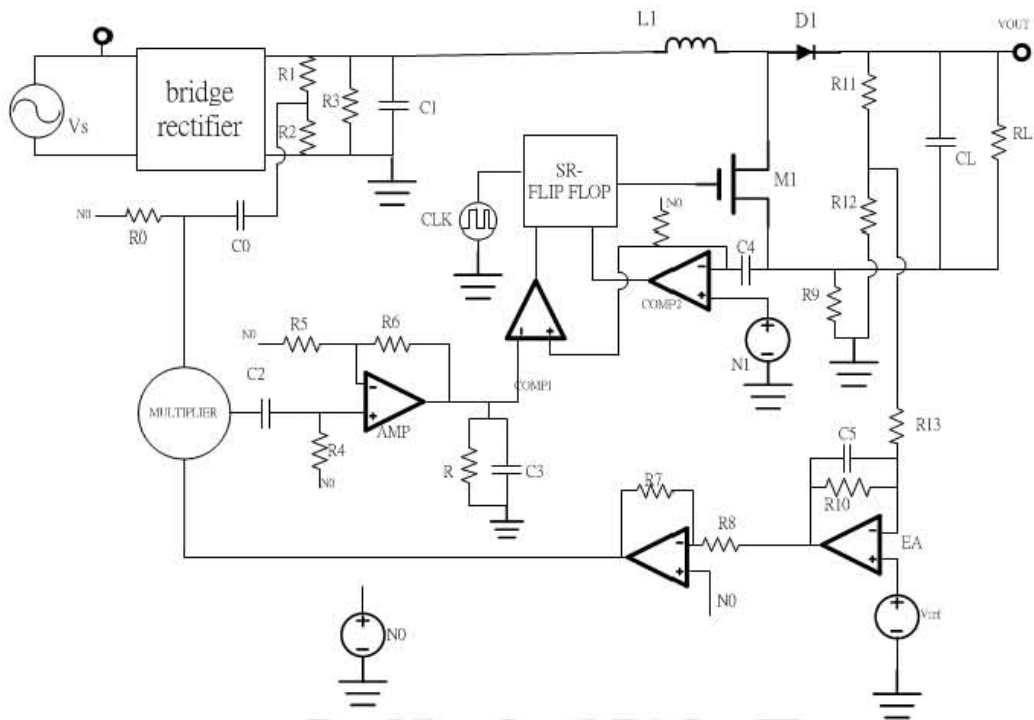


圖 3.1-2 設計電路總體架構

升壓電路運作時，交流電源 $V_s$ 經由橋式全波整流電路轉換成直流電，此時開關元件 $M_1$ 截止，二極體 $D_1$ 順偏導通，輸入電流對電感 $L_1$ 和負載電容 $C_L$ 充電，則負載輸出電壓 $V_{out}$ 上升，回授端將輸出電壓訊號送至誤差放大器並經由訊號處理，再送給比較器和RS正反器產生控制訊號，使得開關元件 $M_1$ 導通。

開關元件 $M_1$ 導通時，二極體 $D_1$ 逆偏截止，此時負載電容 $C_L$ 對負載放電，電感 $L_1$ 因開關元件導通後阻抗變小，勢必導通電流上升，轉而開始釋放電感儲能，此時電感電流持續上升，直到電感訊號超出峰值比較器的上限，使得RS正反器送出訊號將開關元件關閉。而關閉後電感 $L_1$ 開始儲存能量，二極體 $D_1$ 導通，負載電容 $C_L$ 充電，而電感電流開始下降直到超出零電流比較器



的下限範圍，而後又經由 RS 正反器將開關元件  $M_1$  導通。

而控制電路最主要功能便是將電感電流和參考訊號送入峰值與零電流兩組比較器判別何時需要將開關元件  $M_1$  導通或關閉。

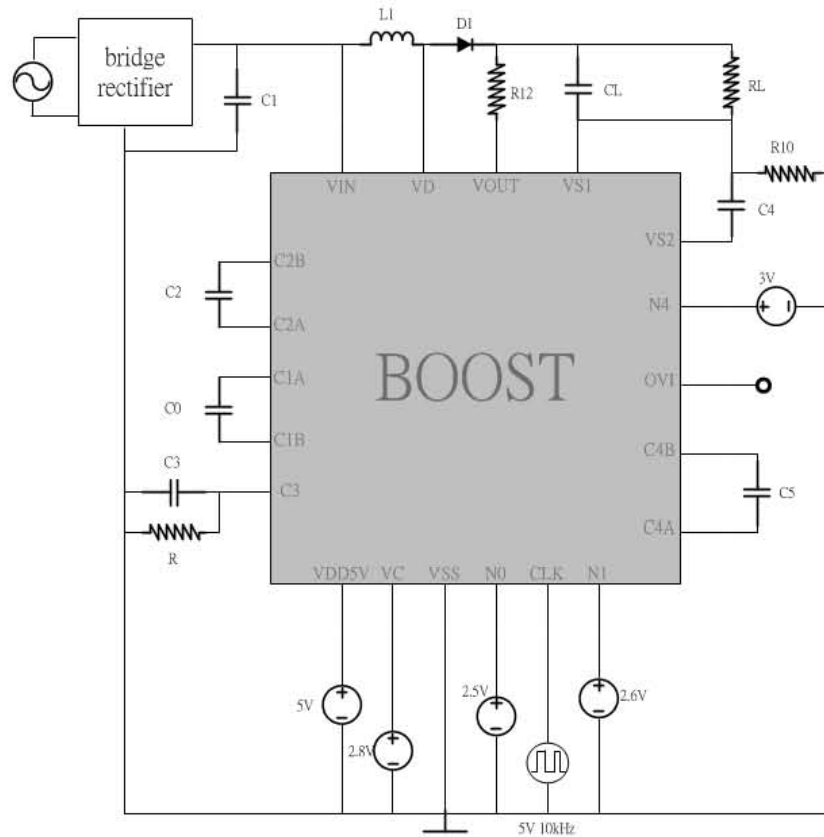


圖 3.1-3 電路晶片部份與外接元件

外部使用之離散元件多為大電容、高阻值耐壓電阻、電流感測電阻、電感線圈、高速二極體等，使用設計值可參考<表 3.1-1>所示。

表 3.1-1 設計電路外部離散元件表

C0	C1	C2	C3	C4	C5	CL	R	R10	R12	RL	L1
56nF	2nF	56nF	0.1uF	56nF	10uF	90nF	1MΩ	2Ω	1.14MΩ	2.5kΩ	3mH

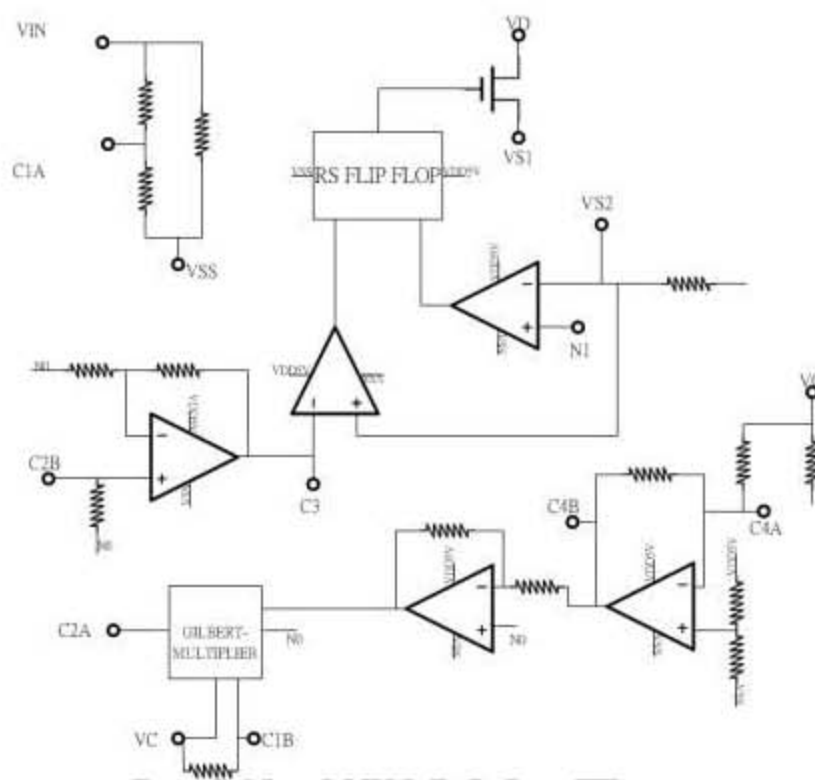


圖 3.1-4 設計晶片內部電路

## 3.2 運算放大器

運算放大器架構如圖 3.2-1 所示。總共分為四大部份，前端為啟動(Start-up)電路、偏壓(Bias)電路、差動對(Differential Pair)放大器與輸出級(Output Stage)。多數的放大器沒有足夠大的增益，因此大多數運算放大器會使用兩個或更多的增益級，最受歡迎便

是所採用的兩級式的運算放大器，優點是設計簡單又十分可靠，亦有多種應用[18, 19]。而運算放大器的 Pre-Simulation 的增益 (Gain) 和相位邊限 (Phase Margin) 為 86.2 dB 和 15.1 度，Post-Simulation 結果為 85.9 dB 和 16.5 度，可分別參考圖 3.2-2 和 3.2-3。

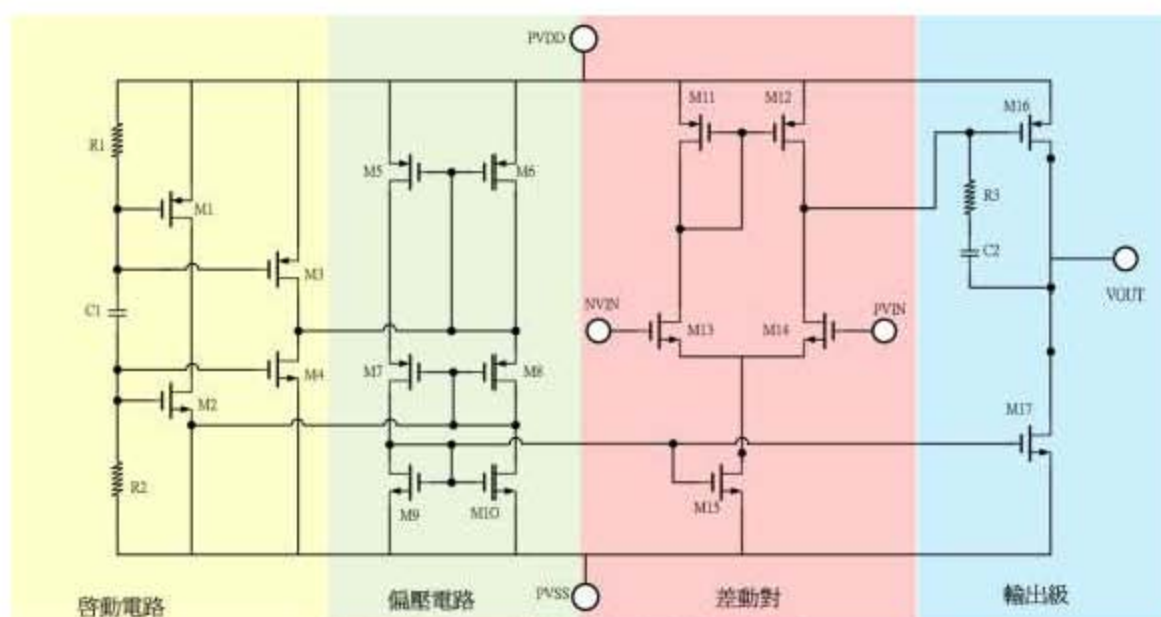


圖 3.2-1 運算放大器架構

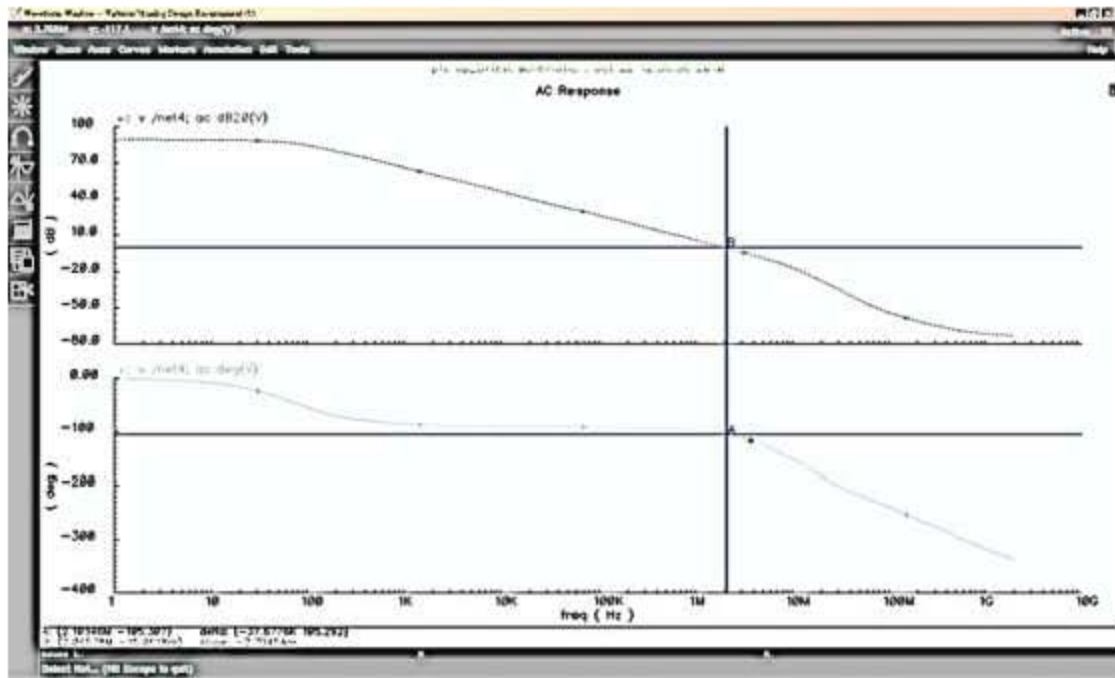


圖 3.2-2 運算放大器 Pre-Simulation 結果

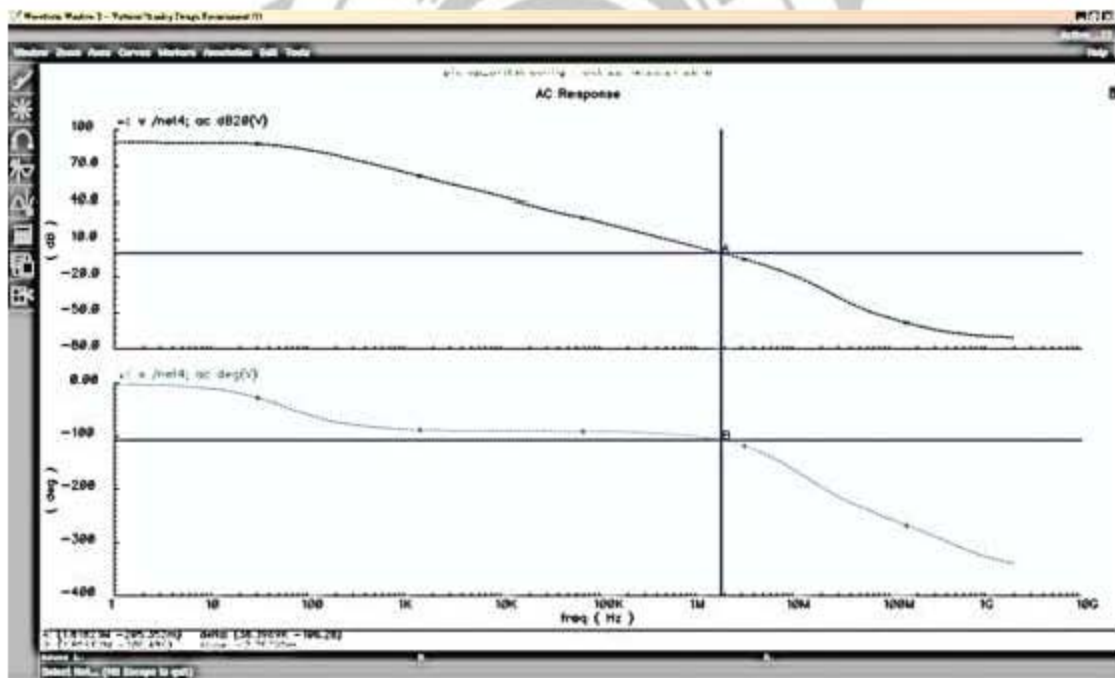


圖 3.2-3 運算放大器 Post-Simulation 結果

### 3.3 誤差放大器(Error Amplifier)

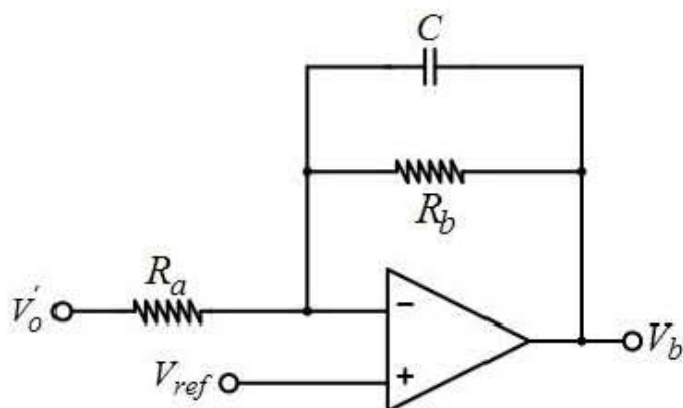


圖 3.3-1 誤差放大器架構示意圖。

圖表 3.3-1 為誤差放大器架構示意，輸出電壓  $V_o'$  經由分壓之後送入誤差放大器的反向端，正向端接參考電壓 1.25 伏特，其轉移函數為：

$$\frac{V_o' - V_{ref}}{R_A} = \frac{V_b - V_{ref}}{C // R_B}$$
$$V_b = \frac{C // R_B}{R_A} (V_o' - V_{ref}) + V_{ref} \quad (3.3-1)$$

誤差放大器頻寬相對較小，對於負載快速變化反應較為緩慢，可以減少雜訊進入控制訊號，並且其輸出為的  $V_o$  函數，控制迴路可以針對誤差放大器改變的量，進行修正穩定動作，保持輸出的穩定[20-22]。

### 3.4 類比乘法器

類比乘法器有多種類型，多數以使用差動對架構為基礎作出發，現今因大型積體電路晶片整合盛行遂以 CMOS 製程設計為主，而採用的架構為 Gilbert-Cell 四象限乘法器[23][24]，優點在於輸入可以為正或負值，輸出亦可為正值或負值，適用性廣泛、受雜訊影響小。

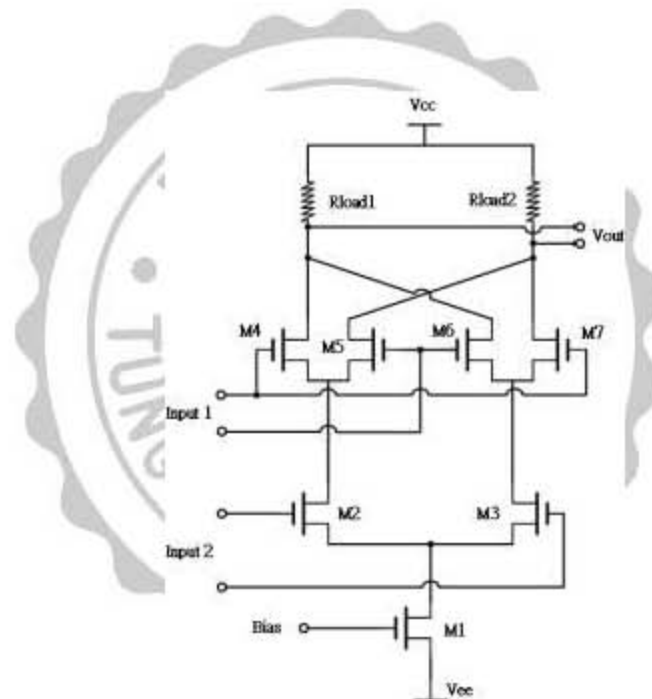


圖 3.4-1 Gilbert-Cell 架構圖

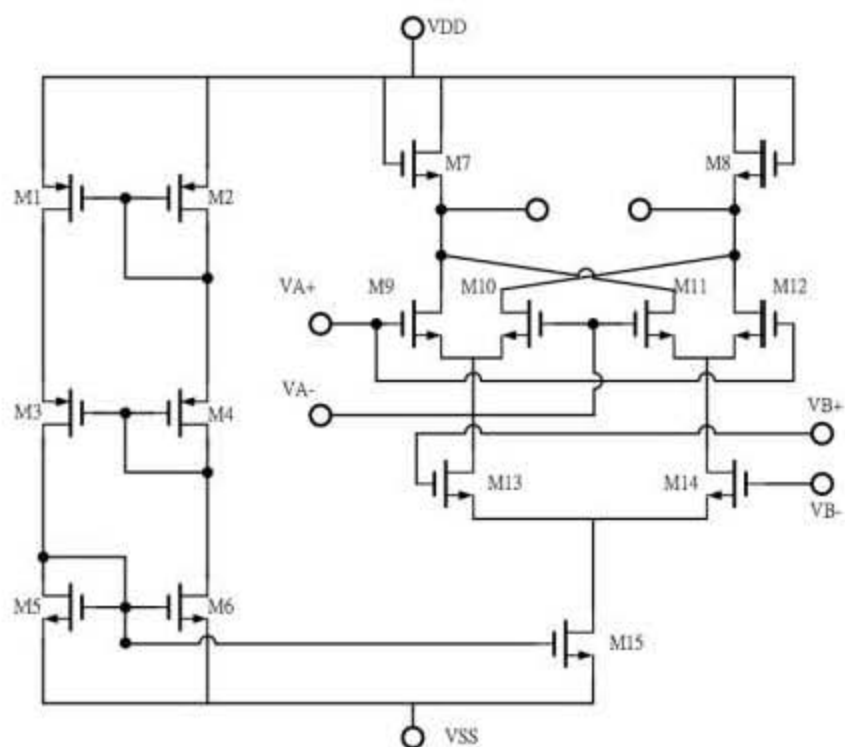


圖 3.4-2 乘法器架構圖

### 3.5 RS 正反器 (RS Flip-flop)

RS 正反器採用的是四個 NAND 閘所組成，是一個具有記憶功能的數位邏輯電路元件，在一個正反器中包含「0」和「1」輸入/輸出訊號並且兩個狀態會互相翻轉，而 NAND 架構和正反器架構如圖 3.6-1、圖 3.6-2，真值表如表 3.6-1[25]。

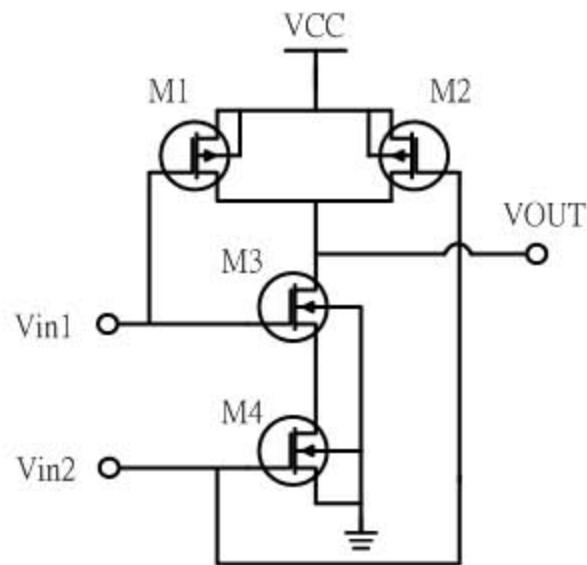


圖 3.5-1 CMOS NAND 架構圖

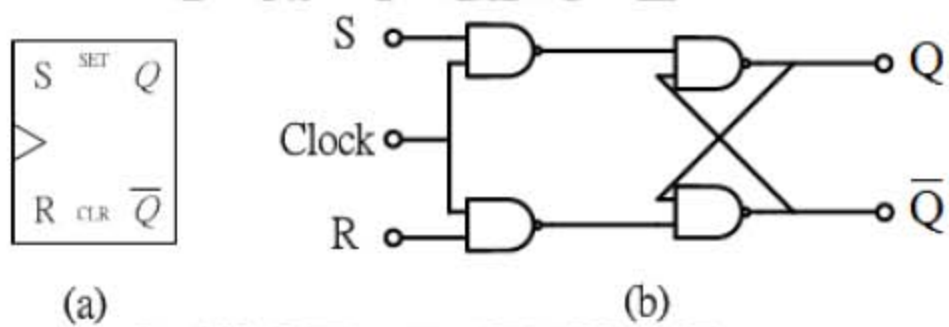


圖 3.5-2 RS 正反器符號與架構圖

(a)符號示意圖 (b)內部架構圖

表 3.5-1 正緣觸發 RS 正反器真值表

Clock	S	R	Q	$\bar{Q}$
0	X	X	Latch	Latch
1	X	X	Latch	Latch
↑	0	0	Latch	Latch
↑	0	1	0	1
↑	1	0	1	0
↑	1	1	1*	1*



在表 3.6-1 中最後一項 RS 正反器輸入皆為 1 時，會產生輸出皆為 1 的錯誤狀態，因此在設計時需要避免輸入同為 1 的操作狀態，而在本升壓電路中並不會有同時皆為高電位的狀態出現，輸入端只會有「10」或是「01」的狀況。



### 3.6 升壓電路模擬波形圖

在本論文中進行之電路模擬，使用國研院晶片中心授權之 Cadence ADE 工具進行類比暫態模擬，並搭配 Synopsys 的 Hspice 軟體.FOUR 指令計算相位差和總諧波失真量。

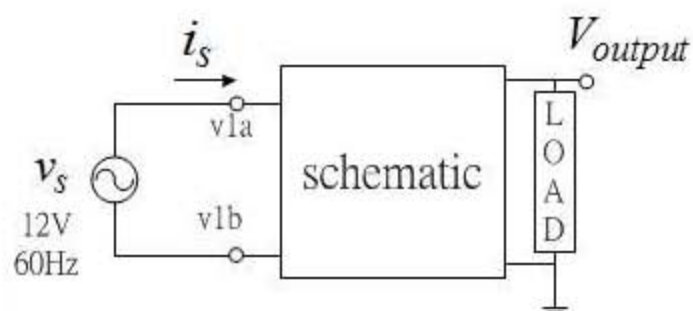


圖 3.6-1 Hspice 傅立葉模擬示意圖

在<圖 3.6-1>中  $V_{output}$  為升壓電路輸出電壓，輸入電壓  $v_s = v1a - v1b$ ， $i_s$  為  $v_s$  輸出之電流波形，如<圖 3.6-2>所表示；Phase 和 THD 則使用 Hspice 進行傅立葉.FOUR 指令運算，可得到  $i_s$  輸入電流 9 次項之總諧波失真以及相位差結果，如<圖 3.6-3>所示，在將其輸出值代入式(2.2-4)即可得到功率因數。

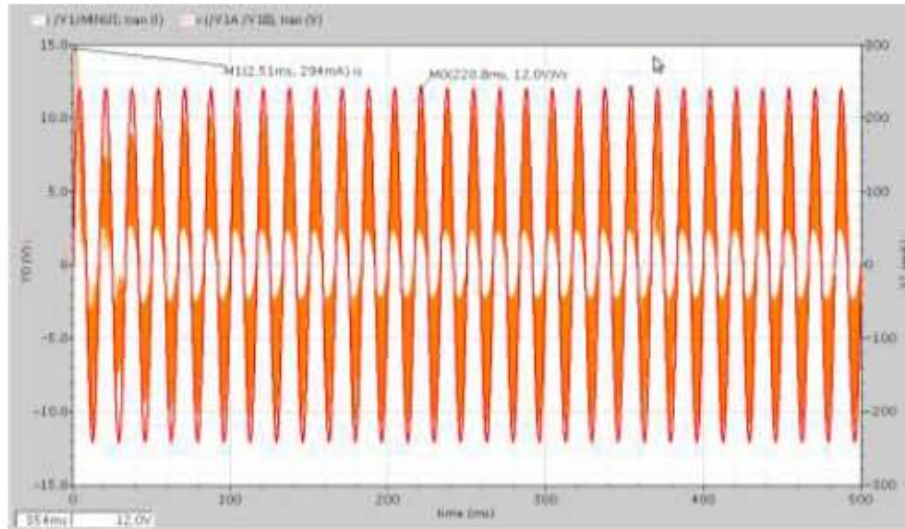


圖 3.6-2 輸入電流  $i_s$  與輸入電壓  $v_s$  波形

```

fourier components of transient response "net041.net6" "node")
dc component = -1.6065e-09

harmonic frequency fourier normalized phase normalized
no (hz) component component (deg) phase (deg)
1 60.0000 12.0000 1.00000 -2.7778e-07 0
2 120.000 3.87269n 322.724p -132.306 -132.306
3 180.000 49.4840n 4.12367n -98.6718 -98.6718
4 240.000 4.83030n 402.525p -146.202 -146.202
5 300.000 39.7744n 3.31453n -103.979 -103.979
6 360.000 5.99593n 499.661p -148.624 -148.624
7 420.000 26.5941n 2.21618n -109.102 -109.102
8 480.000 6.40676n 533.896p -151.896 -151.896
9 540.000 13.5514n 1.12929n -117.4 -117.4

total harmonic distortion = 5.91425e-07 percent
***** HSPICE --- C-2009.09 32-BIT (Aug 24 2009) linux *****
** generated for: hspiced
  
```

圖 3.6-3 Hspice Fourier 模擬輸出示意

### 3.6.1 Pre-Simulation

27°C下，輸出電壓和不同製程變異下輸出差異：

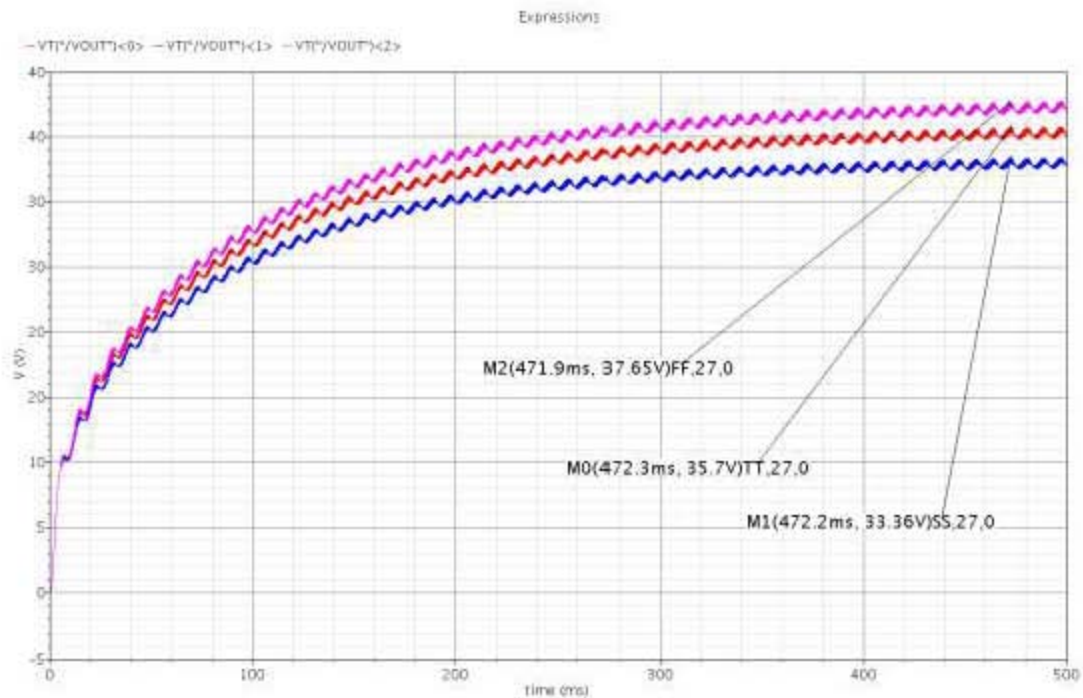


圖 3.6-4 常溫下不同製程變異輸出電壓

表 3.6-1 常溫下，不同製程變異輸出電壓之百分誤差量

SS	TT	FF
33.36V(-6.55%)	35.7V	37.65V(5.18%)
未補償最大誤差量-6.55%		

80°C下，輸出電壓和不同製程變異下輸出差異：

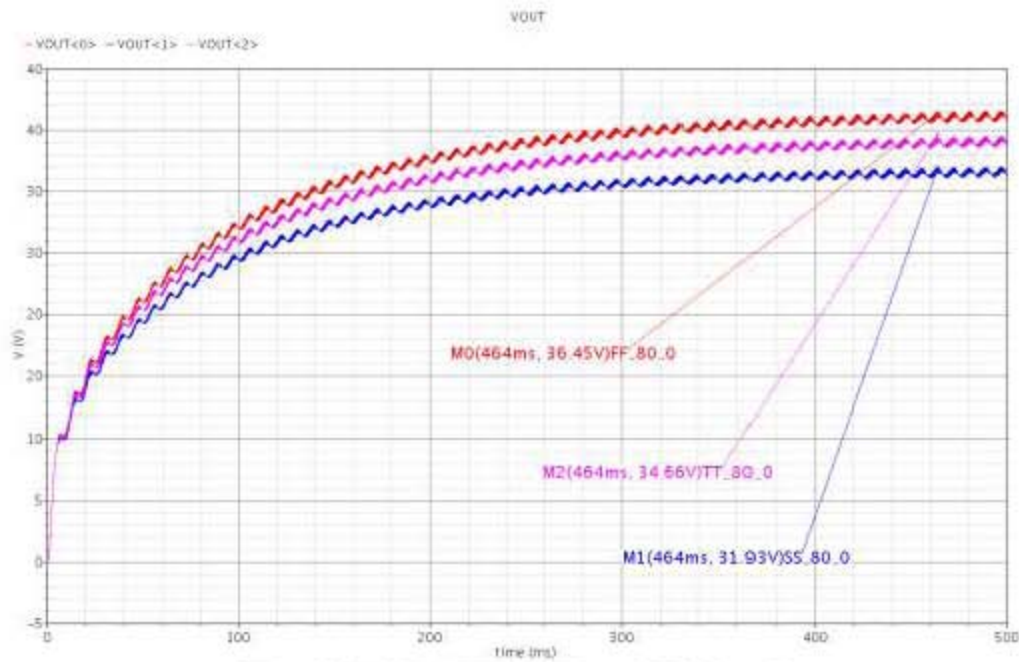


圖 3.6-5 80°C下不同製程變異輸出電壓

表 3.6-2 80°C下，不同製程變異輸出電壓之百分誤差量

SS	TT	FF
31.93V(-7.88%)	34.66V	36.45V(5.16%)
未補償最大誤差量-7.88%		

-40°C下，輸出電壓和不同製程變異下輸出差異：

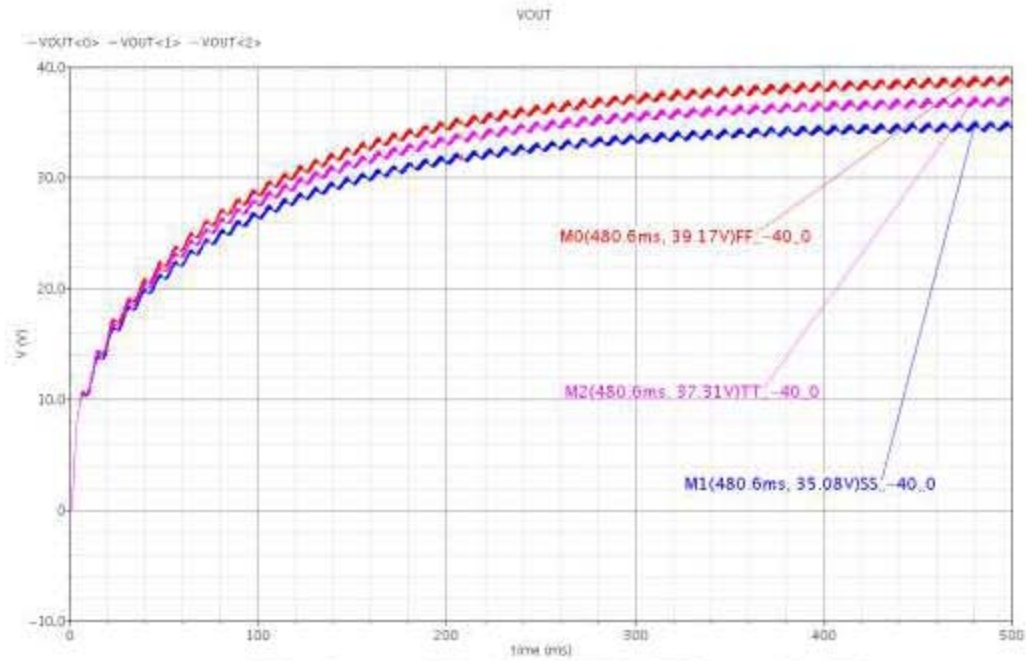


圖 3.6-6 -40°C下不同製程變異輸出電壓

表 3.6-3 -40°C下，不同製程變異輸出電壓之百分誤差量

SS	TT	FF
35.08V(-5.98%)	37.31V	39.17V(4.99%)
未補償最大誤差量-5.98%		



TT 製程變異條件、不同溫度下輸出電壓：

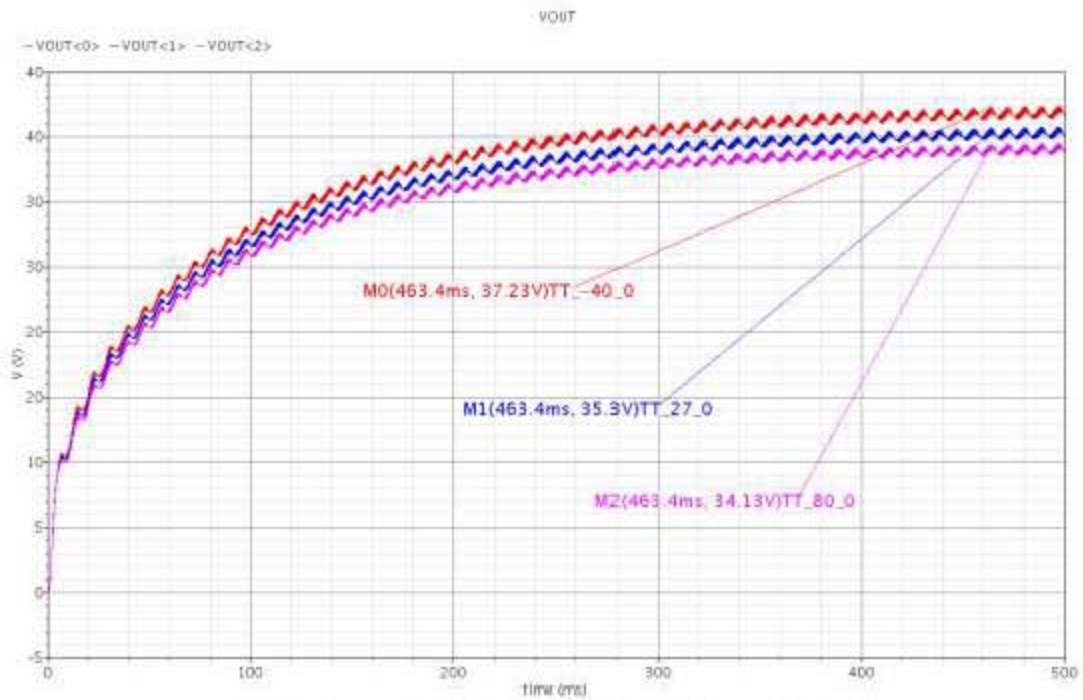


圖 3.6-7 TT 製程變異下不同溫度輸出電壓

表 3.6-4 TT 製程變異下，不同溫度條件輸出電壓之百分誤差量

80°C	27°C	-40°C
34.13V(-3.31%)	35.3V	37.23(5.47%)
溫度造成輸出最大誤差量 5.47%		

FF 製程變異條件、不同溫度下輸出電壓：

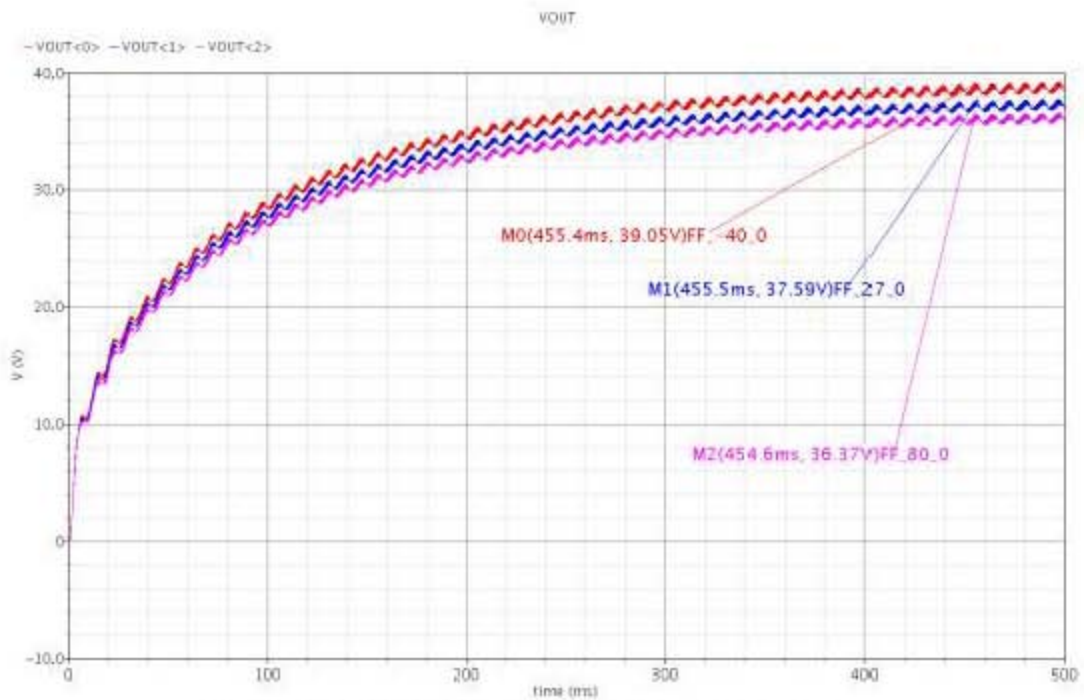


圖 3.6-8 FF 製程變異下不同溫度輸出電壓

表 3.6-5 FF 製程變異下，不同溫度條件輸出電壓之百分誤差量

80°C	27°C	-40°C
36.37V(-3.24%)	37.59V	39.05 (3.88%)
溫度造成輸出最大誤差量 3.88%		



SS 製程變異條件、不同溫度下輸出電壓：

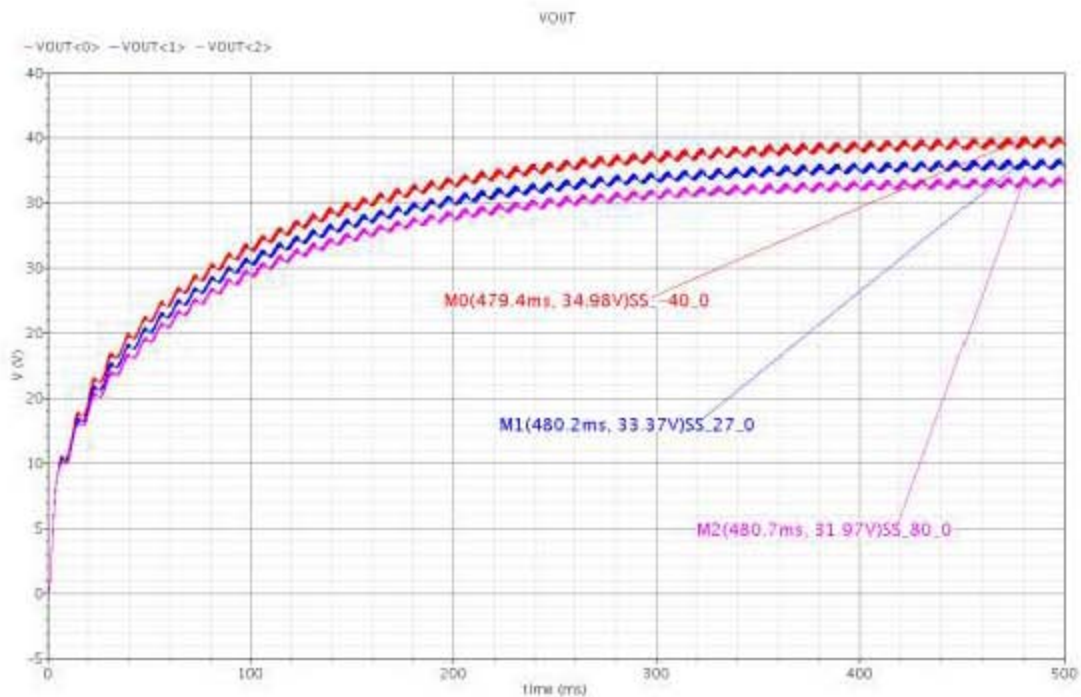


圖 3.6-9 SS 製程變異下不同溫度輸出電壓

表 3.6-6 SS 製程變異下，不同溫度條件輸出電壓之百分誤差量

80°C	27°C	-40°C
31.97V(-4.19%)	33.37V	34.98 (4.82%)
溫度造成輸出最大誤差量 4.82%		

無製程補償 27°C TT 製程變異下電壓正負 10% 輸出差異：

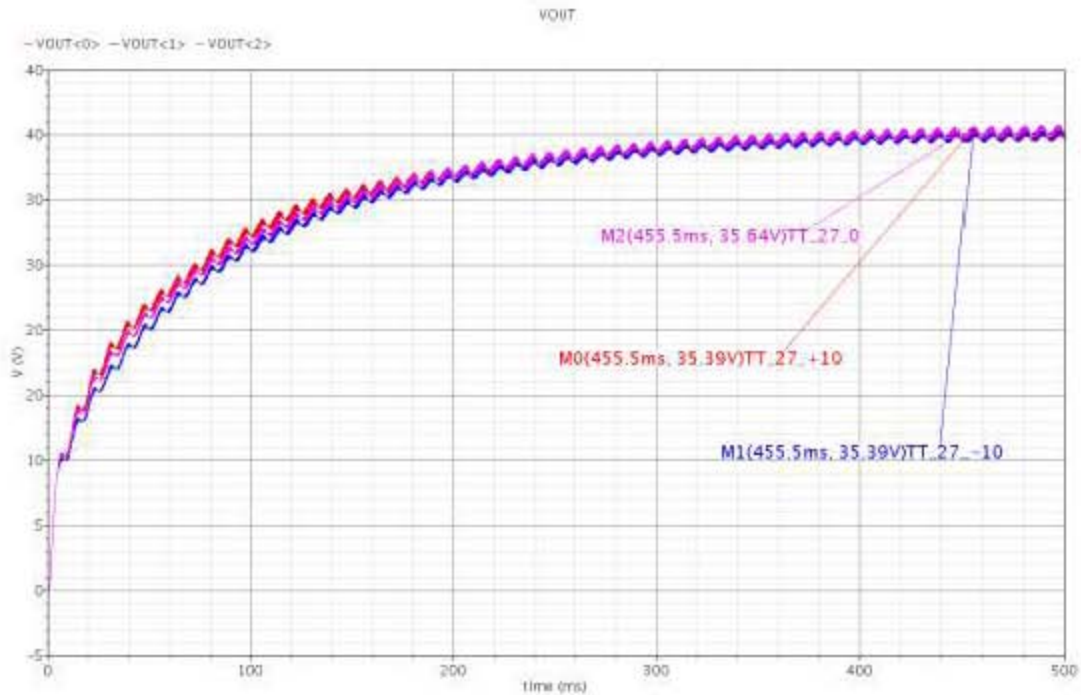


圖 3.6-10 無製程補償下輸入電壓變異±10%輸出電壓

表 3.6-7 無製程補償下輸入電壓變異±10%輸出電壓之誤差

-10%	0%	+10%
35.39V(-0.70%)	35.64V	35.39V(-0.70%)
電壓變異造成輸出最大誤差量-0.70%		

### 3.6.2 Pre-Simulation 模擬計算功率因數值

以 27 度常溫 TT 製程變異條件下為例，使用 HSPICE 進行暫態模擬以及傅立葉模擬，使用指令 `FOUR 60V(v1a,v1b)`，其中參數設定頻率 60 赫茲，輸入電源為 `v1a-v1b`，輸出可得相位差  $-1.40573e-07$  度，總諧波失真為  $3.303545e-07\%$ ，如圖 <3.6-11>所示，在代入式(2.2-4)進行運算

$$PF = \frac{1}{\sqrt{1+THD^2}} \cos\theta$$

$$= \frac{1}{\sqrt{1+(3.03545e-07)^2}} \cos(-1.40573e-07) = 99.99\%$$

透過上面的計算可以得到功率因數達到 99.99%。

```
fourier components of transient response v(v1a,v1b)
dc component = -3.97494e-09

harmonic frequency fourier      normalized phase      normalized
no      (hz)      component      component      (deg)      phase (deg)
1      60.0000      12.0000      1.00000      -1.40573e-07      0
2      120.000      6.90399n      575.332p      -94.4807      -94.4807
3      180.000      20.6610n      1.72175n      -96.0373      -96.0373
4      240.000      5.90489n      492.074p      -60.7793      -60.7793
5      300.000      20.0133n      1.66778n      -90.882      -90.882
6      360.000      5.65772n      471.477p      -37.7107      -37.7107
7      420.000      15.8161n      1.31801n      -88.1913      -88.1913
8      480.000      4.65720n      388.100p      -37.9893      -37.9893
9      540.000      10.6308n      885.897p      -92.8405      -92.8405

total harmonic distortion = 3.03545e-07 percent

***** job concluded
***** HSPICE -- C-2009.09 32-BIT (Aug 24 2009) linux *****
** generated for: hspiced

***** job statistics summary tnom= 25.000 temp= 25.000 *****
```

圖 3.6-11 27 度常溫 TT 變異條件下傅立葉模擬結果

表 3.6-8 未製程補償下不同條件之功因值

製程/溫度/電壓 變異	相位差(deg)	總諧波失真(%)	功因值(%)
TT_27_0	-1.40573e-07	3.03545e-07	99.99
TT_80_0	-1.50742e-07	2.9721e-07	99.99
TT_-40_0	-1.65885e-07	3.51516e-07	99.99
TT_27_+10	-1.94178e-07	3.68483e-07	99.99
TT_27_-10	-1.15184e-07	1.67278e-07	99.99
FF_27_0	-2.11146e-07	5.01658e-07	99.99
FF_80_0	-6.91543e-07	1.42236e-07	99.99
FF_-40_0	-1.44486e-07	3.61489e-07	99.99
SS_27_0	-1.70194e-07	3.67375e-07	99.99
SS_80_0	-1.36035e-07	2.31266e-07	99.99
SS_-40_0	-1.71382e-07	4.20348e-07	99.99

在<表 3.6-8>中，列出了各種不同製程變異和溫度變異的傅立葉模擬輸出結果以及透過計算獲得的功率因數值，由上表可以看出功因校正之後功率因數值都達到 99.99%。

### 3.6.3 Post-Simulation

27°C下，輸出電壓和不同製程變異下輸出差異：

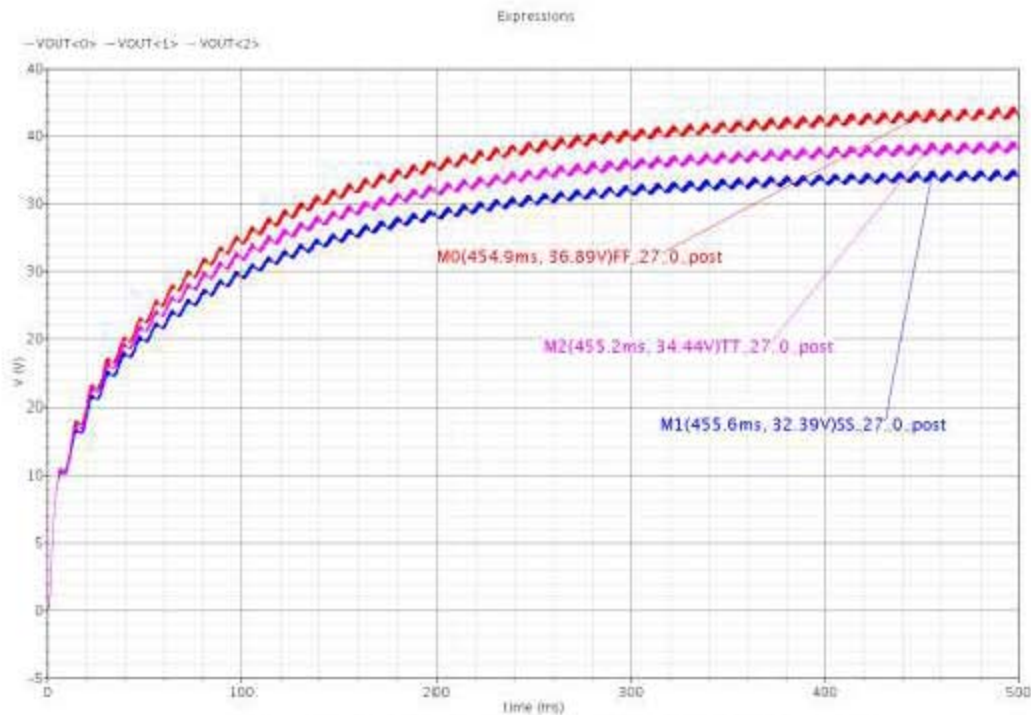


圖 3.6-12 Post-Simulation 常溫下不同製程變異輸出電壓

表 3.6-9 Post-Simulation 常溫下，不同製程變異輸出電壓之

百分誤差量

SS	TT	FF
32.39V(-5.95%)	34.44V	36.89V(7.11%)
未補償最大誤差量 7.11%		



80°C下，輸出電壓和不同製程變異下輸出差異：

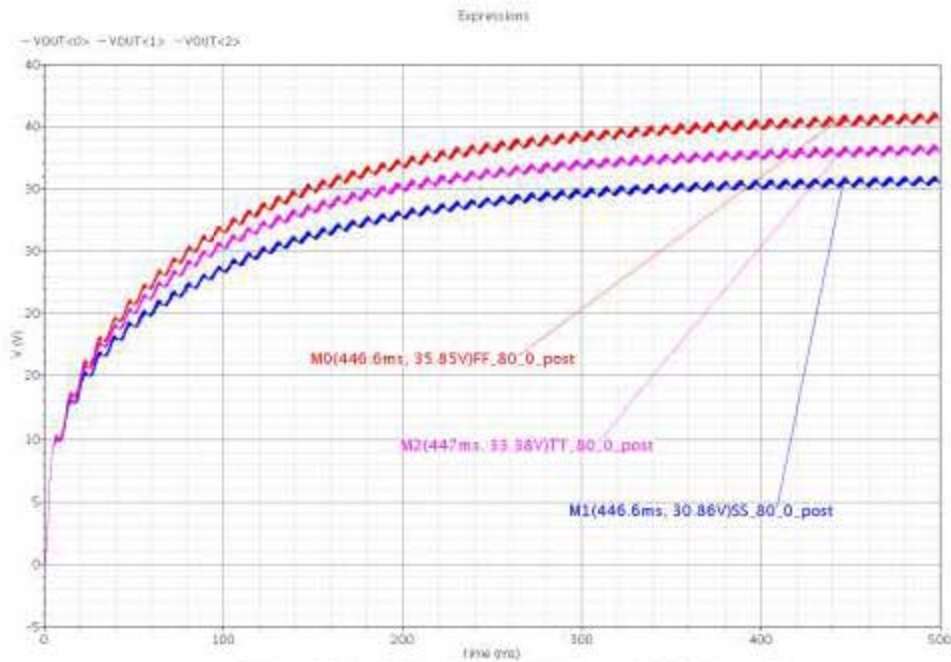


圖 3.6-13 Post-Simulation 80°C下不同製程變異輸出電壓

表 3.6-10 Post-Simulation 80°C下，不同製程變異輸出電壓之

百分誤差量

SS	TT	FF
30.86V(-7.55%)	33.38V	35.85V(7.43%)
未補償最大誤差量-7.55%		

-40°C下，輸出電壓和不同製程變異下輸出差異：

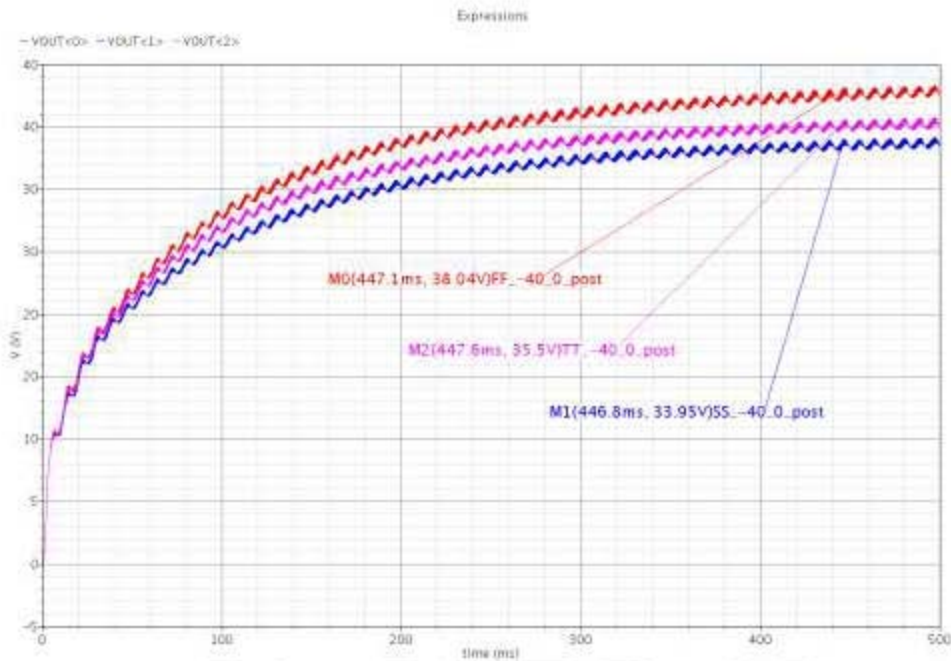


圖 3.6-14 Post-Simulation -40°C下不同製程變異輸出電壓

表 3.6-11 Post-Simulation -40°C下，不同製程變異輸出電壓

之百分誤差量

SS	TT	FF
33.95V(-4.37%)	35.5V	38.04V(7.15%)
未補償最大誤差量 7.15%		

TT 製程變異條件、不同溫度下輸出電壓：

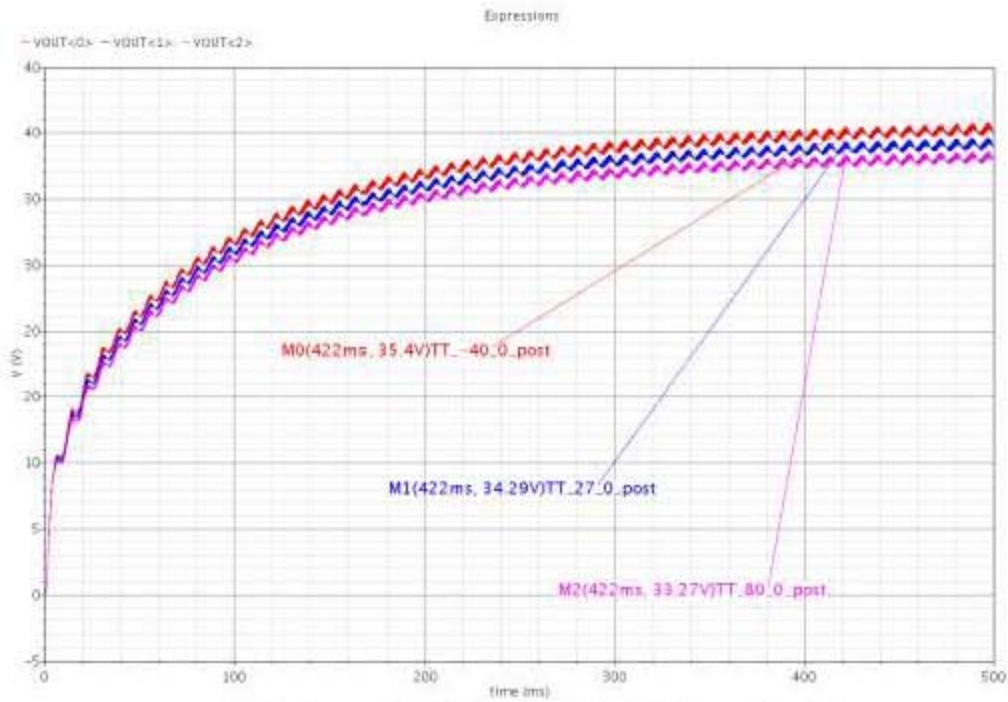


圖 3.6-15 Post-Simulation TT 製程變異下不同溫度輸出電壓

表 3.6-12 Post-Simulation TT 製程變異下，不同溫度條件輸出電壓之百分誤差量

80°C	27°C	-40°C
33.27V(-2.97%)	34.29V	35.4(3.24%)
溫度造成輸出最大誤差量 3.24%		



FF 製程變異條件、不同溫度下輸出電壓：

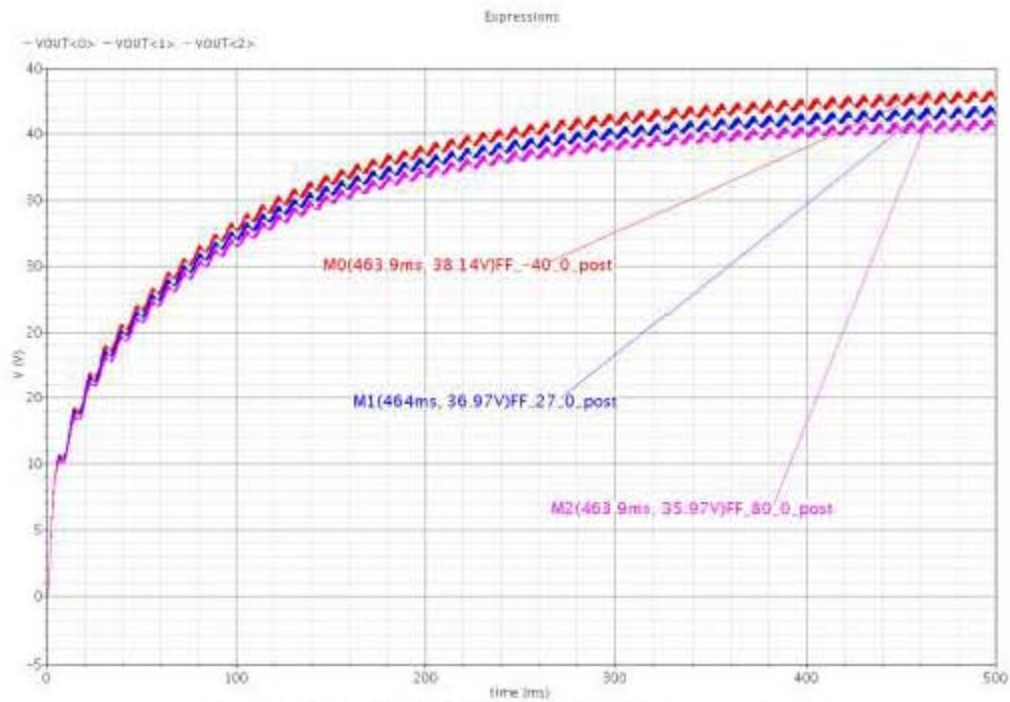


圖 3.6-16 Post-Simulation FF 製程變異下不同溫度輸出電壓

表 3.6-13 Post-Simulation FF 製程變異下，不同溫度條件輸出電壓之百分誤差量

80°C	27°C	-40°C
35.97V(-2.70%)	36.97V	38.14(3.16%)
溫度造成輸出最大誤差量 3.16%		

SS 製程變異條件、不同溫度下輸出電壓：

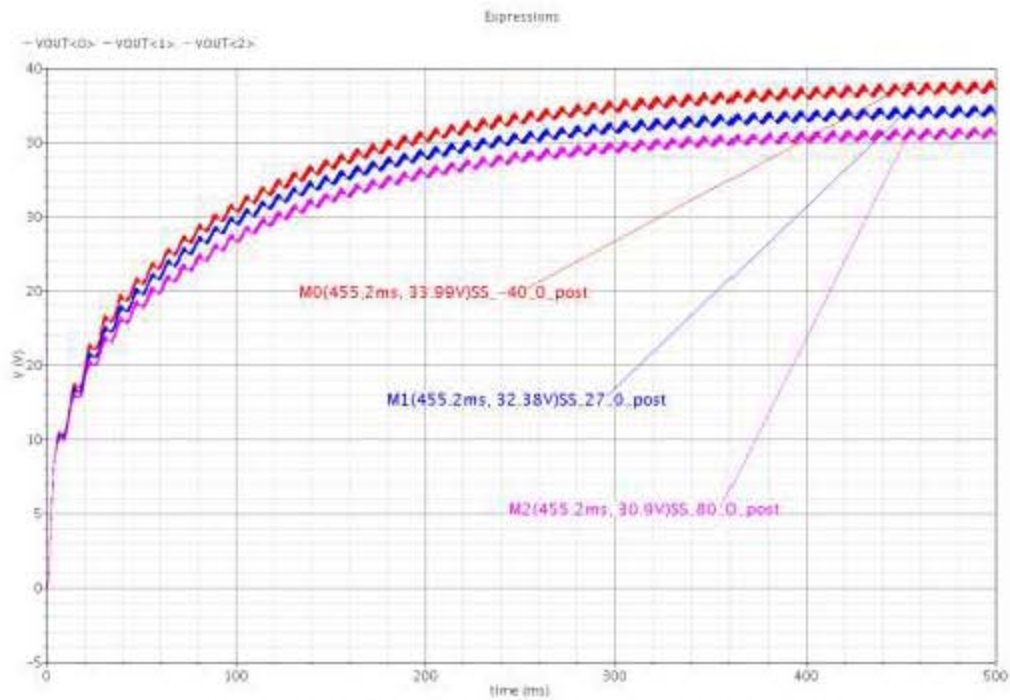


圖 3.6-17 Post-Simulation SS 製程變異下不同溫度輸出電壓

表 3.6-14 Post-Simulation SS 製程變異下，不同溫度條件輸出電壓之百分誤差量

80°C	27°C	-40°C
30.9V(-4.57%)	32.38V	33.99 (4.97%)
溫度造成輸出最大誤差量 4.97%		

無製程補償 27°C TT 製程變異下電壓正負 10%輸出差異：

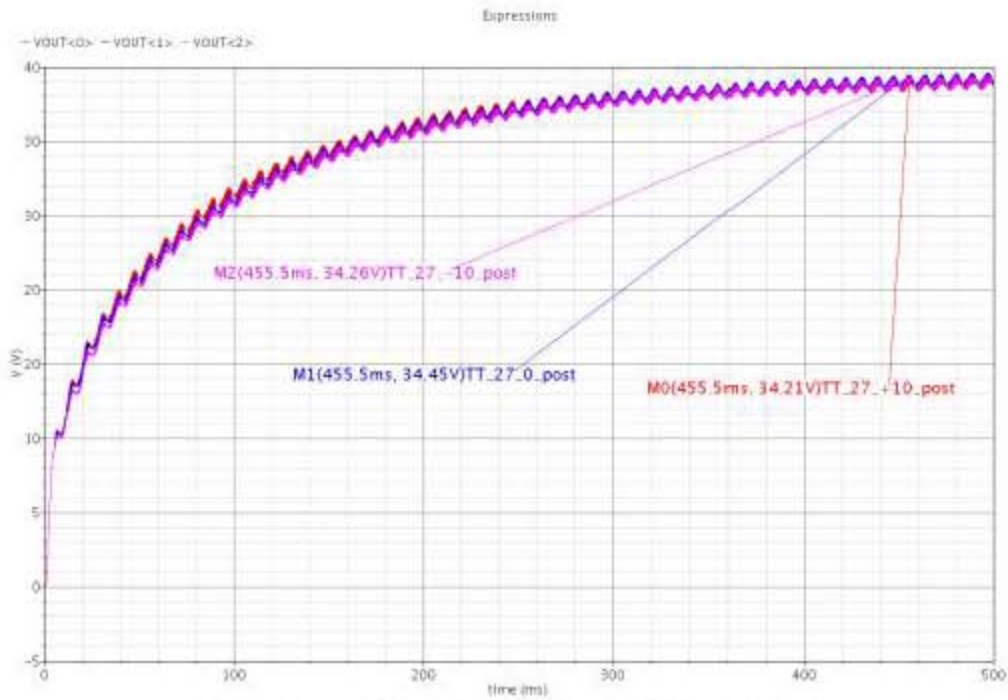


圖 3.6-18 Post-Simulation 無製程補償下電壓變異±10%輸出電壓

表 3.6-15 Post-Simulation 無製程補償下電壓變異±10%輸出電壓誤差

-10%	0%	+10%
34.26V(-0.55%)	34.45V	34.21V(-0.70%)
電壓變異造成輸出最大誤差量-0.70%		

### 3.6.4 Post-Simulation 模擬計算功率因數值

表 3.6-16 Post-Simulation 未製程補償下不同條件之功因值

製程/溫度/電壓 變異	相位差(deg)	總諧波失真(%)	功因值(%)
TT_27_0	-1.93256e-07	2.41213e-07	99.99
TT_80_0	-1.56412e-07	3.95687e-07	99.99
TT_-40_0	-2.75121e-07	2.35789e-07	99.99
TT_27_+10	-1.82351e-07	1.02599e-07	99.99
TT_27_-10	-1.55466e-07	4.2542e-07	99.99
FF_27_0	-4.10294e-07	6.03933e-07	99.99
FF_80_0	-6.65418e-07	1.54671e-07	99.99
FF_-40_0	-1.55787e-07	3.62415e-07	99.99
SS_27_0	-1.22444e-07	3.37567e-07	99.99
SS_80_0	-1.20689e-07	2.21366e-07	99.99
SS_-40_0	-1.72543e-07	5.02485e-07	99.99

在<表 3.6-16>中，列出了各種不同製程變異和溫度變異的傅立葉模擬輸出結果以及透過計算獲得的功率因數值，由上表可以看出功因校正之後功率因數值都達到 99.99%。

# 第4章、製程斜率補償電路

## 4.1 設計動機

從事晶片設計和應用研究會遇到許多的變異問題，例如：製程變異(Process variation)、溫度變異(Temperature variation)和電壓變異(Voltage variation)。這些問題在設計時通常需要考慮進去，當設計出的結果與套用各種不同變異參數差異量過大時，便需要利用電路技巧針對需求來降低變異的影響。

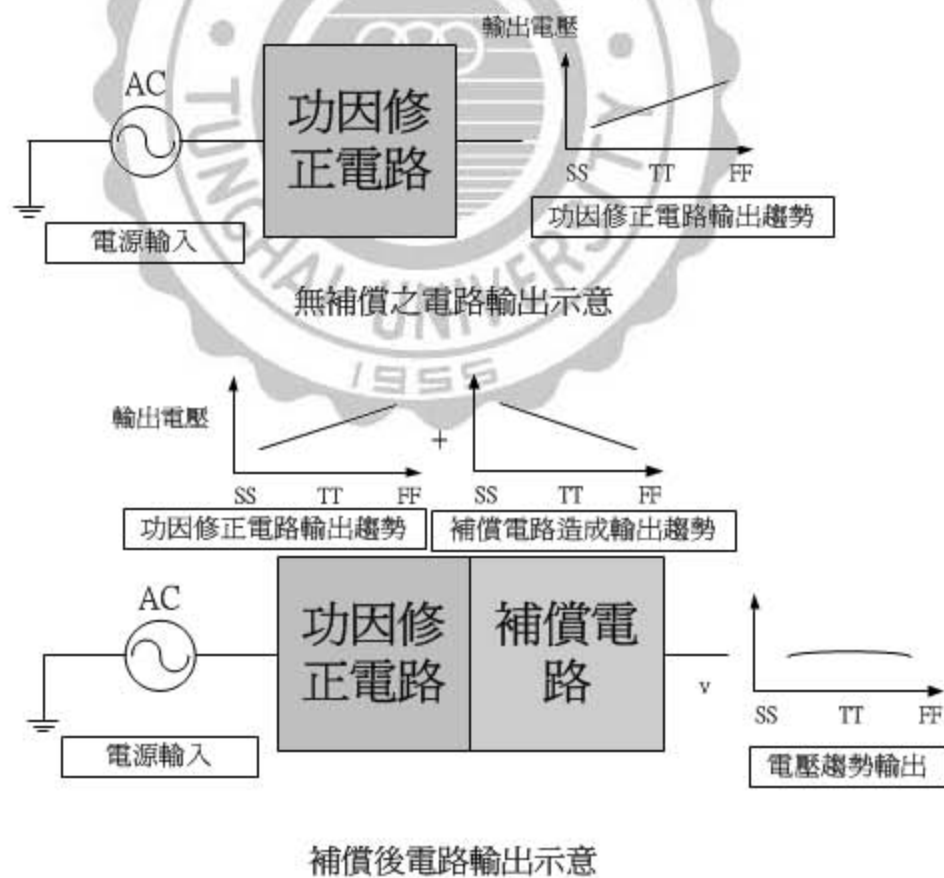


圖 4.1-1 補償電路目的示意圖



## 4.2 設計理念

在邊界導通模式的運作下，可以知道開關元件訊號的產生主要由電流上限和電流下限所共同限制，其電感電流會在上下限中間變化，因此改變電流的上限與下限，即可改變輸出的開關訊號，而改變開關訊號進而影響到電感和負載電容充放電時間與次數，造成輸出電壓的改變，如<圖 4.2-1>所表示。由圖<3.1-2>可知道電流上限落在峰值比較器之峰值位準，而電流下限則落在零電流比較器之零電流位準，設計時只要在這兩個位置放上設計的補償電路，便可達到改變上限與下限之目的。當頻率提高時，升壓電路輸出電壓較高，反之若頻率降低則輸出電壓降低。

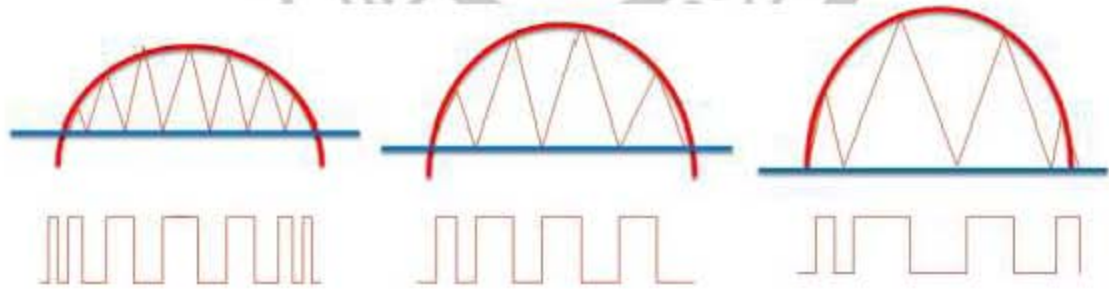


圖 4.2-1 不同電流上下限對控制開關之波形示意

因此設計時需要搭配製程造成之結果來搭配設計，當因為製程變異的緣故電流上限提高時，便需要透過補償電路將其下降，而電流上限下降時提高成原來位準，電流下限的操作亦如同，當電路正常工作時，輸出就會比未補償時變化來的更小更加穩定。

在這邊選擇改變電流下限，補償後訊號經過元件較少，所以失真現象不明顯且設計上較為簡易。

### 4.3 電路架構與公式推導

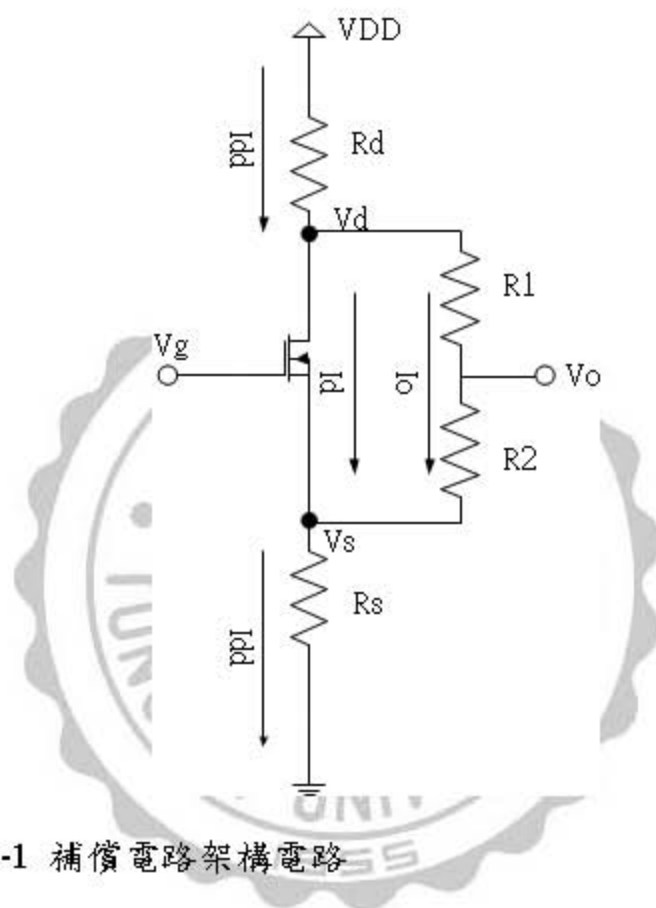


圖 4.3-1 補償電路架構電路

電路架構如<圖 4.3-1>所示，其電晶體操作於飽和區，主要透過控制電晶體輸入電壓改變電晶體電流，造成輸出 $V_o$ 的改變。

由<圖 4.3-1>可知

$$V_o = I_{dd} R_S + I_o R_2, \text{ 又 } I_{dd} = I_d + I_o, \text{ 使得}$$

$$V_O = I_{dd}(R_S + R_2) - I_d R_2 \quad (4.3-1)$$

電晶體操作於飽和區，飽和區電流公式如下

$$I_d = \frac{1}{2}K(V_G - V_S - V_t)^2, \text{ 又 } V_S = I_{dd}R_S, \text{ 使得}$$

$$I_d = \frac{1}{2}K(V_G - I_{dd}R_S - V_t)^2 \quad (4.3-2)$$

將電路架構利用節點電壓可得

$$V_{dd} - I_{dd}R_d - V_{ds} - I_{dd}R_s - V_{ss} = 0 \quad (4.3-3)$$

其中  $V_{ds} = I_o(R_1 + R_2)$  且  $V_{ss} = 0$ ，將式 4.3-3 改寫如下

$$V_{dd} - I_d(R_s + R_d) - I_o(R_1 + R_2 + R_s + R_d) = 0 \quad (4.3-3)$$

可得  $I_o$  對  $I_d$  的關係式

$$I_o = \frac{V_{dd}}{R_1 + R_2 + R_d + R_s} - I_d \frac{R_d + R_s}{R_1 + R_2 + R_d + R_s} \quad (4.3-4)$$

$$\text{令 } \frac{V_{dd}}{R_1 + R_2 + R_d + R_s} = G, \quad \frac{R_d + R_s}{R_1 + R_2 + R_d + R_s} = P, \text{ 並帶}$$

入式 4.3-4 中得到

$$I_o = G - I_d P \quad (4.3-5)$$



將式 4.3-1 和 4.3-5 代換可得  $V_o$  對  $I_d$  的關係式：

$$\begin{aligned}
 V_o &= I_{dd}(R_s + R_2) - I_d R_2 \\
 &= (I_o + I_d)(R_s + R_2) - I_d R_2 \\
 &= I_o(R_s + R_2) + I_d R_s \\
 &= (G + I_d P)(R_s + R_2) + I_d R_s \\
 &= G(R_s + R_2) + I_d [P(R_s + R_2) + R_s] \quad (4.3-6)
 \end{aligned}$$

將電晶體電流公式 4.3-2 利用  $I_{dd} = I_d + I_o$  和式 4.3-5 代換  
改寫可得

$$\begin{aligned}
 I_d &= \frac{1}{2} K (V_g - [G + (P+1)I_d]R_s - V_t)^2 \\
 &= \frac{1}{2} K ((V_g - GR_s - V_t) - (P+1)I_d R_s)^2 \quad (4.3-7)
 \end{aligned}$$

將式 4.3-7 同乘  $\frac{2}{K}$ ，

$$\frac{2}{K} I_d = (V_g - [G + (P+1)I_d]R_s - V_t)^2 \quad (4.3-8)$$

展開式 4.3-8 可得

$$(P+1)^2 R_s^2 I_d^2 - 2 \left[ (V_g - \frac{V_{dd} R_s}{R_1 + R_2 + R_s + R_d} - V_t) (\frac{-R_d R_s}{R_1 + R_2 + R_s + R_d} + 1) \right] R_s I_d$$

$$-\frac{2}{K}I_d + (V_g - GR_s - V_t)^2 = 0 \quad (4.3-9)$$

將式 4.3-9 改開成標準二次多項式  $AI_d^2 + BI_d + C = 0$

$I_d$  可透過標準解寫出下式

$$I_d = -\frac{B}{2A} \pm \frac{\sqrt{B^2 - 4AC}}{2A} \quad (4.3-10)$$

其中

$$A = (P + 1)^2 R_s^2 = \left( \frac{-R_d R_s}{R_1 + R_2 + R_s + R_d} + 1 \right)^2 R_s^2$$

$$B = -2 \left\{ \left( V_g - \frac{V_{dd} R_s}{R_1 + R_2 + R_d + R_s} - V_t \right) \left( \frac{-R_s R_d}{R_1 + R_2 + R_s + R_d} + 1 \right) \right\} R_s - \frac{2}{K}$$

$$C = (V_g - GR_s - V_t)^2$$

將設計值  $V_{dd} = 5V$ ,  $V_{ss} = 0V$ ,  $R_1 = 900\Omega$ ,  $R_2 = 790\Omega$ ,

$R_s = 220\Omega$ ,  $R_d = 10\Omega$ ,  $V_g = 1.25V$  代入式 4.3-10 可得

$$I_d = 2.06e-7mA \text{ (合理)} \quad \text{or} \quad I_d = 9.29e-3mA \text{ (電流過}$$

大不合理), 故選擇  $I_d = -\frac{B}{2A} - \frac{\sqrt{B^2 - 4AC}}{2A}$ , 並代入  $V_o$  關係式

可得:

$$\begin{aligned}
V_o = & \frac{V_{dd}}{R_1 + R_2 + R_s + R_d} (R_1 + R_2) - \\
& \left\{ \frac{\left( V_g - \frac{V_{dd} R_s}{R_1 + R_2 + R_s + R_d} - V_t \right)^2}{\left( \frac{-R_d R_s}{R_1 + R_2 + R_s + R_d} + 1 \right)^2 R_s^2} - \right. \\
& \left. \left[ \frac{\left( V_g - \frac{V_{dd} R_s}{R_1 + R_2 + R_s + R_d} - V_t \right) \left( \frac{-R_s R_d}{R_1 + R_2 + R_s + R_d} + 1 \right) R_s - \frac{1}{K}}{\frac{V_{dd}}{R_1 + R_2 + R_s + R_d}} \right]^2 \right\}^{\frac{1}{2}} \\
& \times \left[ R_s + \frac{-R_d R_s}{R_1 + R_2 + R_s + R_d} \right] (R_1 + R_2) \quad (4.3-11)
\end{aligned}$$

從式 4.3-11 即可代入不同設計值得到補償輸出結果，而補償輸出結果可以轉換成升壓電路輸出電壓結果。

針對補償電路輸出  $V_o$  改變會造成升壓電路電壓  $V_{out}$  輸出結果改變，建立不同補償電路元件參數對應到不同製程變異 (Process Corners) 條件之輸出對照表，並找出電壓輸出  $V_{out}$  百分誤差最小值之補償電路參數值，即可套入電路元件中。

## 第5章、具補償升壓電路模擬分析

### 5.1 電路設計概念

在本章節中主要使用的架構跟第三章沒有太大的差異，最大的差別就是在零電流比較器的輸入端增加了一個補償電路，並具切換開關可選擇是否需要補償電路，如<圖 5.1-1>所示，原本在零電流比較器之參考電壓端使用定電壓源作為參考電位，而在這邊則是創造一個帶有輸出電壓關係的電路，將誤差放大器輸出端送入補償電路中產生足夠的補償量，並將設定為比較器之參考位準，如此一來其電感電流 $i_L$ 變化區間便會受到影響，使得開關元件 $M_1$ 的控制訊號改變，進而改變輸出的電壓，<圖 5.1-2>為晶片與周邊元件圖，<圖 5.1-3>為晶片內部電路圖。

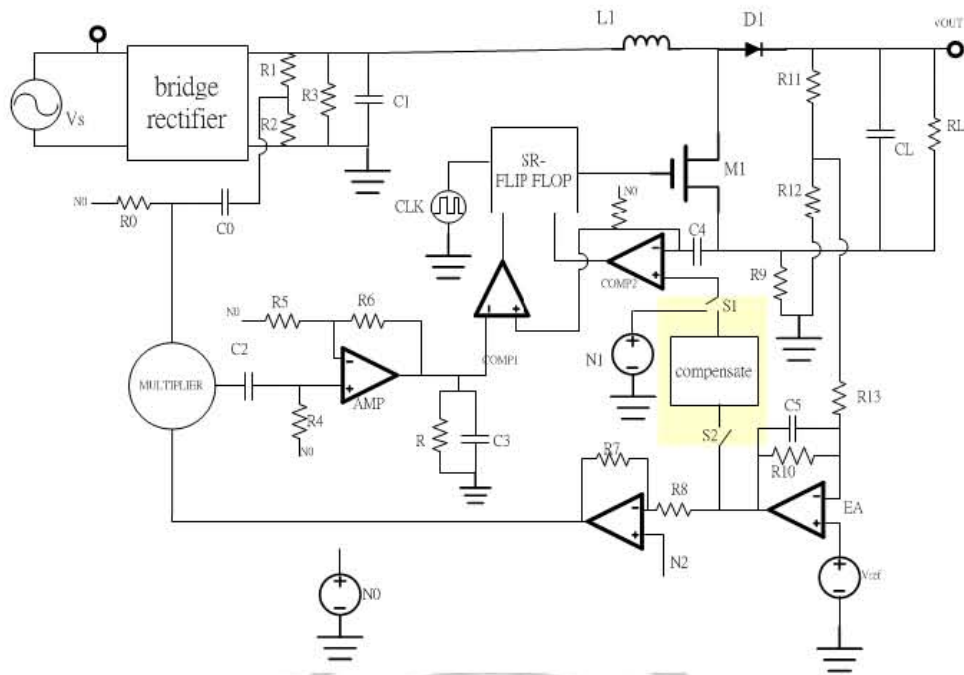


圖 5.1-1 具補償電路之升壓電路總體架構圖

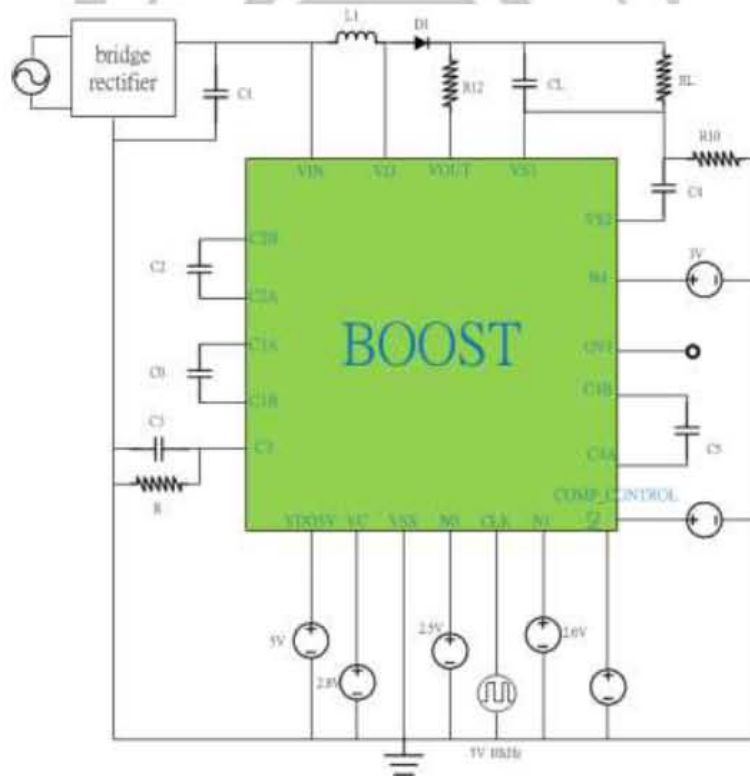


圖 5.1-2 具補償電路晶片部份與外接元件

<圖 5.1-2>中的外接元件可參考表 3.1-1。

## 5.2 SPECTRE 電路驗證模擬

### 5.2.1 Pre-Simulation

27°C下，具補償之不同製程變異下輸出差異：

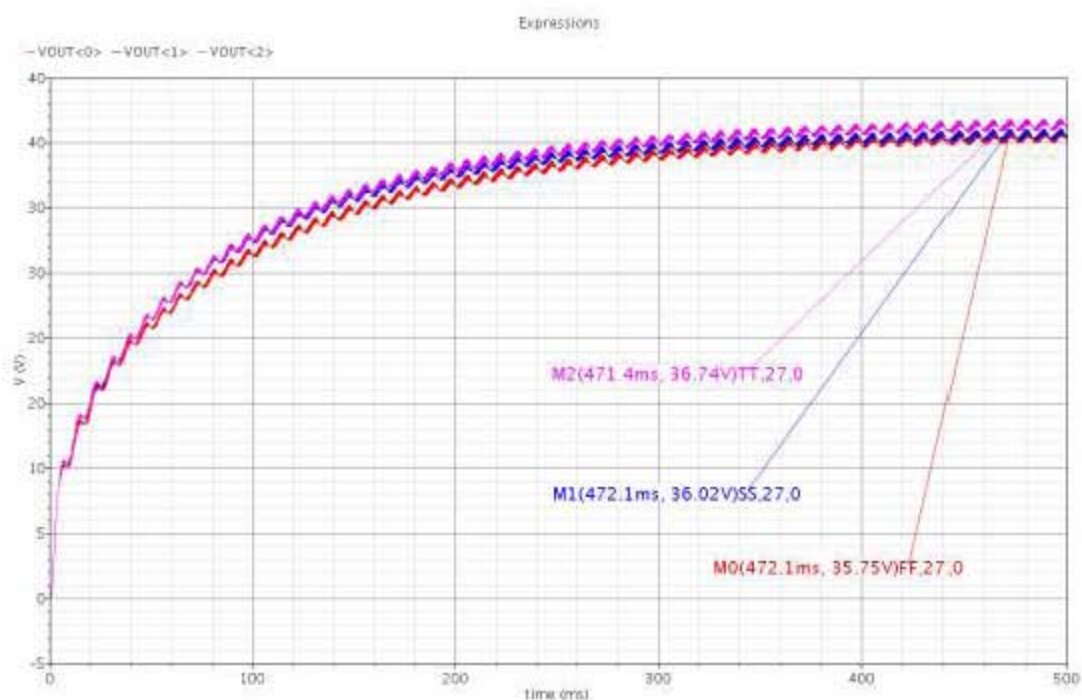


圖 5.2-1 常溫下具補償之不同製程變異輸出電壓

表 5.2-1 常溫下，具補償不同製程變異輸出電壓之誤差

SS	TT	FF
36.02V(-1.96%)	36.74V	35.75V(-2.69%)
補償後輸出最大誤差量-2.69%		

80°C下，輸出電壓和不同製程變異下輸出差異：

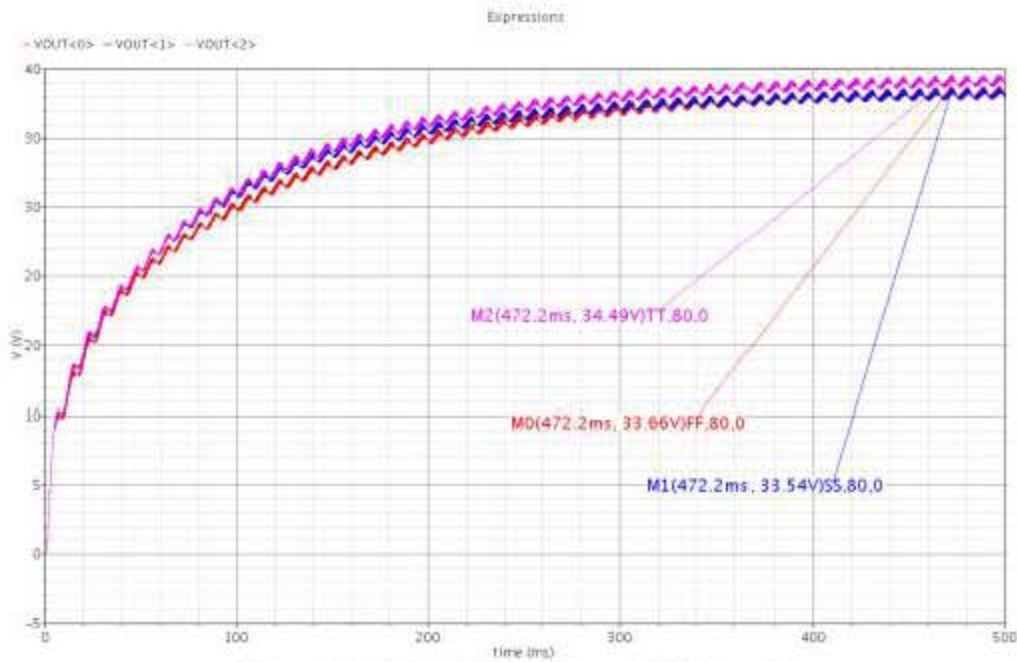


圖 5.2-2 80°C下不同製程變異輸出電壓

表 5.2-2 80°C下，不同製程變異輸出電壓之百分誤差量

SS	TT	FF
33.54V(-2.75%)	34.49V	33.66V(-2.41%)
補償後輸出最大誤差量-2.75%		

-40°C下，輸出電壓和不同製程變異下輸出差異：

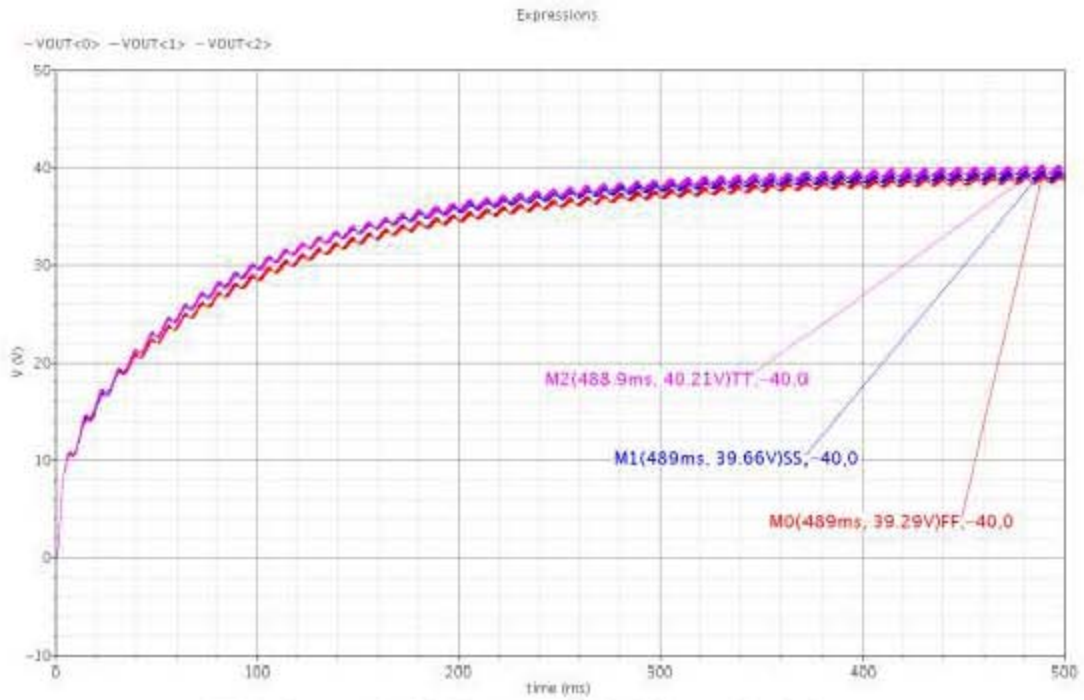


圖 5.2-3 -40°C下不同製程變異輸出電壓

表 5.2-3 -40°C下，不同製程變異輸出電壓之百分誤差量

SS	TT	FF
39.66V(-1.37%)	40.21V	39.29(-2.29%)
補償後輸出最大誤差量-2.29%		



TT 製程變異條件、不同溫度下輸出電壓：

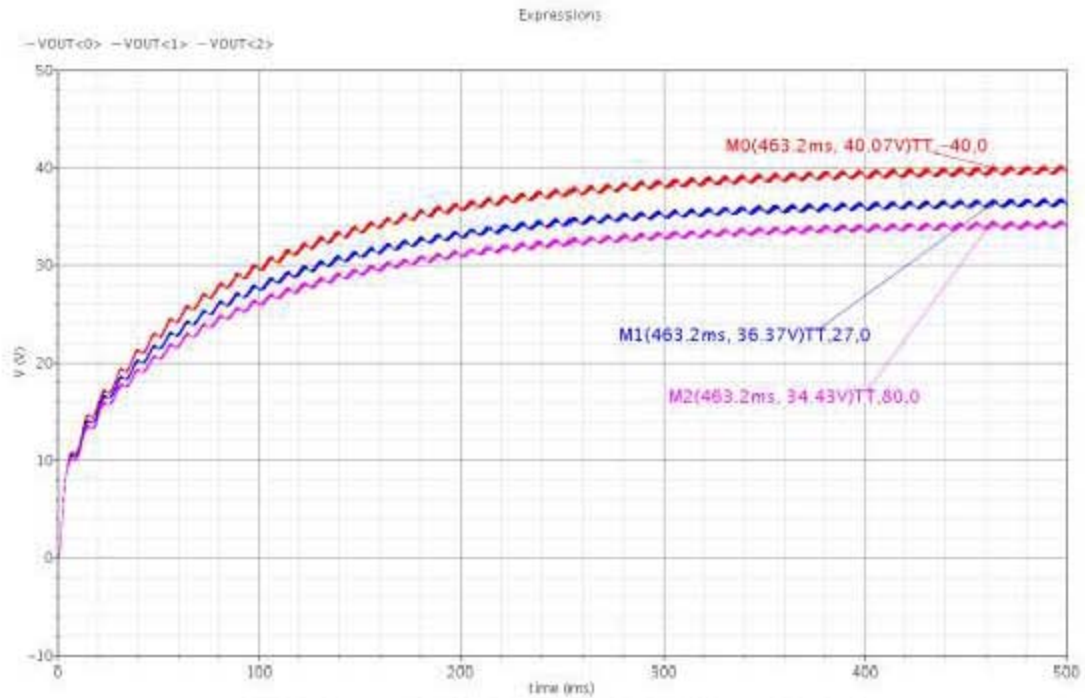


圖 5.2-4 TT 製程變異下不同溫度輸出電壓

表 5.2-4 TT 製程變異下，不同溫度條件輸出電壓之誤差量

80°C	27°C	-40°C
34.43V(-5.33%)	36.37V	40.07(10.17%)
溫度造成輸出最大誤差量 10.17%		

FF 製程變異條件、不同溫度下輸出電壓：

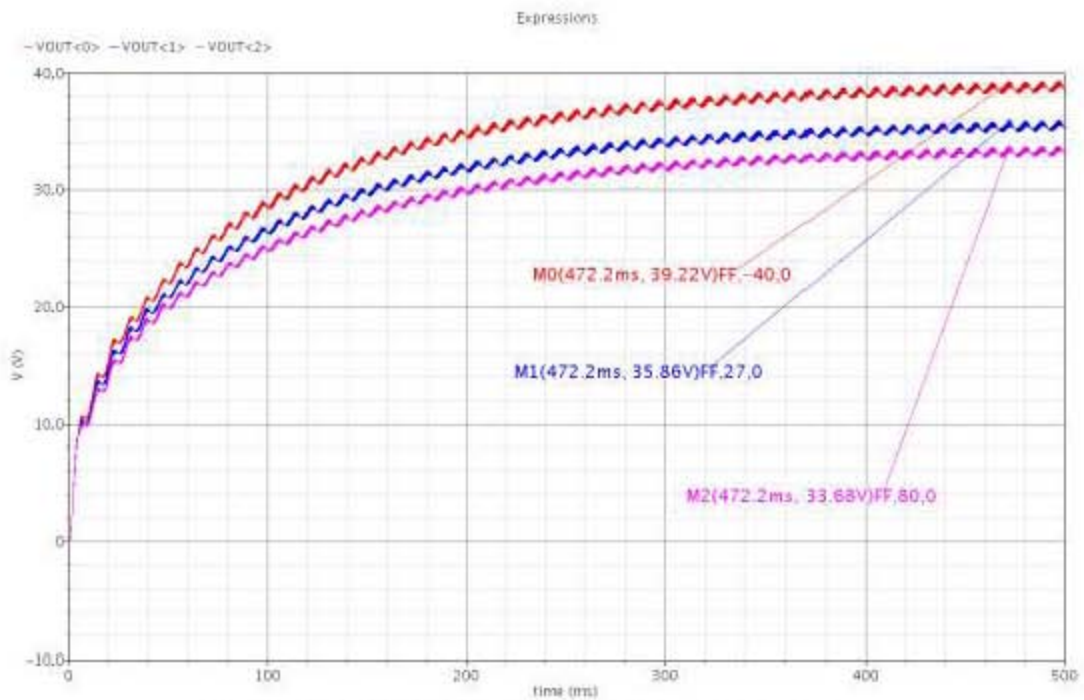


圖 5.2-5 FF 製程變異下不同溫度輸出電壓

表 5.2-5 FF 製程變異下，不同溫度條件輸出電壓之誤差量

80°C	27°C	-40°C
33.68V(-6.08%)	35.86V	39.22(9.37%)
溫度造成輸出最大誤差量 9.37%		

SS 製程變異條件、不同溫度下輸出電壓：

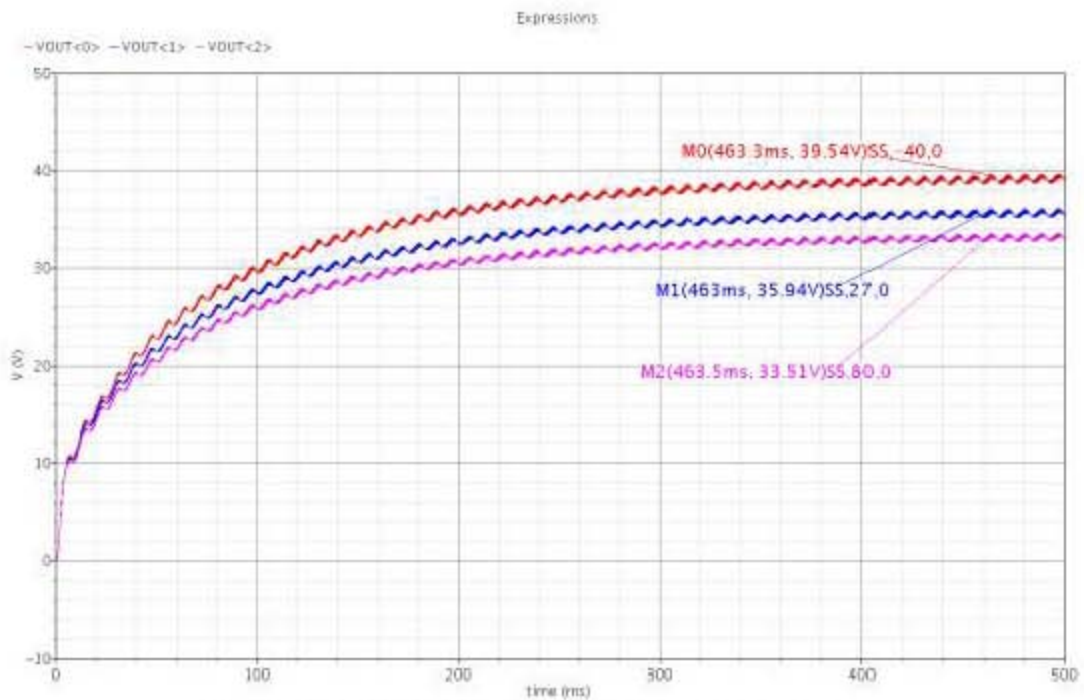


圖 5.2-6 SS 製程變異下不同溫度輸出電壓

表 5.2-6 SS 製程變異下，不同溫度條件輸出電壓之誤差量

80°C	27°C	-40°C
33.51V(-6.76%)	35.94V	39.54(10.02%)
溫度造成輸出最大誤差量 10.02%		

製程補償後 27°C TT 製程變異下電壓正負 10% 輸出差異：

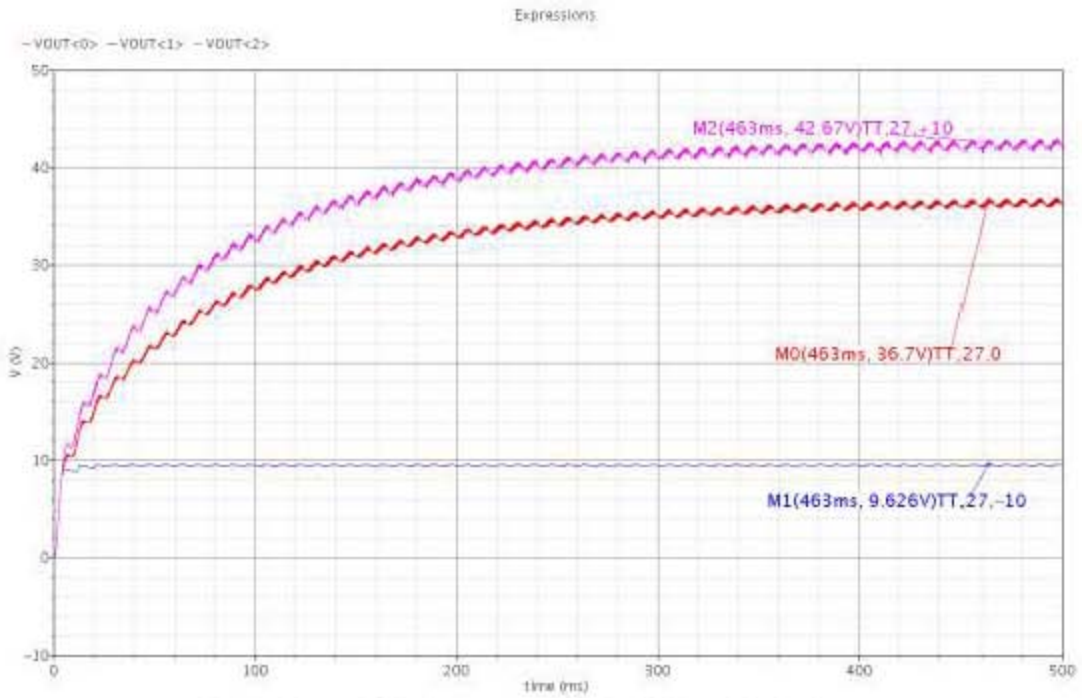


圖 5.2-7 製程補償下輸入電壓變異±10%輸出電壓

表 5.2-7 製程補償下輸入電壓變異±10%輸出電壓之誤差量

-10%	0%	+10%
9.626V(-73.77%)	36.7V	39.54(7.74%)
電壓變異造成輸出最大誤差量-73.77%		

### 5.2.2 Pre-Simulation 模擬計算功率因數值

具有補償之電路傅立葉模擬輸出使用方法如前面章節相同

表 5.2-8 有製程補償下不同條件之功因值

製程/溫度/電壓 變異	相位差(deg)	總谐波失真(%)	功因值(%)
TT_27_0	-1.6593e-07	3.32464e-07	99.99
TT_80_0	-1.50742e-07	2.9721e-07	99.99
TT_-40_0	-1.79766e-07	3.78312e-07	99.99
TT_27_+10	-3.59223e-07	6.25758e-07	99.99
TT_27_-10	-3.68079e-07	2.74589e-07	99.99
FF_27_0	-1.8214e-07	4.04206e-07	99.99
FF_80_0	-1.09486e-07	8.28854e-07	99.99
FF_-40_0	-1.47427e-07	3.68787e-07	99.99
SS_27_0	-2.18907e-07	4.34339e-07	99.99
SS_80_0	-1.60025e-07	2.93049e-07	99.99
SS_-40_0	-3.04074e-07	6.50287e-07	99.99

在<表 5.2-8>中，列出了各種不同製程變異和溫度變異的傅立葉模擬輸出結果以及透過計算獲得的功率因數值，由上表可以看出功因校正之後功率因數值都達到 99.99%。



### 5.2.3 Post-Simulation

27°C下，具補償之不同製程變異下輸出差異：

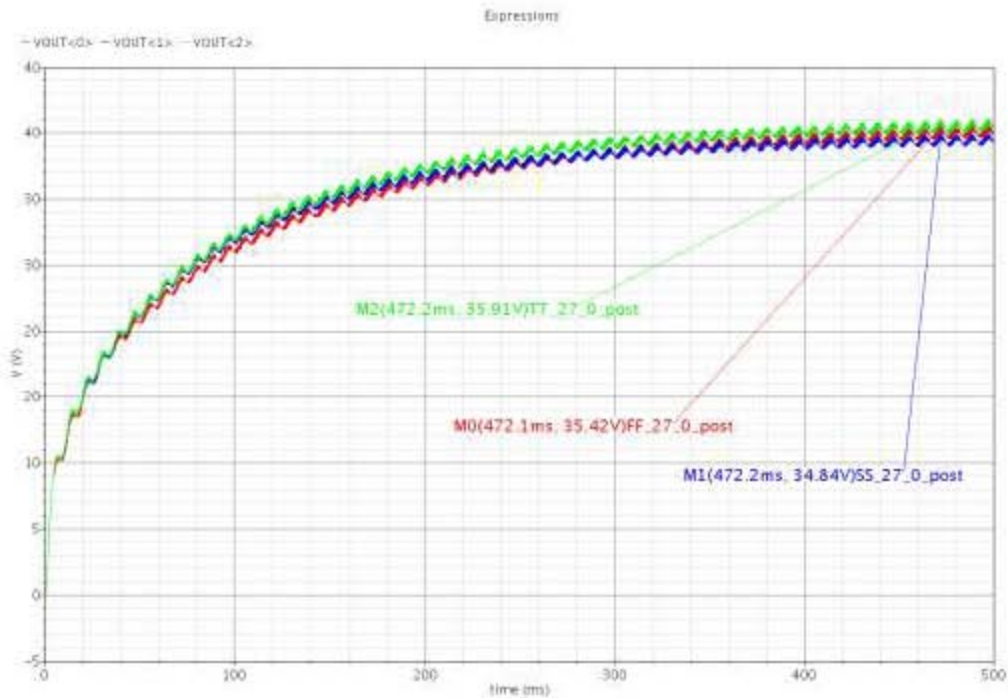


圖 5.2-8 Post-Simulation 常溫下具補償之不同製程變異輸出電壓

表 5.2-9 Post-Simulation 常溫下，具補償不同製程變異輸出電壓之誤差

SS	TT	FF
34.84V(-2.98%)	35.91V	35.42V(-1.36%)
補償後輸出最大誤差量-2.98%		

80°C下，輸出電壓和不同製程變異下輸出差異：

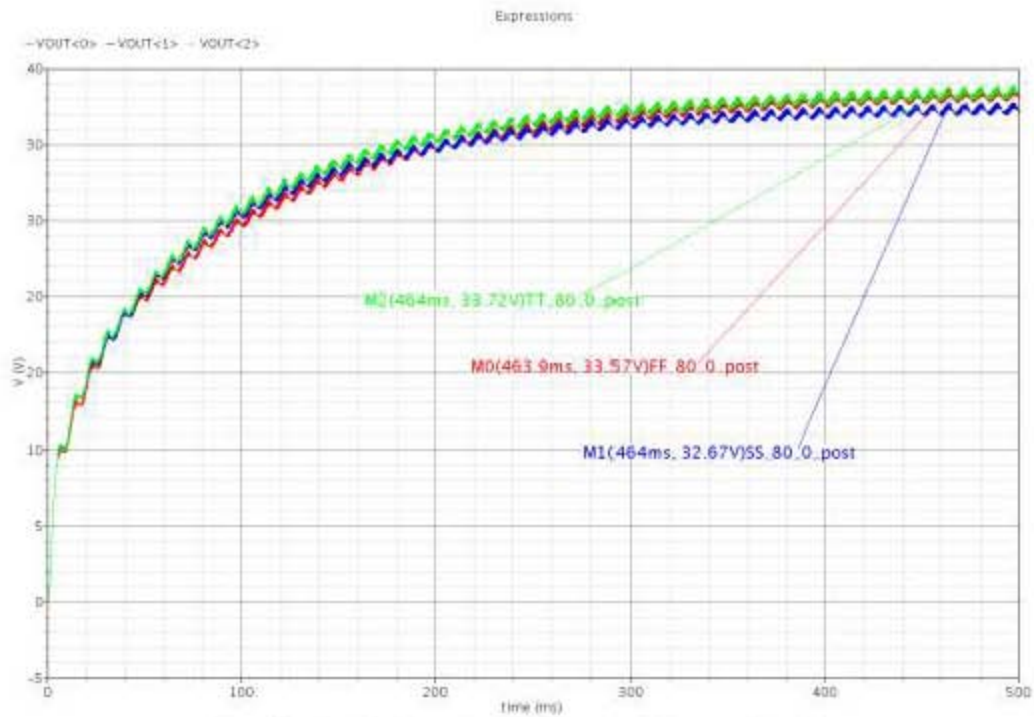


圖 5.2-9 Post-Simulation 80°C下不同製程變異輸出電壓

表 5.2-10 Post-Simulation 80°C下，不同製程變異輸出電壓之

百分誤差量

SS	TT	FF
32.67V(-3.11%)	33.72V	33.57V(-0.44%)
補償後輸出最大誤差量-3.11%		

-40°C下，輸出電壓和不同製程變異下輸出差異：

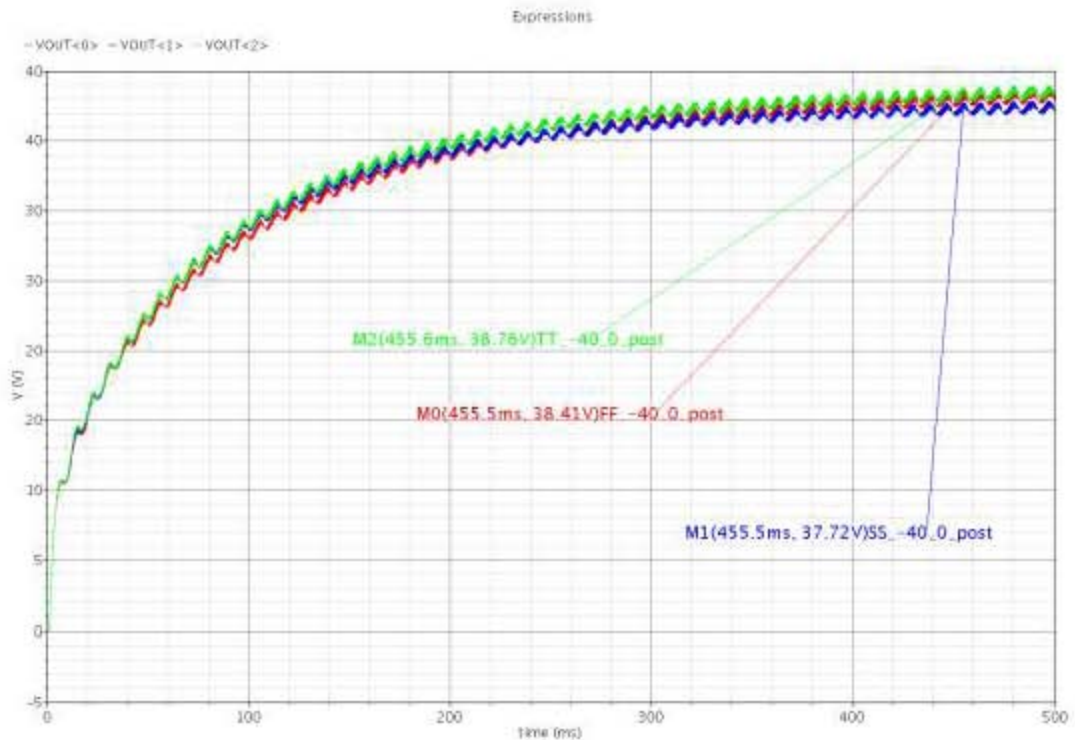


圖 5.2-10 Post-Simulation -40°C下不同製程變異輸出電壓

表 5.2-11 Post-Simulation -40°C下，不同製程變異輸出電壓

之百分誤差量

SS	TT	FF
37.72V(-2.68%)	38.76V	38.41(-0.90%)
補償後輸出最大誤差量-2.68%		



TT 製程變異條件、不同溫度下輸出電壓：

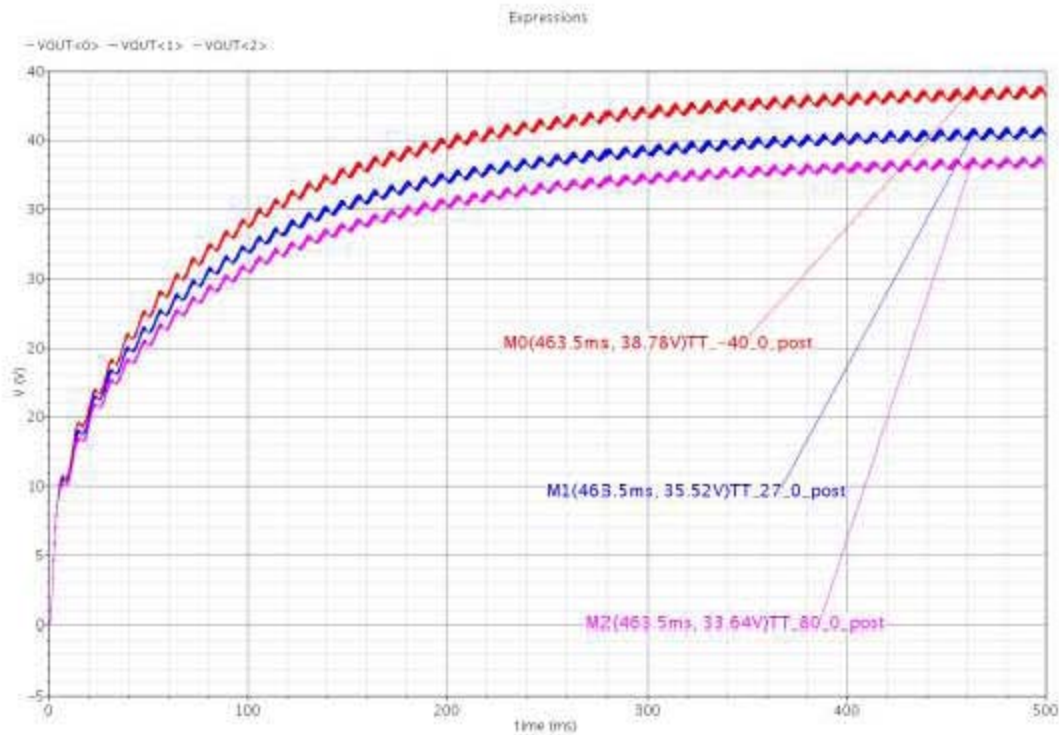


圖 5.2-11 Post-Simulation TT 製程變異下不同溫度輸出電壓

表 5.2-12 Post-Simulation TT 製程變異下，不同溫度條件輸

出電壓之誤差量

80°C	27°C	-40°C
33.64V(-5.29%)	35.52V	38.78(9.18%)
溫度造成輸出最大誤差量 9.18%		

FF 製程變異條件、不同溫度下輸出電壓：

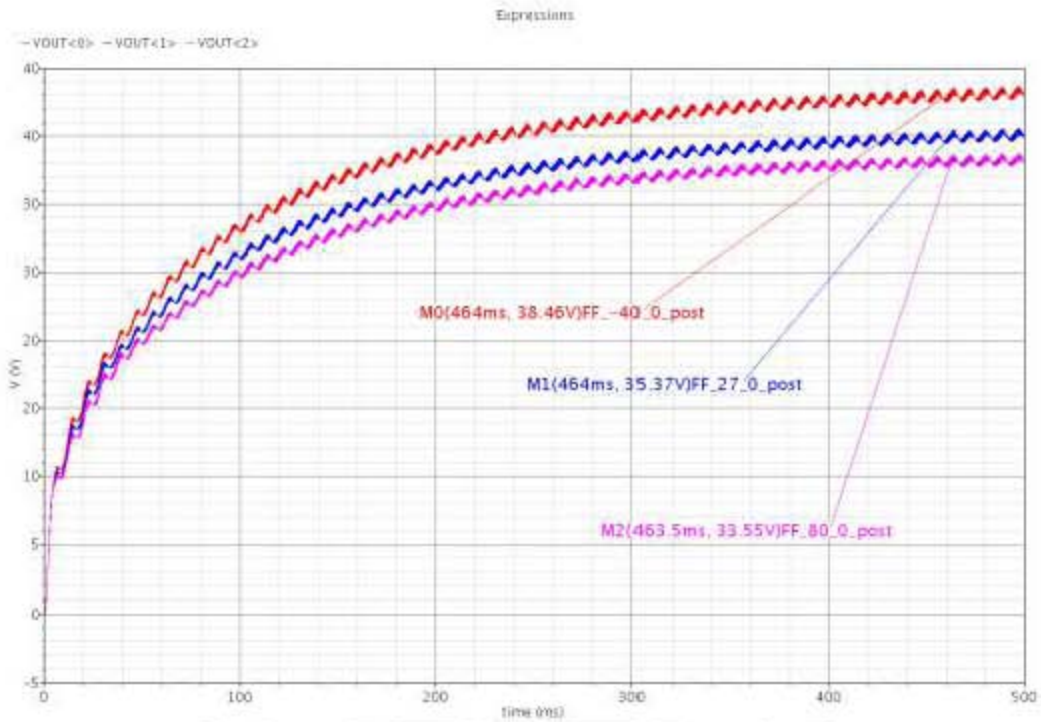


圖 5.2-12 Post-Simulation FF 製程變異下不同溫度輸出電壓

表 5.2-13 Post-Simulation FF 製程變異下，不同溫度條件輸

出電壓之誤差量

80°C	27°C	-40°C
33.55V(-5.14%)	35.37V	38.46(8.74%)
溫度造成輸出最大誤差量 8.74%		

SS 製程變異條件、不同溫度下輸出電壓：

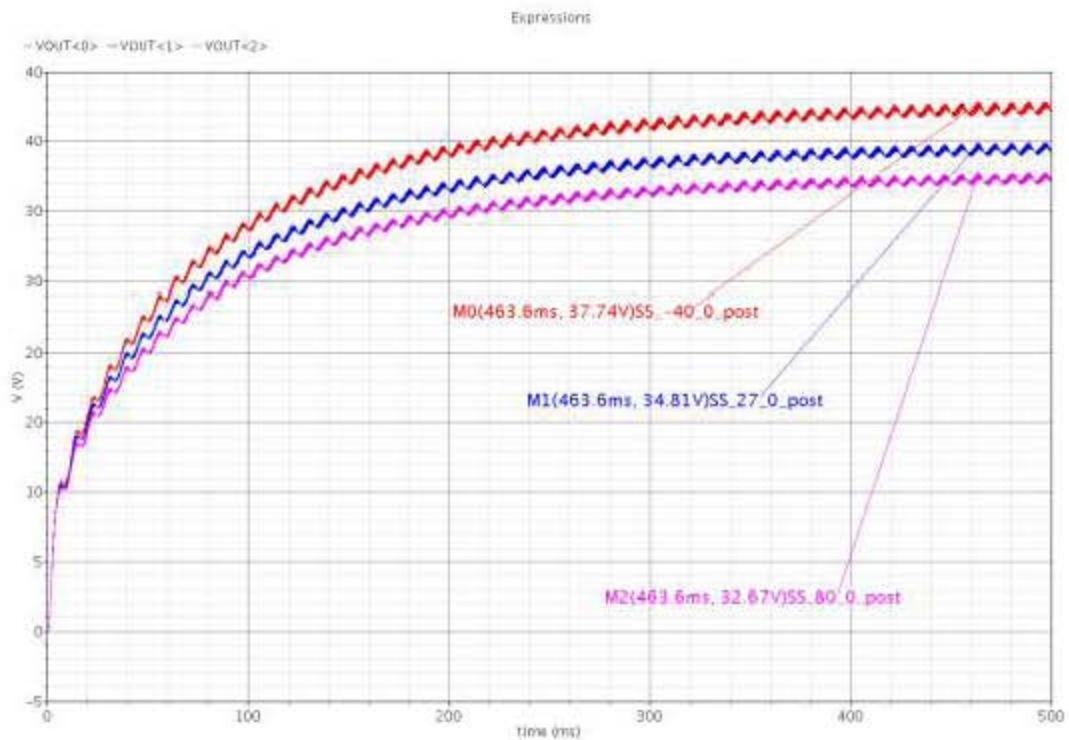


圖 5.2-13 Post-Simulation SS 製程變異下不同溫度輸出電壓

表 5.2-14 Post-Simulation SS 製程變異下，不同溫度條件輸

出電壓之誤差量

80°C	27°C	-40°C
32.67V(-6.15%)	34.81V	37.74(8.42%)
溫度造成輸出最大誤差量 8.42%		

製程補償後 27°C TT 製程變異下電壓正負 10% 輸出差異：

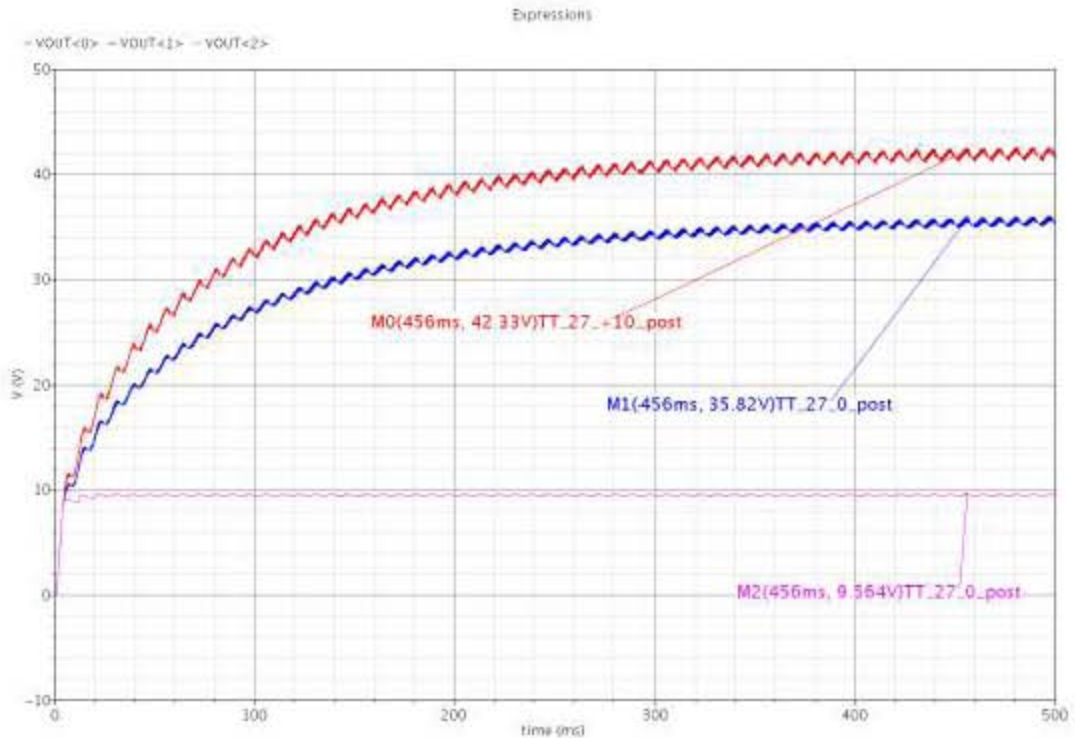


圖 5.2-14 Post-Simulation 製程補償下輸入電壓變異±10%輸出電壓

表 5.2-15 Post-Simulation 製程補償下輸入電壓變異±10%輸出電壓之誤差量

-10%	0%	+10%
9.564V(-73.30%)	35.82V	42.33(18.17%)
電壓變異造成輸出最大誤差量-73.30%		

#### 5.2.4 Post-Simulation 模擬計算功率因數值

表 5.2-16 Post-Simulation 有製程補償下不同條件之功因值

製程/溫度/電壓 變異	相位差(deg)	總諧波失真(%)	功因值(%)
TT_27_0	-2.42569e-07	4.51268e-07	99.99
TT_80_0	-1.64287e-07	2.12520e-07	99.99
TT_-40_0	-1.29841e-07	5.67593e-07	99.99
TT_27_+10	-4.5592e-07	6.12575e-07	99.99
TT_27_-10	-3.6711e-07	3.75148e-07	99.99
FF_27_0	-1.2148e-07	5.07643e-07	99.99
FF_80_0	-1.21446e-07	9.22451e-07	99.99
FF_-40_0	-5.46823e-07	3.48797e-07	99.99
SS_27_0	-4.12405e-07	2.58462e-07	99.99
SS_80_0	-6.8416e-07	2.13047e-07	99.99
SS_-40_0	-3.04011e-07	7.00245e-07	99.99

在<表 5.2-16>中，列出了各種不同製程變異和溫度變異的傅立葉模擬輸出結果以及透過計算獲得的功率因數值，由上表可以看出功因校正之後功率因數值都達到 99.99%。



## 5.3 SPECTRE 電路驗證模擬結果比較

### 5.3.1 固定溫度下 Pre-Simulation 結果

Pre-Simulation 模擬固定溫度下，補償電路對製程變異修正的結果：

表 5.3-1 固定溫度下補償電路對製程變異造成變化量

27°C 下製程補償之輸出電壓差異比較			
	SS	TT	FF
無補償	33.36(-6.55%)	35.7	37.65(5.18%)
有補償	36.02(-1.96%)	36.74	35.75(-2.69%)
補償後最大誤差量-6.55%降至-2.69%，改善了3.86%			
80°C 下製程補償之輸出電壓差異比較			
	SS	TT	FF
無補償	31.93(-7.88%)	34.66	36.45(5.16%)
有補償	33.54(-2.75%)	34.49	33.66(-2.41%)
補償後最大誤差量-7.88%降至-2.75%，改善了5.13%			
-40°C 下製程補償之輸出電壓差異比較			
	SS	TT	FF
無補償	35.08(-5.98%)	37.31	39.17(4.99%)
有補償	39.66(-1.37%)	40.21	39.29(-2.29%)
補償後最大誤差量-5.98%降至-2.29%，改善了3.69%			

由<表 5.4-1>可以看出設計的製程補償電路對輸出電壓有改善，在 27°C 下可以改善 3.86% 的輸出差量，在 80°C 和 -40°C 也分

別可以改善達 5.13% 和 3.69%，可以看出補償電路確實有發揮其效果，可使得升壓電路之輸出電壓更加穩定。

### 5.3.2 同製程變異下 Pre-Simulation 結果

Pre-Simulation 結果模擬固定製程變異下，補償電路對溫度變異造成之結果：

表 5.3-2 同製程變異下不同溫度下變壓輸出變化量

TT 製程變異下不同溫度時，輸出電壓差異比較			
	80	27	-40
無補償	34.13(-3.31%)	35.3	37.23(5.47%)
有補償	34.43(-5.33%)	36.37	40.07(10.17%)
補償後最大誤差量 5.47% 提昇至 10.17%，提高了 4.7%			
FF 製程變異下不同溫度時，輸出電壓差異比較			
	80	27	-40
無補償	36.37(-3.24%)	37.59	39.05 (3.88%)
有補償	33.68(-6.08%)	35.86	39.22(9.37%)
補償後最大誤差量 3.88% 提昇至 9.37%，提高了 5.49%			
SS 製程變異下不同溫度時，輸出電壓差異比較			
	80	27	-40
無補償	31.97(-4.19%)	33.37	34.98 (4.82%)
有補償	33.51(-6.76%)	35.94	39.54(10.02%)
補償後最大誤差量 4.82% 提昇至 10.02%，提高了 5.2%			

由<表 5.4-2>發現本製程補償對溫度變異影響大，反而使得電路對溫度更加敏感。

### 5.3.3 固定溫度下 Post-Simulation 結果

Post-Simulation 模擬固定溫度下，補償電路對製程變異修正的結果：

表 5.3-3 固定溫度下補償電路對製程變異造成變化量

27°C下製程補償之輸出電壓差異比較			
	SS	TT	FF
無補償	32.39V(-5.95%)	34.44V	36.89V(7.11%)
有補償	34.84V(-2.98%)	35.91V	35.42V(-1.36%)
補償後最大誤差量 7.11%降至 2.98%，改善了 4.13%			
80°C下製程補償之輸出電壓差異比較			
	SS	TT	FF
無補償	30.86V(-7.55%)	33.38V	35.85V(7.43%)
有補償	32.67V(-3.11%)	33.72V	33.57V(-0.44%)
補償後最大誤差量 7.55%降至 3.11%，改善了 4.44%			
-40°C下製程補償之輸出電壓差異比較			
	SS	TT	FF
無補償	33.95V(-4.37%)	35.5V	38.04V(7.15%)
有補償	37.72V(-2.68%)	38.76V	38.41(-0.90%)
補償後最大誤差量 7.15%降至 2.68%，改善了 4.47%			

由<表 5.4-1>可以看出設計的製程補償電路對輸出電壓有改善，在 27°C下可以改善 4.13%的輸出差量，在 80°C和-40°C也分



別可以改善達 4.44%和 4.47%，可以看出在將佈局寄生效應帶回原有電路時補償電路仍然有發揮其效果，可使得升壓電路之輸出電壓更加穩定。

#### 5.3.4 同製程變異下 Post-Simulation 結果

Post-Simulation 結果模擬固定製程變異下，補償電路對溫度變異造成之結果：

表 5.3-4 同製程變異下不同溫度下變壓輸出變化量

TT 製程變異下不同溫度時，輸出電壓差異比較			
	80	27	-40
無補償	33.27V(-2.97%)	34.29V	35.4(3.24%)
有補償	33.64V(-5.29%)	35.52V	38.78(9.18%)
補償後最大誤差量 3.24%提昇至 9.18%，提高了 5.94%			
FF 製程變異下不同溫度時，輸出電壓差異比較			
	80	27	-40
無補償	35.97V(-2.70%)	36.97V	38.14 (3.16%)
有補償	33.55V(-5.14%)	35.37V	38.46(8.74%)
補償後最大誤差量 3.16%提昇至 8.74%，提高了 5.58%			
SS 製程變異下不同溫度時，輸出電壓差異比較			
	80	27	-40
無補償	30.9V(-4.57%)	32.38V	33.99 (4.97%)
有補償	32.67V(-6.15%)	34.81V	37.74(8.42%)
補償後最大誤差量 4.97%提昇至 8.42%，提高了 3.45%			

由<表 5.4-4>發現本製程補償對溫度變異影響大，反而使得變路對溫度更加敏感，在 TT 下誤差提高了 5.94%，FF 和 SS 製程變異下分別提高為 5.58%和 3.45%。



## 5.4 預計規格表

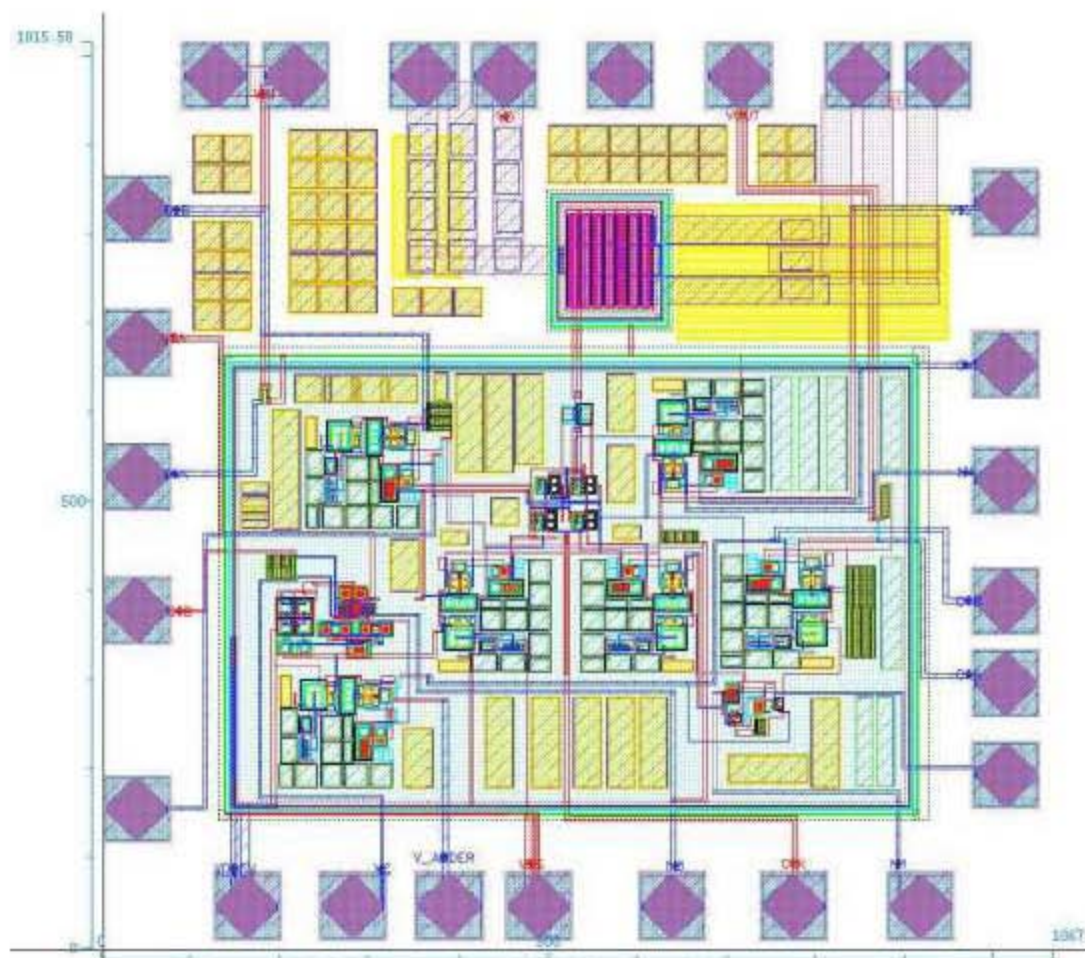


圖 5.4-1 電路佈局圖

表 5.4-1 預計規格表

操作條件：溫度攝氏 27 度，電壓變異 0%				
規格	Pre-Simulation (TT)		Post-Simulation (TT)	
操作電壓	5 Vdc			
輸入 AC 頻率	60 Hz			
	無補償	有補償	無補償	有補償
功率消耗	15.86 mW	16.32 mW	15.45 mW	16.18 mW
功率因數	99.9%	99.9%	99.9%	99.9%
輸出電壓	35.7 Vdc	35.7 Vdc	34.4 Vdc	35.9 Vdc

## 第6章、結論與未來展望

### 6.1 結論

本論文使用升壓型交直流轉換器為架構，配合電壓和電流回授控制，實現高功因和穩壓的功能。

在功因校正上，使用了邊界電流控制模式，利用電感電流作為比較基準與電壓波形比較，然後產生控制訊號控制開關元件，使得輸入電流波形追隨輸入電壓波形，達到高功率因數的目的。

在穩壓方面，為了避免製程變異造成輸出的差異，設計了一個能夠抑制製程變異造成之誤差功能電路，將輸出訊號回授至製程補償電路中進行運算，計算修正量後將值送入電路中，建立製程變異輸出電壓的控制，使得輸出電壓更加穩定。並在章節中，將公式推導完畢並使用模擬工具驗證。

在論文中，除了對升壓電路與控制法做了詳細的描述與介紹之外，還利用電路模擬軟體 Cadence ADE 和 Synopsys Hspice 來驗證理論與相關波形的正確性，並使用模擬工具量測功因，結果都達到 99.9% 以上，輸出電壓波形也顯示著補償電路有著不錯的穩壓效果。

## 6.2 未來展望

在本論文的研究過程中，雖然有些微的成果，但仍然有很大可以進步、改善與發展的空間，未來對於本電路可以朝以下方向做研究：

### (1) 電壓變異的減小

在設計的電路中，可以發現因為輸入電壓的不穩定使得輸出電壓受到相當程度的影響，而穩定的輸入電源和輸出一直是電路的最基本，為了避免不穩定可以設計一個差參考電路並應用於電路中，以減少電壓變異的影響。

### (2) 柔性切換技術

論文中的交直流升壓轉換電路使用的是硬切技術，切換損耗較高、效率較低、電磁干擾大，將硬切技術置換成柔切技術是一個值得發展的方向。

### (3) 提高輸出電壓與瓦特數

在論文中設計的輸出電壓只能應用於低功率的微型設備，而低功率的設備對於功率校正的需求較低，如果可以提高輸出電壓與瓦特數並應用於中高瓦特數設備，是一個實用的發展方向。

## 參考文獻

- [1] 宋自恆, 林慶仁, "功率因數修正之原理與常用元件規格," 新電子科技雜誌第 217 期.
- [2] 江建成, "單級功因修正反馳式電源轉換器之製作," 國立中山大學電機工程學系碩士論文, 2007.
- [3] 呂鴻揚, "42 吋液晶電視的交/直流電源模組之研製," 中原大學電機工程學系碩士論文, 2006.
- [4] P. Midya, K. Haddad, and M. Miller, "Buck or boost tracking power converter," Power Electronics Letters, IEEE, vol. 2, no. 4, pp. 131-134, 2004.
- [5] V. Grigore, and J. Kyyra, "High power factor rectifier based on buck converter operating in discontinuous capacitor voltage mode." pp. 612-618 vol.1.
- [6] C. Jingquan, D. Maksimovic, and R. Erickson, "Buck-boost PWM converters having two independently controlled switches." pp. 736-741 vol.2.
- [7] R. L. Lin, Y. M. Lan, F. Y. Chen et al., "Single-stage CCM PFC electronic ballast." pp. 605-611 Vol. 1.
- [8] L. Shu Fan, and A. M. Khambadkone, "A Simple Digital DCM Control Scheme for Boost PFC Operating in Both CCM and DCM," Industry Applications, IEEE Transactions on, vol. 47, no. 4, pp. 1802-1812, 2011.
- [9] Y. Kai, R. Xinbo, M. Xiaojing et al., "DCM boost PFC converter with high input PF." pp. 1405-1412.
- [10] T. Nussbaumer, K. Raggl, and J. W. Kolar, "Design Guidelines for Interleaved Single-Phase Boost PFC Circuits," Industrial Electronics, IEEE Transactions on, vol. 56, no. 7, pp. 2559-2573, 2009.
- [11] R. Redl, and B. P. Erisman, "Reducing distortion in peak-current-controlled boost power-factor correctors." pp. 576-583 vol.2.
- [12] 廖士傑, "低電流, 脈衝-頻率調變轉換器," 逢甲大學電子工程學系碩士論文, 2004.
- [13] 賴俊呈, "新型非線性載波控制之高功因升壓型整流器研製," 崑山科技大學電機工程學系碩士論文, 2003.
- [14] 張廷杰, "高效率 PWM/PFM 雙模升壓轉換/調整器之白光二極體驅動設計," 朝陽科技大學資訊工程學系碩士論文.
- [15] Y. Fei, R. Xinbo, Y. Yang et al., "Interleaved Critical Current



- Mode Boost PFC Converter With Coupled Inductor," *Power Electronics, IEEE Transactions on*, vol. 26, no. 9, pp. 2404-2413, 2011.
- [16] 鄭凱方, "主動式功因修正電路模型建立與設計," 國立中山大學電機工程學系碩士論文, 2005.
- [17] 高維新, "主動式功率因數修正器之設計," 逢甲大學電機工程學系碩士論文, 2007.
- [18] P. E. Allen, and D. R. Holberg, *CMOS analog circuit design: Oxford University Press*, 2002.
- [19] B. Razavi, "Design of Analog CMOS Integrated Circuits," *McBRAW-HILL*, 2001.
- [20] R. A. Mack, Jr., "Demystifying Switching Power Supplies," *Elsevier*.
- [21] N. Mohan, T. M. Undeland, and W. P. Robbins, "Power Electronics - Converters, Applications, and Design (3rd Edition)," *John Wiley & Sons*.
- [22] 國立中正大學精緻電能應用研究中心, *電力電子學綜論: 全華科技圖書股份有限公司*, 2007.
- [23] 簡百鍾, "以電流追隨器設計之四象限乘法器," 中原大學電機工程學系碩士論文, 2002.
- [24] S. C. Qin, and R. L. Geiger, "A  $\pm 5$ -V CMOS analog multiplier," *Solid-State Circuits, IEEE Journal of*, vol. 22, no. 6, pp. 1143-1146, 1987.
- [25] T. Kuphal dt, "Lessons In Electric Circuits," 2007.