

東海大學電機工程學系

碩士論文

具高性能小面積之參考電位電路設計並整合於功率

因數校正電路之研究

Study of a high performance, small area reference  
voltage circuit design and integrating the circuit into power  
factor correction circuit

研究生：李孟橋

指導教授：陳家豪 博士

中華民國 101 年 1 月

東海大學電機工程學系碩士學位

論文指導教授同意書

電機工程學系研究生 李孟橋 君所提之論文

具高性能小面積之參考電位電路設計並整合於  
功率因數校正電路之研究

經由本人指導撰述，同意提付審查。

指導教授：陳宗亨 (簽章)

中華民國 101 年 01 月 04 日

東海大學電機工程學系碩士學位  
考試委員審定書

電機工程學系研究所 李孟橋 君所提之論文

具高性能小面積之參考電位電路設計並整合於  
功率因數校正電路之研究

經本考試委員會審查，符合碩士資格標準。

學位考試委員會 召集人：邱瑞杰 (簽章)

委員：陳宗豪  
林哲弘  
蔡榮星  
龔正

中華民國 101 年 01 月 04 日

# 誌謝

短短幾個學期的碩班生涯，一轉眼就過了，在這個期間，首先要感謝我的父母，在我的後面作我最大的靠山，再來感謝系上所有老師們的幫助，不管是課業上的經驗還是人生的經驗都讓我受益匪淺。

接著感謝同門大師兄，陳俊宇學長，感謝他帶我熟悉實驗室設備，督促我的課業及教導我待人處事的方法與道理，再來要感謝東海電機所碩班的所有學長，中立、自遠、佑禎、少軒、昭遠學長，在我有困難的時候幫助我，在我無聊的時候找我打三國，謝謝學長每次有好康的一定會報厚溫災；感謝同學，志諺、配濱、宏儒、阿倫、阿達及最好的哥們彬為，感謝你們忍受我的腦殘，雖然嘟嘟（宏儒）每次都想要把我埋起來，但是我知道你們太愛我的所以不忍心，還要感謝學弟瑀繁、哲偉、智傑、士傑以及相見恨晚的仁輝，感謝你們陪我喝小酒，聽我們的八卦消息，沒有你們我的最後半年不會過得那麼爽快，也要感謝系辦的熊一鳴大哥哥與周淑貞大姐姐，把系上的第一手消息通知我們，幫我們辦理行政上的事情；最後要感謝的人太多了，沒打到名字的對不起，在這說聲謝謝，非常謝謝所有幫助過我的人，祝大家身體健康、事事如意。



# 中文摘要

本論文採用國家晶片中心提供之 TSMC 0.35um 和 TSMC 0.25um CMOS 製程環境來研製簡易型參考電位電路之設計與功率因數校正電路設計。在簡易型參考電位電路設計上，達到突破傳統參考電位電路設計方式，而功率因數修正電路，將參考電位電路之概念應用於其中，使其降低製程環境因素所造成之影響，並達到 Pre-sim 和 Post-sim 在各模擬參數之中輸出電壓誤差值在 2%之內，使得電路有極佳的穩定效果。



## 英文摘要

This paper proposed a simpler bandgap reference circuit and a power factor correction circuit by using TSMC 0.25um CMOS process and TSMC 0.35um CMOS process, which are provided from CIC.

The simpler bandgap reference circuit, is different from the traditional structure and it uses a power factor correction circuit to reduce the process induced circuit variation. The output voltage error is within 2% between post-sim and pre-sim result. This circuit does have an excellent stability.

# 目錄

誌謝.....	i
中文摘要.....	i
英文摘要.....	iii
目錄.....	iv
圖目錄.....	vii
表目錄.....	xi
第 1 章 緒論.....	1
1-1 研究動機.....	1
1-2 研究方法.....	2
1-3 論文架構.....	4
第 2 章 零溫度係數電流補償電路原理.....	5
2-1 零溫度係數電流源與電壓源簡介.....	5
2-2 零溫度係數參考電路設計原理.....	6
2-3 傳統參考電流源分析.....	6

2-4 與溫度變化無關之零溫度係數電路.....	11
2-5 臨界電壓與遷移率互補之零溫度係數參考電位電路...	20
第3章 簡易型零參考電位電路設計.....	23
3-1 架構簡介.....	23
3-2 簡易型零溫度係數參考電位電路設計概念.....	23
3-3 簡易型零溫度係數參考電位電路分析.....	28
3-4 零溫度係數電壓產生電路完整分析.....	31
3-5 電路模擬分析.....	32
3-6 簡易型參考電位電路佈局與模擬結果.....	34
第4章 單級升壓型功率因數校正電路.....	44
4-1 功率因數修正原理設計理念.....	44
4-2 功率因數修正電路.....	48
4-3 主動式功率因數修正電路操作模式.....	50
4-4 主動式功率因數修正電路控制法.....	53
第5章 升壓型切換式電路設計.....	60
5-1 系統架構與介紹.....	61
5-2 傳統參考電位產生電路.....	64

5-3 電壓誤差放大器 .....	66
5-4 電流誤差放大器 .....	67
5-5 過電流保護電路 .....	68
5-6 乘法器電路 .....	70
5-7 小電阻量測電流位準 .....	71
5-8 升壓型電路佈局與模擬分析 .....	72
第 6 章 結論與未來展望 .....	92
6-1 結論 .....	92
6-2 未來展望 .....	93
參考文獻 .....	94



# 圖目錄

圖 1.1 電路與晶片設計流程 .....	3
圖 2.1 和供應電源電壓無關之常用電流源電路 .....	7
圖 2.2 傳統電流與溫度變化關係圖 .....	10
圖 2.3 加入起始元件之電流源電路 .....	10
圖 2.4 零溫度系數電源產生之示意圖 .....	13
圖 2.5 產生正溫度係數之電路 .....	16
圖 2.6 負溫度係數電流 $I_n$ .....	17
圖 2.7 正溫度係數電流 $I_p$ .....	18
圖 2.8 加權 $\Delta V_{GS}$ 的參考電壓電路 .....	22
圖 3.1 簡易零溫度係數參考電流構造圖 .....	24
圖 3.2 簡易零溫度係數參考電壓構造圖 .....	24
圖 3.3 運算放大圖電路圖 .....	25
圖 3.4 零溫度係數電流補償電路架構 .....	27
圖 3.5 零溫度係數電流補償完整電路 .....	28
圖 3.6 運算放大器模擬結果 .....	33
圖 3.7 負溫度係數電流之模擬圖 .....	33
圖 3.8 參考電位電路電壓對製程變異 Pre-sim 模擬圖 .....	34



圖 3.9 參考電位電路電壓源變異對輸出電壓 Pre-sim 模擬圖 .....	35
圖 3.10 參考電位電路輸出電流對製程變異 Pre-sim 模擬圖 .....	36
圖 3.11 參考電位電路輸出電流對電壓源變異 Pre-sim 模擬圖 .....	37
圖 3.12 簡易型零溫度系數參考電位電路佈局圖 .....	38
圖 3.13 參考電位電路電壓對製程變異 Post-sim 模擬圖 .....	39
圖 3.14 參考電位電路電壓源變異對輸出電壓 Post-sim 模擬圖 .....	40
圖 3.15 參考電位電路輸出電流對製程變異 Post-sim 模擬圖 .....	41
圖 3.16 參考電位電路輸出電流對電壓源變異 Post-sim 模擬圖 .....	42
圖 4.1 功因問題與修正方式 .....	48
圖 4.2 功因修正種類與控制法 .....	49
圖 4.3 主動式功率因數修正電路基本架構 .....	50
圖 4.4 連續導通模式電感電流示意圖(CCM).....	51
圖 4.5 非連續導通模式電感電流示意圖(DCM) .....	51
圖 4.6 邊界連續導通模式電感電流示意圖(BCM) .....	52
圖 4.7 (a)遲滯電流控制電路(b)遲滯電流控制之電流波形 .....	54
圖 4.8 (a)峰值電流控制電路(b)峰值電流控制之電流波形 .....	56
圖 4.9 (a)平均電流控制電路(b)平均電流控制之電流波形 .....	57
圖 4.10 (a)電壓隨耦控制電路(b)電壓隨耦控制之電流波形 .....	59
圖 5.1 平均電流控制法基本電路圖 .....	60

圖 5.2 平均電流控制法架構圖 .....	62
圖 5.3 電壓與電流波形圖 .....	63
圖 5.4 平均電流控制法架構圖 .....	64
圖 5.5 串聯基極—射極電壓之帶差參考電路.....	65
圖 5.6 電壓誤差放大器架構圖 .....	66
圖 5.7 電流誤差放大器架構圖 .....	67
圖 5.8 過流保護電路架構 .....	69
圖 5.9 電路瞬間啟動時電流方向 .....	69
圖 5.10 乘法器架構圖 .....	70
圖 5.11 運算放大器相位邊限及增益模擬結果 .....	73
圖 5.12 製程變異對輸出電壓的影響 .....	74
圖 5.13 電源變異對輸出電壓的影響 .....	74
圖 5.14 (a)(b)製程變異對晶片輸出結果之模擬圖 .....	75
圖 5.15 (a)(b)溫度變異對晶片輸出結果之模擬圖 .....	77
圖 5.16 (a)(b)電壓源變異對晶片輸出結果之模擬圖 .....	78
圖 5.17 以 Hspice 模擬製程變異 Corner SS 之 THD 模擬結果 .....	79
圖 5.18 以 Hspice 模擬製程變異 Corner TT 之 THD 模擬結果.....	80
圖 5.19 以 Hspice 模擬製程變異 Corner FF 之 THD 模擬結果 .....	80
圖 5.20 晶片佈局圖 .....	82

圖 5.21 (a)(b) 萃取 RC 後製程變異對晶片輸出結果之模擬圖.....	83
圖 5.22 (a)(b) 萃取 RC 後溫度變異對晶片輸出結果之模擬圖.....	85
圖 5.23 (a)(b) 萃取 RC 後電壓源變異對晶片輸出結果之模擬圖.....	86
圖 5.24 萃取 RC 後以 Hspice 模擬製程變異 TT 之 THD 模擬結果 ..	87
圖 5.25 萃取 RC 後以 Hspice 模擬製程變異 SS 之 THD 模擬結果 ...	88
圖 5.26 萃取 RC 後以 Hspice 模擬製程變異 FF 之 THD 模擬結果 ...	88
圖 5.27 晶片微照圖 .....	91



# 表目錄

表 1 參考電位電路製程變異對輸出電壓 Pre-sim 結果.....	35
表 2 參考電位電路電壓源變異對輸出電壓 Pre-sim 結果.....	35
表 3 參考電位電路輸出電流對製程變異 Pre-sim 模擬結果.....	36
表 4 參考電位電路輸出電流對電壓源變異 Pre-sim 模擬結果.....	37
表 5 參考電位電路電壓對製程變異 Post-sim 模擬圖 .....	40
表 6 參考電位電路電壓源變異對輸出電壓 Post-sim 模擬結果 .....	40
表 7 參考電位電路輸出電流對製程變異 Post-sim 模擬結果 .....	41
表 8 參考電位電路輸出電流對電壓源變異 Post-sim 模擬結果 .....	42
表 9 製程變異對晶片輸出結果之模擬數據.....	76
表 10 溫度變異對晶片輸出結果之模擬數據.....	77
表 11 電壓源變異對晶片輸出結果之模擬數據.....	79
表 12 各製程變異對應之 PF 值.....	81
表 13 萃取 RC 後製程變異對晶片輸出結果之模擬數據.....	84
表 14 萃取 RC 後溫度變異對晶片輸出結果之模擬數據.....	85
表 15 萃取 RC 後電壓源變異對晶片輸出結果之模擬數據.....	87
表 16 萃取 RC 後各製程變異對應之 PF 值 .....	89
表 17 Pre-sim 與 Post-sim 比較表.....	89



# 第1章 緒論

## 1-1 研究動機

近年來，隨著全世界經濟活動的日益蓬勃與人類生活水準的普遍提升，全世界對於能源的需求達到一個高峰。但由於能源資源的有限性與稀少性，主要能源材料，像石油、燃煤與天然氣的價格都日益高漲。除此之外，人類龐大的耗能經濟活動也為地球環境帶來嚴重的破壞。因此，節約能源變成了一個刻不容緩的課題。其中之一就是電源品質優劣的問題，因經過傳輸和電器內部電路後，電器內電感和電容器使得電源有了相位差的變化，電感和電容會讓電源波形相位超前或是落後造成虛功消耗，因此為了解約能源，現今許多的電器設備都具有功率因子校正器。

而在本論文中為了要使功率因子校正電路能夠晶片化，其中製程變異會造成使用電阻分壓製作的參考電位準位漂移，近而大幅的影響功率因子校正電路，輸出電壓波形的不穩，降低晶片的成功機率。所以又在本論文中提出了參考電位電路的設計，而此電路主要以新的電路計設方式有效的減少電路面積與簡化電路設計。在本文中參考電位電路是以 TSMC 0.35um 製程而經證實有效。



## 1-2 研究方法

本論文針對晶片化功率修正電路作為研究主軸，其中包括功因修正技術的研究及解決晶片製程變異對功因修正電路的影響等問題。

製作流程包括下列項目：

### (1) 功因修正技術的研究

探討文獻上功因問題的產生與其解決方法。

### (2) 解決晶片製程變異對功因修正電路的影響

觀察製程變異對功因修正電路各偏壓點所造成的結果，在此延伸出了簡易形參考電位電路的設計，並以此觀念應用於功因修正電路上證實其可行性。

### (3) 將所設計的電路下線製作

由國家晶片中心 CIC 所提供之 TSMC 0.25um 高壓製程之下線機會，下線製作晶片，下線流程為圖 1.1。

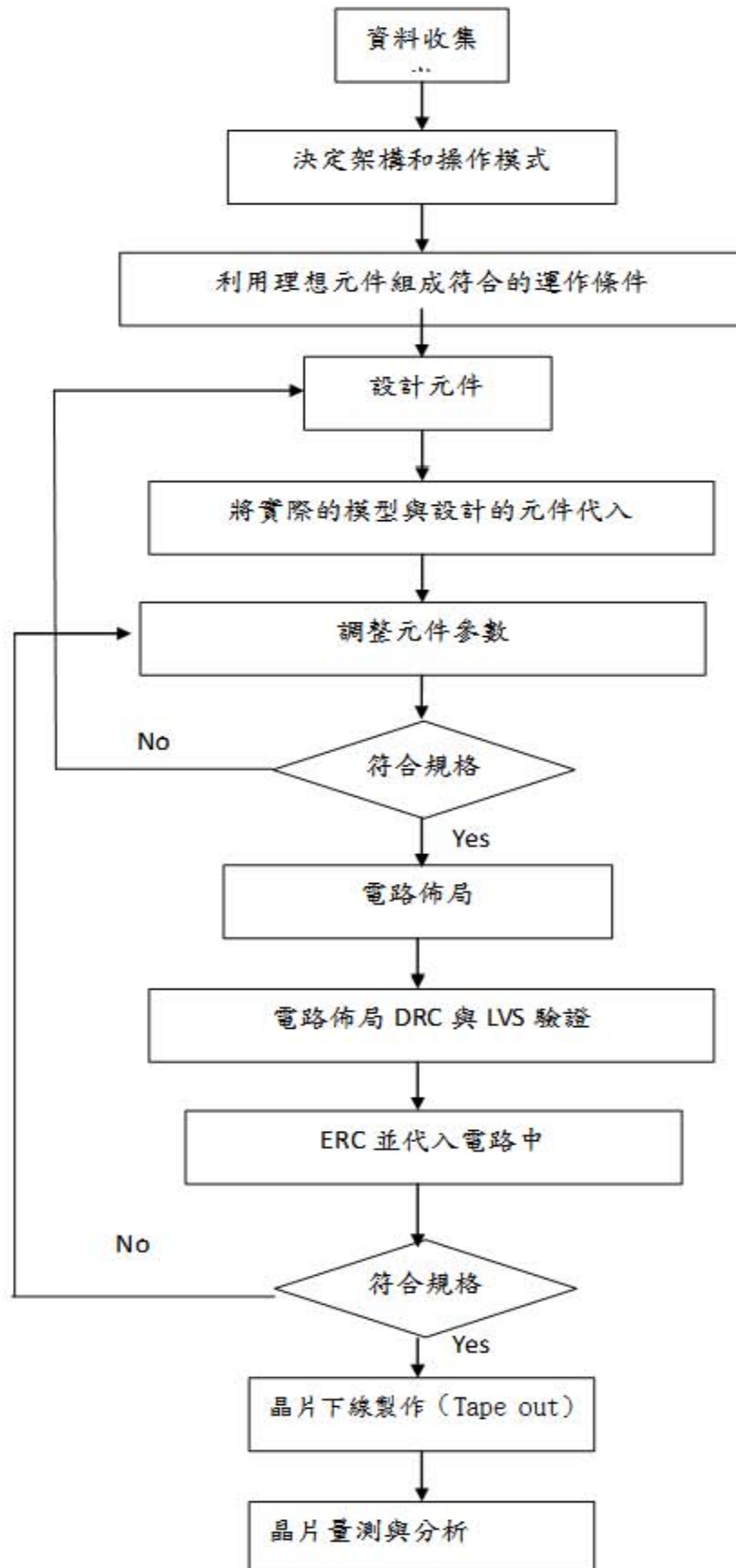


圖 1.1 電路與晶片設計流程

## 1-3 論文架構

本論文分為簡易型零溫度系數參考電位電路設計及切換式升壓電路設計兩大主題共六章，第一章為緒論，說明本論文的研究動機和方法；二、三章為簡易型零溫度系數參考電位電路設計的分析，第二章主要討論正、負溫度系數的關係與文獻探討；第三章為簡易型零溫度系數參考電位電路的設計；第四、五章則是切換式升壓電路的設計，第四章為功因修正電路的簡介、分析及文獻回顧；第五章為切換式升壓電路晶片化的設計及模擬結果；第六章為整體文章回顧的結果討論與未來展望。



## 第2章 零溫度係數電流補償電路原理

### 2-1 零溫度係數電流源與電壓源簡介

現今零溫度係數之參考電流源與電壓源[6][7]被廣泛運用於運算放大器 (OP amplifiers)、振盪器(oscillators)、數位類比與類比數位轉換器 (A/D、D/A converter) 等的電路之中。此電路輸出的參考電源必需對電源變異和溫度變異有著極小的相關性，此方面的研究方向大多數以低溫度係數電路為主，使電路能呈現精準的低溫度係數，而現今發表的文章中主要著重在減少電路對溫度的依賴性。

零溫度係數電流源其溫度補償方式可分為一階溫度補償 (First-Order Temperature Compensation)、二階溫度補償 (Quadratic Temperature Compensation)、高階溫度補償 (High-Order Temperature Compensation) 等。一階溫度補償電路的設計重點在於參考電流源方面是利用兩個相反的溫度係數 (Temperature Coefficient, TCs)，正溫度係數與負溫度係數，此二溫度係數電源，做適當的加減，結果將會生成一個零溫度係數電流、電壓的參考電源。

## 2-2 零溫度係數參考電路設計原理

零溫度係數參考電路的溫度補償元件可使用 BJT、MOS 所構成，其補償方式分為一階、二階溫度補償與使用 MOS 電流鏡將特性控制於次臨界區，不管用上述任一元件建構零溫度係數參考電路，參考輸出皆要符合與供應電壓和溫度成非相關性。本章節分別針對基本的零溫度係數電路分析、臨界電壓與遷移率互補之零溫度係數點補償電路並對之前在 IEEE(Institute of Electrical and Electronic Engineers)發表的文獻做探討，與比較差異性。

## 2-3 傳統參考電流源分析

在類比電路設計中廣泛的使用了傳統參考電流和電壓電路[1][3]，這類型的參考電路之輸出能對供應電源電壓(VDD)及製程參數有較低的相關性可增加電路之穩定性，但溫度係數對此電路會有明顯的影響。

建立一個和供應電源電壓無關之電流的簡單電路如(圖 2.1)，其設計原理類似於文獻[8]，是一利用電流鏡組合而成的電路。此電路會自行產生偏壓，將輸出電流  $I_{out}$  與參考電流  $I_{ref}$ ，在此顯示了與供應電壓之低相關性，而改變電晶體之長寬比，可決定電流源的電流輸出電流值，其公式推導如下：

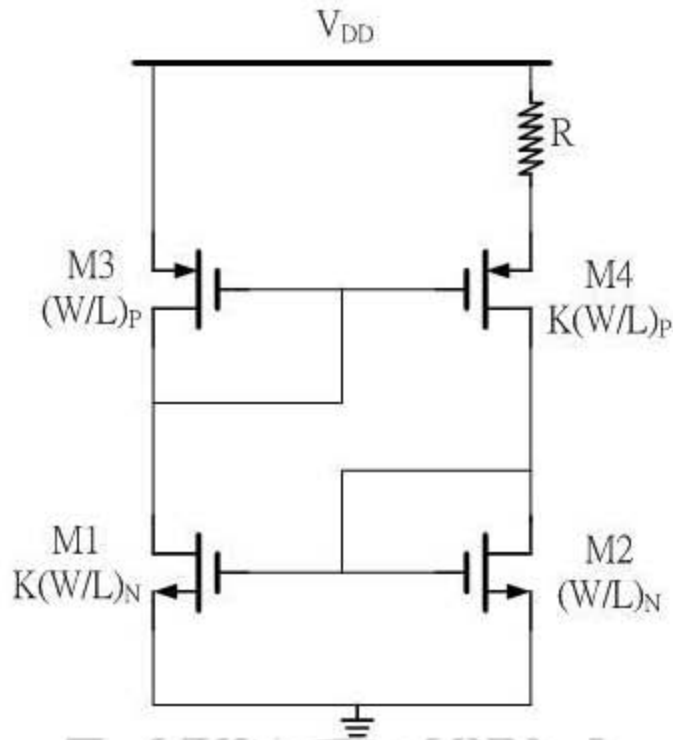


圖 2.1 和供應電源電壓無關之常用電流源電路

$$V_{g3} = V_{g4} + I_{OUT} R_S \quad (2-1)$$

並因為電晶體操作於飽和區，其電流-電壓特性曲線公式為

$$I = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_T)^2 \quad (2-2)$$



$$V_{GS} = \sqrt{\frac{2I_{out}}{\mu_p C_{ox} \left(\frac{W}{L}\right)}} + V_{TP} \quad (2-3)$$

將式(2-2)帶入式(2-1)可化簡得：

$$\sqrt{\frac{2I_{out}}{\mu_p C_{ox} \left(\frac{W}{L}\right)}} + V_{TP3} = \sqrt{\frac{2I_{out}}{\mu_p C_{ox} K \left(\frac{W}{L}\right)}} + V_{TP4} + I_{out} R_s \quad (2-4)$$

忽略基板效應(Body effect)，令  $V_{TP3} = V_{TP4}$

$$\sqrt{\frac{2I_{out}}{\mu_p C_{ox} \left(\frac{W}{L}\right)} \left(1 - \frac{1}{\sqrt{K}}\right)} = I_{out} R_s \quad (2-5)$$

$$\frac{1}{R_s} \sqrt{\frac{2I_{out}}{\mu_p C_{ox} \left(\frac{W}{L}\right)} \left(1 - \frac{1}{\sqrt{K}}\right)} = I_{out} \quad (2-6)$$

$$\frac{1}{R_s^2} \frac{2I_{out}}{\mu_p C_{ox} \left(\frac{W}{L}\right)} \left(1 - \frac{1}{\sqrt{K}}\right)^2 = I_{out}^2 \quad (2-7)$$

令  $I_{out} \neq 0$  (同除以  $I_{out}$ )

$$I_{out} = \frac{1}{R_s^2} \frac{2}{\mu_p C_{ox} \left(\frac{W}{L}\right)} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (2-8)$$

在定電壓狀態下對圖 2.1 電路做電流-溫度變化模擬，發現流過所有電晶體之電流，都會與溫度變化有正比的關係如(圖 2.2)，由圖 2.2 可看出輸出電流  $I_{out}$  具有正溫度係數的特性，由式(2-8)我們可以看出此參考電流電路與供應電源電壓無關，但傳統參考電流的輸出電流  $I_{out}$  會隨溫度變化而變動，本文目的為設計出零溫度係數補償特性，提供零溫度係數不隨溫度改變，將會在第三章有詳盡介紹與溫度無關之零溫度係數參考電流電路。

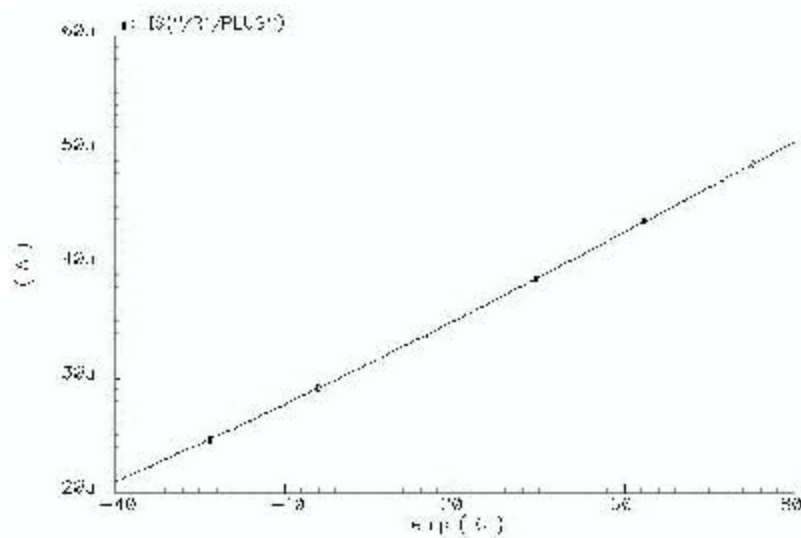


圖 2.2 傳統電流與溫度變化關係圖

雖然使電流與供應電壓無關，但與供應電壓無關之偏壓中有一重要的「退化偏壓點」問題存在。當供應電源開啟時，若所有電晶體電流為零，則此電路將無限期的被關閉，所以要解決此種起始(start-up)問題，在電路中加入一個電晶體促使電路在供應電源開啟時導通使離開退化偏壓點。

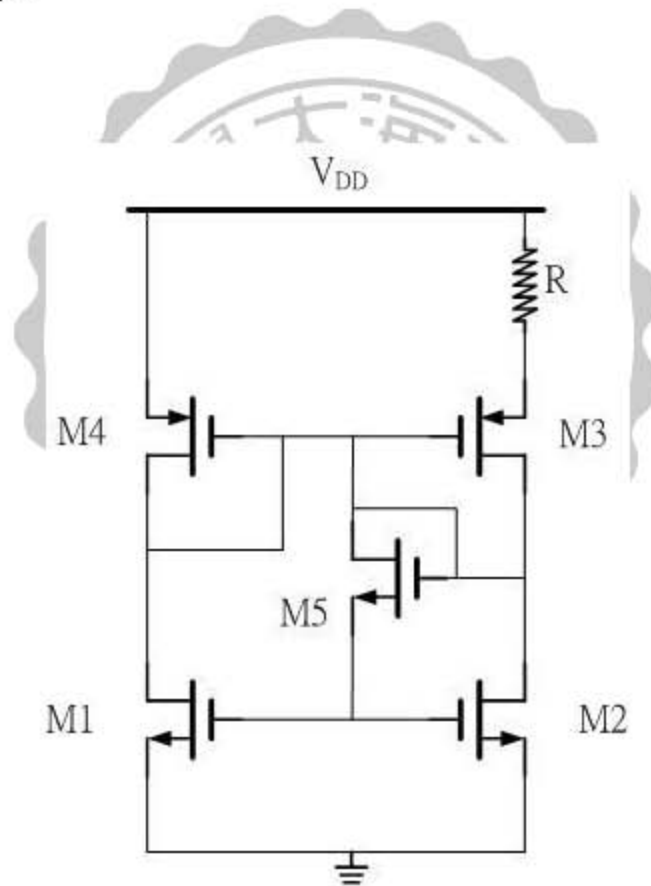


圖 2.3 加入起始元件之電流源電路

在圖 2.3 中電晶體，M5 提供了電路起始的作用，從 VDD 經 M3 和 M1 至接地的信號路徑。因此 M3 和 M1 與 M4 和 M2 不會維持關閉的狀態，此電路只有在  $V_{TH1} + V_{TH5} + |V_{TH3}| < V_{DD}$  且  $V_{GS1} + V_{TH5} + |V_{TH3}| > V_{DD}$  (確保起始作用後 M5 維持關閉)時有用，以上所述之電路皆為傳統式的參考電位電路，因此階會對溫度變異產生變化。

## 2-4 與溫度變化無關之零溫度係數電路

零溫度係數參考電流和電壓在許多類比電路中被證明非常重要，因為參考電流參考電壓若會隨溫度變化，則將會造成電路的不穩定。大部分的製程參數隨溫度變化，所以若一參考電路與溫度無關時，則通常都會與製程無關。

產生一不隨溫度變動的係數[9]，是利用兩個相反的溫度係數 (Temperature coefficient, TCs)，以適當比例相加時，可得一個零溫度係數值(TCs)，其概念圖如下圖 2.4。例如，對兩個隨溫度變動方向相反的電壓 V1 和 V2，選擇 R1 和 R2，而得式(2-9)，運算後進而得到參考電流為 式(2-10)使其 TC 值為零。

$$\frac{1}{R_1} \frac{\partial V_1}{\partial T} + \frac{1}{R_2} \frac{\partial V_2}{\partial T} = 0 \quad (2-9)$$

$$I_{REF} = \frac{V_1}{R_1} + \frac{V_2}{R_2} \quad (2-10)$$

對於參考電壓而言，也是對兩個隨溫度變動方向相反的電壓  $V_1$  和  $V_2$ ，選擇  $\alpha_1$  和  $\alpha_2$ ，而得式(2-11)，運算後而得到參考電壓式(2-12)，其 TC 值也是為零。

$$\alpha_1 \frac{\partial V_1}{\partial T} + \alpha_2 \frac{\partial V_2}{\partial T} = 0 \quad (2-11)$$

$$V_{REF} = \alpha_1 V_1 + \alpha_2 V_2 \quad (2-12)$$

在半導體技術的許多元件參數中，雙載子電晶體(Bipolar Junction Transistor, BJTs)的特性被證明最可重複產生，且能提供明確的正溫度係數與負溫度係數值，雖然許多 MOS 元件參數已被考慮在參考電路中，但雙載子電晶體運作仍是形成參考電路的核心部份。

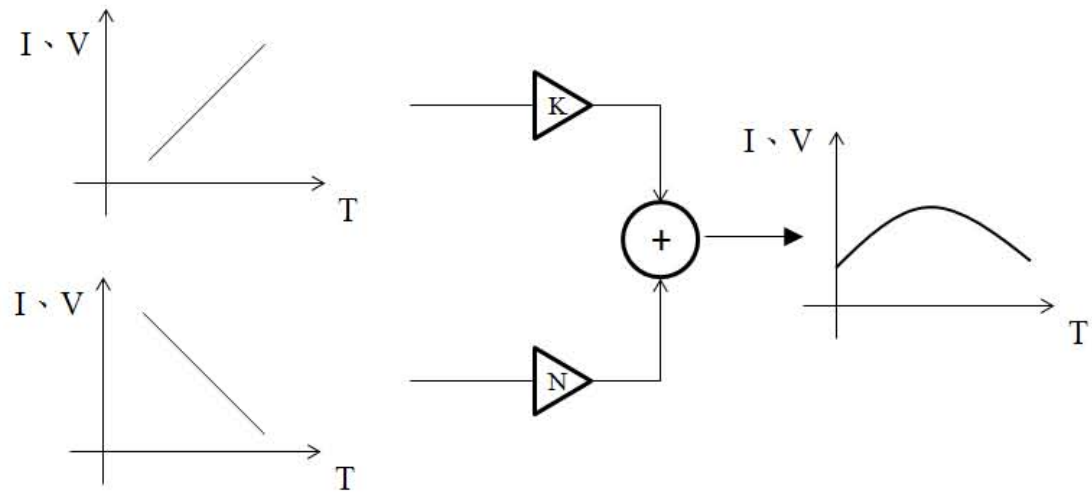


圖 2.4 零溫度係數電源產生之示意圖

### 2-4-1 負溫度係數電壓

雙載子電晶體  $V_{BE}$  的電壓顯示了一負 TC 值，對一個雙載子元件而言：

$$I_C = I_S \exp\left(\frac{V_{BE}}{V_T}\right) \quad (2-13)$$

$$V_T = K \frac{T}{q} \quad (2-14)$$

飽和電流  $I_S$  和  $uxkT \times ni$  成比例



$u$ ：次要載子之遷移率

$n_i$ ：本質載子濃度

對溫度的相關性：

$$\mu \propto \mu T^m, m \approx -\frac{3}{2}, \text{且 } n_i^2 \propto T^3 \exp\left[\frac{-E_g}{kT}\right] \quad (2-15)$$

$E_g \approx 1.12\text{eV}$  (矽的能隙)則:

$$I_S = bT^{4+m} \exp\left[\frac{-E_g}{kT}\right] \quad (b: \text{比例因子}) \quad (2-16)$$

$$V_{BE} = V_T \ln\left(\frac{I_C}{I_S}\right) \quad (I_C \text{ 的特性為溫度的函數}) \quad (2-17)$$

令  $I_C$  維持常數， $V_{BE}$  對  $T$  偏微分得：

$$\frac{\partial I_S}{\partial T} = b(4+m)T^{3+m} \exp\left(\frac{-E_g}{kT}\right) + bT^{4+m} \left(\exp\left(\frac{-E_g}{kT}\right)\right) \left(\frac{-E_g}{kT^2}\right) \quad (2-18)$$

$$\frac{V_T}{I_S} \frac{\partial I_S}{\partial T} = (4+m) \frac{V_T}{T} + \frac{E_g}{kT^2} V_T \quad (2-19)$$

由式(2-19)代入式(2-20)得：

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - (4+m)V_T - \frac{E_g}{q}}{T} \quad (2-20)$$

而在室溫時  $V_{BE} \approx 750\text{mV}$ 、 $T=300\text{K}$  可計算得(式 2-13)

$$\frac{V_{BE}}{\partial T} \approx -1.5\text{mV/K} \quad (2-21)$$

#### 2-4-2 正溫度係數電壓

在1964年時發現兩個雙載子電晶體(BJT)操作於不同的電流密度下，其基極-射極電壓差( $\Delta V_{BE}$ )會和絕對溫度成正比(proportional to absolute temperature, PTAT) [9]。例如，若二個相同的電晶體( $I_{S1} = I_{S2}$ )，分別偏壓於集極電流  $nI_0$  和  $I_0$  並忽略其基極電流圖 2.5

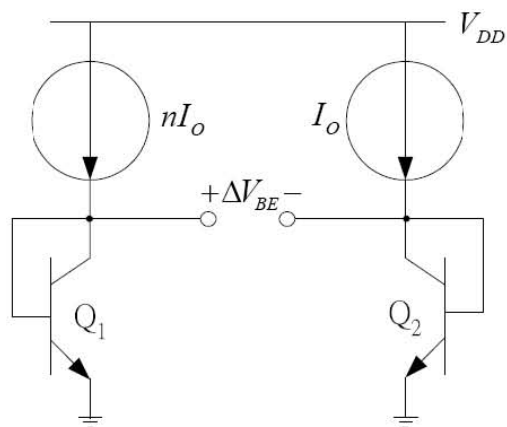


圖 2.5 產生正溫度係數之電路

$$\text{則 } \Delta V_{BE} = V_T \ln \frac{nI_O}{I_{S1}} - V_T \ln \frac{I_O}{I_{S2}} = V_T \ln(n) \quad (2-22)$$

基極-射極電壓差異( $\Delta V_{BE}$ )顯示一正溫度係數:

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{k}{q} \ln(n) \quad (2-23)$$

### 2-4-3 零溫度係數參考電壓、電流電路

首先我們先介紹溫度補償基本原理及簡單架構，由圖 2.6 提供一負溫度係數電流  $I_i$  及圖 2.7 所產生的正溫度係數電流，再藉由上述兩個基本原理分析進而證明且推導出圖 2.8 零溫度係數的參考電流電路。

如圖 2.6，令  $(W/L)M3=(W/L)M4$ ， $(W/L)M1=(W/L)M2$ ，電晶體  $M3$ 、 $M4$  為理想電流鏡，而  $M1$ 、 $M2$  閘極至源極  $V_{GN1}=V_{GS2}$  跨壓相等，基於以上條件，可以判定出輸出電流  $I_i$  電路與數學關係式為式(2-24)，因為 BJT 雙載子電晶體為負溫度係數特性，故輸出電流  $I_i$  為負溫度係數電流。

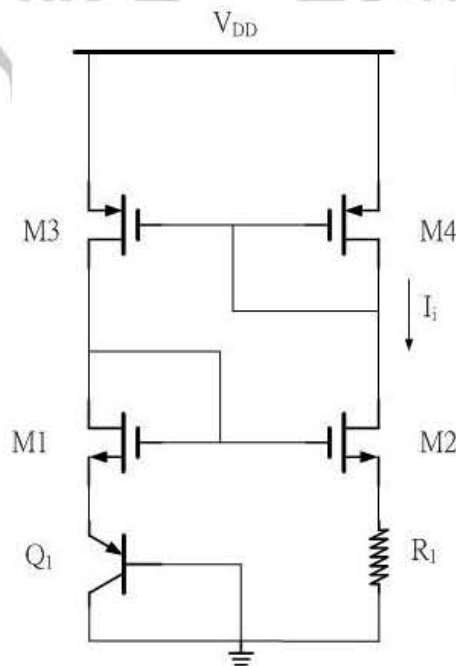


圖 2.6 負溫度係數電流  $I_i$

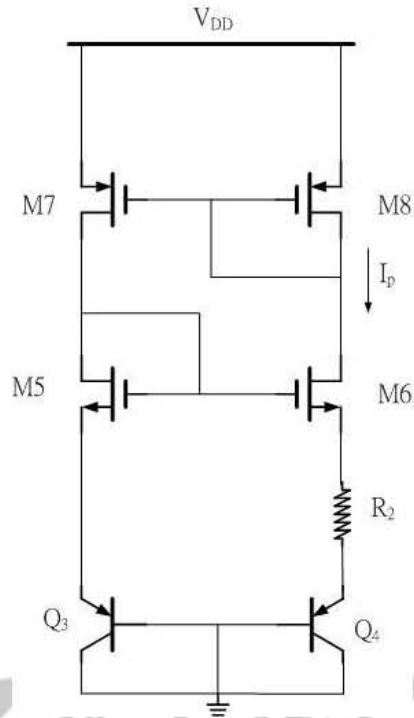


圖 2.7 正溫度係數電流  $I_p$

如圖 2.7，首先我們令  $(W/L)M7=(W/L)M8$ ， $(W/L)M5=(W/L)M6$ ，電晶體 M7、M8 為理想電流鏡，而 M5、M6 閘極至源極  $V_{GS5}=V_{GS6}$  跨壓相等。基於以上條件，可以判定出輸出電流  $I_p$  電路與數學關係式為式(2-24)，由式(2-25)中可得知  $I_p$  為正溫度係數電流。

$$I_p = \frac{(V_{EB3} - V_{EB4})}{R_2} = \frac{\Delta V_{EB}}{R_2} \quad (2-24)$$

$$I_p = \frac{\Delta V_{EB}}{R_2} = \frac{1}{R_2} V_T \ln \left( \frac{I_{S3}}{I_{S4}} \right) \quad (2-25)$$

$$V_T = \frac{kT}{q} \quad (\text{k: 波滋曼常數}) \quad (2-26)$$

若將  $I_p$  與  $I_i$  兩路電流匯流於一起

$$I_{REF} = I_p + I_i = \frac{\Delta V_{EB}}{R_2} + \frac{V_{EB1}}{R_1} \quad (2-19)$$

忽略電阻之溫度係數得式(2-20)

$$\frac{\partial I_{REF}}{\partial T} \approx \frac{1}{R_2} \frac{k}{q} \ln(N) + \frac{1}{R_1} \frac{V_{EB} - (4+m)V_T - E_g}{T} \quad (2-20)$$

對輸出參考電壓偏微分，

$$\left[ \frac{\partial I_{REF}}{\partial T} \right]_{T=T_0} = 0 \quad (2-21)$$

因此得到零溫度係數參考電流。

由以上的基本公式推導可得知我們是如何得到零溫度係數電壓和零溫度係數電流，因此我們參考這些公式而設計出一個架構簡易的零溫度係數電壓電流的參考電位的電路架構。

## 2-5 臨界電壓與遷移率互補之零溫度係數參考電位電路

零溫度係數點補償電路需要(1)臨界電壓是線性的溫度函數(2)載子遷移率(carrier mobility)與溫度成反比關係[11]，而這兩項皆為負溫度係數。本節將利用臨界電壓與載子遷移率進行對零溫度係數點補償探討。

現今大多以 MOS-FET 做為電路設計的主要元件，由於 NMOS 與 PMOS 操作在飽和區的臨界電壓與遷移率不相同，但此二係數可相互補償以獲得零溫度係數相關的參考電壓。圖 2.8[12]即採用 PMOS 與 NMOS 做溫度補償且架構簡單的參考電路，其參考電壓表示為：

$$V_{ref} = \left(1 + \frac{R_1}{R_2}\right)V_{GSN} - |V_{GSP}| \quad (2-22)$$

參考電壓是由  $V_{GSN}$  乘上  $(1 + \frac{R_1}{R_2})$  與  $|V_{GSP}|$  相減，觀念如同  $V_{thn}$  乘上  $(1 + \frac{R_1}{R_2})$  與  $|V_{thp}|$  相減，此兩個臨界電壓並無直接相減，因為  $V_{thn}$  和  $V_{thp}$  的溫度函式為：

$$V_{thn}(T) = V_{thn}(T_0) - \beta_{vthn}(T - T_0) \quad (2-23)$$

$$|V_{thp}(T)| = |V_{thp}(T_0)| - \beta_{vthp}(T - T_0) \quad (2-24)$$

$T_0$  是參考溫度， $\beta_{vthn}$  和  $\beta_{vthp}$  分別是 NMOS 與 PMOS 臨界電壓的溫度係數，而遷移率的溫度函式表示為：

$$\mu_n(T) = \mu_n(T_0) \left(\frac{T}{T_0}\right)^{-\beta_n} \quad (2-25)$$

$$\mu_p(T) = \mu_p(T_0) \left(\frac{T}{T_0}\right)^{-\beta_p} \quad (2-26)$$

而此電路最小供應電壓為：

$$V_{dd(\min)} = \left(1 + \frac{R_1}{R_2}\right) V_{GSN} + |V_{DSS(sat)}| \quad (2-27)$$



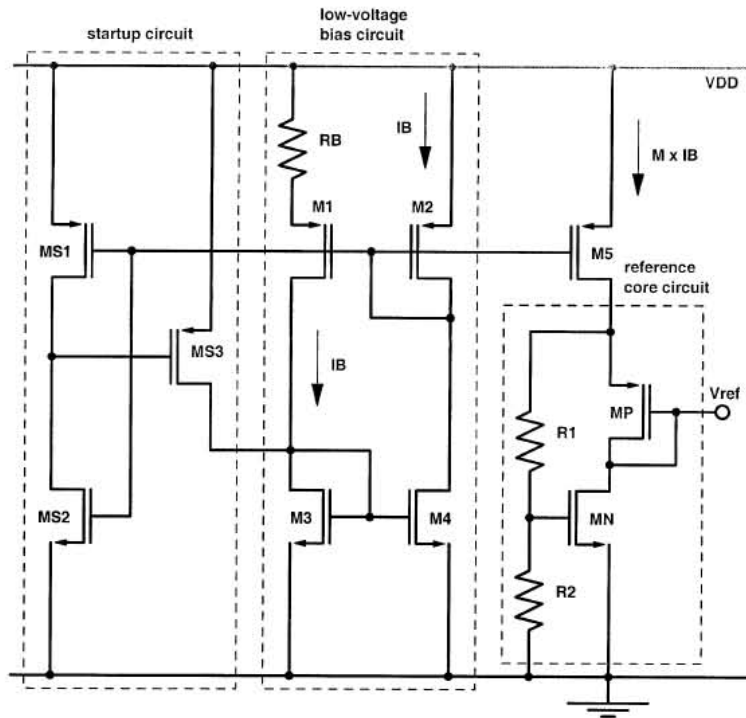


圖 2.8 加權  $\Delta V_{GS}$  的參考電壓電路

而圖 2.8 中的  $I_B$  為：

$$I_B = \frac{2}{\mu C_{OX}(W/L)_{M2}} \frac{1}{R_B^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2, K = \frac{(W/L)_{M1}}{(W/L)_{M2}} > 1 \quad (2-28)$$

由此參考文獻之電路[13]將可得知臨界電壓與遷移率二係數的關係為何，並可由此概念對電路有進一步的設計。

## 第3章 簡易型零參考電位電路設計

### 3-1 架構簡介

在第二章已說明過相關的零溫度係數電流源電路與零溫度係數參考電壓源電路，他們各有其優缺點，但有一項共同缺點就是無法以簡單的電路方式分別產生出正溫度係數電流及負溫度係數電流。為了改善此缺點，將在本章之中提出解決的辦法，而主要的電路架構還是以運算放大器、電晶體及雙載子電晶體為主，無需加入其他特殊元件。

### 3-2 簡易型零溫度係數參考電位電路設計概念

在前一章已經探討過零溫度係數電流源電路與零溫度係數參考電壓源電路相關的文獻[17,18,19]，以及其優缺點。但在之中有項共同的缺點，此二電路皆無法以簡單的方式分別產生出正溫度係數電流及負溫度係數電流。

因此本文將提出一種新的簡單架構，用來改善此缺點，以簡單的電路架構，並可同時分別產生出正溫度係數電流、及負溫度係數電流，再藉由電流鏡將兩路含有不同溫度係數電流交匯於一起產生出零溫

度係數電流及零溫度係數輸出的參考電壓。

如圖 3-1 中左上所示的電流因為 PMOS 的臨界電壓產生的電流正比於溫度係數，左下為因雙載子電晶體特性所產生出的負溫度係數電流，將兩個特性相反的溫度係數電流，藉由電流鏡來結合且提供輸出一零溫度係數的電壓與電流兩種不同特性架構，而圖 3.2 為簡單零溫度係數參考電壓構造圖，說明供應輸出穩定電壓。

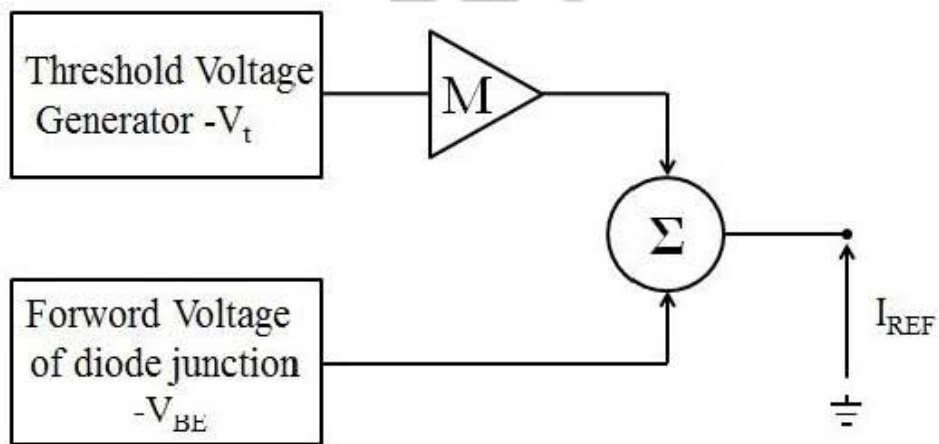


圖 3.1 簡易零溫度係數參考電流構造圖

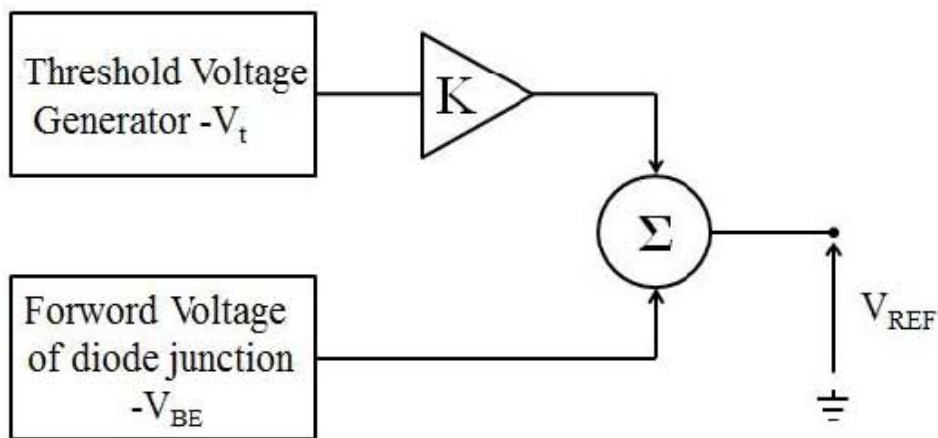


圖 3.2 簡易零溫度係數參考電壓構造圖

### 3-2-1 運算放大器

圖 3.3 雙端 PMOS 輸入單端输出的 two-stage op-amp，第一級輸入採用 PMOS 是因應輸入端跨壓範圍可以更容易促使 op-amp 快速進入工作狀態。

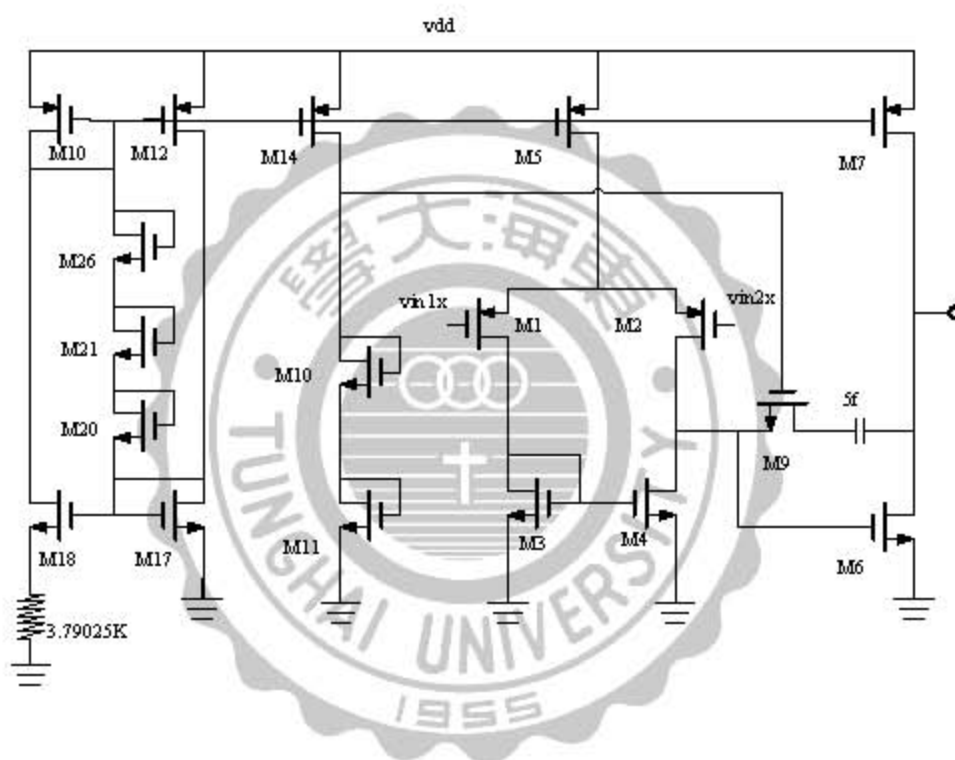


圖 3.3 運算放大圖電路圖

### 3-2-2 正溫度系數參考電路

在本電路設計上我們將採用電阻對溫度係數的變化做為正溫度係數補償的方式[22][23]，由於不同材質的電阻會有不同的溫度係數式(3-1)，當 $V_{REF}$ 經由電阻轉換生成 $I_{REF}$ ，而電阻本身含有溫度係數會影響輸出參考電流 $I_{REF}$ ，故需將電阻的溫度係數也列入考量。以下是本篇提供的電阻溫度係數公式提供參考：

$$\frac{R(T)}{R(T_0)} = 1 + TCR_1 \cdot (T - T_0) + TCR_2 \cdot (T - T_0)^2 \quad (3-1)$$

### 3-2-3 負溫度系數參考電路

如圖 3.4 是本篇論文的負溫度係數電流參考電路，由文獻[24]修改後的電路，在此使用對稱性佳的運算放大器，是本論文使用的原因。圖中 Q1 操作在主動區，運算放大器用於確保輸入兩端電壓  $V_x$ 、 $V_y$  相等，如式(3-2)

$$V_x = V_y \quad (3-2)$$

M4、M5、M0、M19、M1 形成映射電流鏡，將負溫度係數電流映射至 M0，由式(3-3)得知藉由電阻 R 與雙載子接面電晶體 BJT 所產

生的一路負溫度係數電流( $I_{\text{negative}}$ )為

$$I_{\text{negative}} = \frac{V_{EB}}{R} \quad (3-3)$$

由於雙載子接面電晶體  $V_{EB}$ ，本身存在著負溫度係數特性，因而所產生有負溫度係數的電流源( $I_{\text{negative}}$ )。

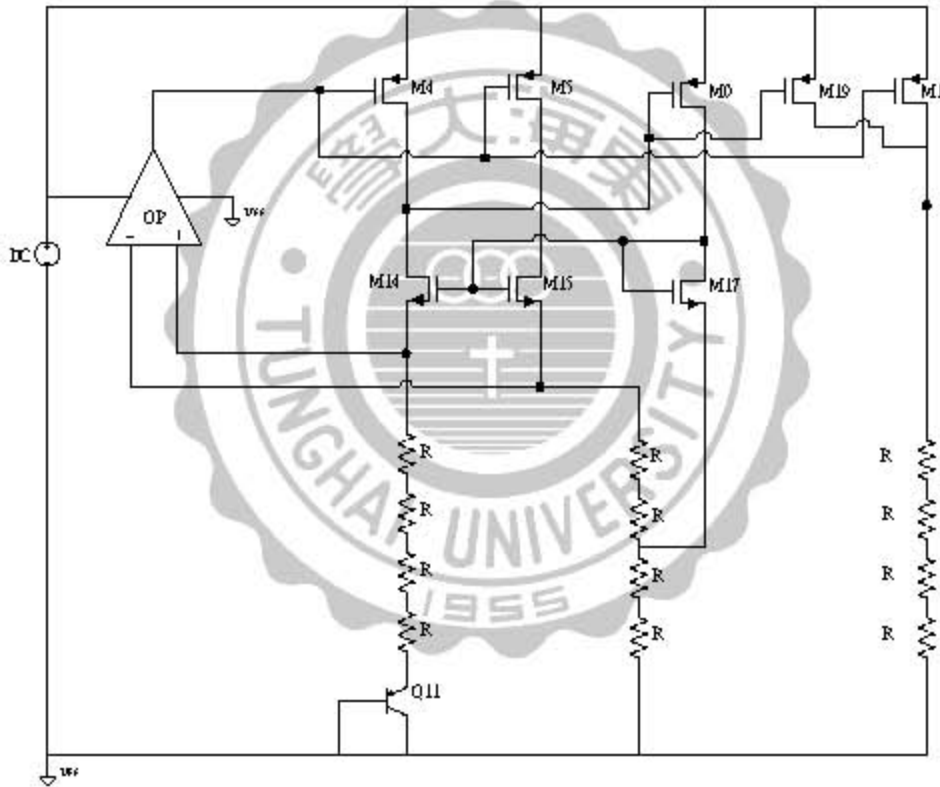


圖 3.4 零溫度係數電流補償電路架構

### 3-3 簡易型零溫度系數參考電位電路分析

在前面幾個小節之中完整說明了電路的設計原理，再來將會開始分析完整電路的補償方法及設計原理。圖 3.5 為零溫度係數電流補償完整電路，由電晶體 MOS 所組成正溫度係數、負溫度係數電路與運算放大器的偏壓電路，首先我們由圖 3.5 零溫度係數電流補償電路圖開始分析。

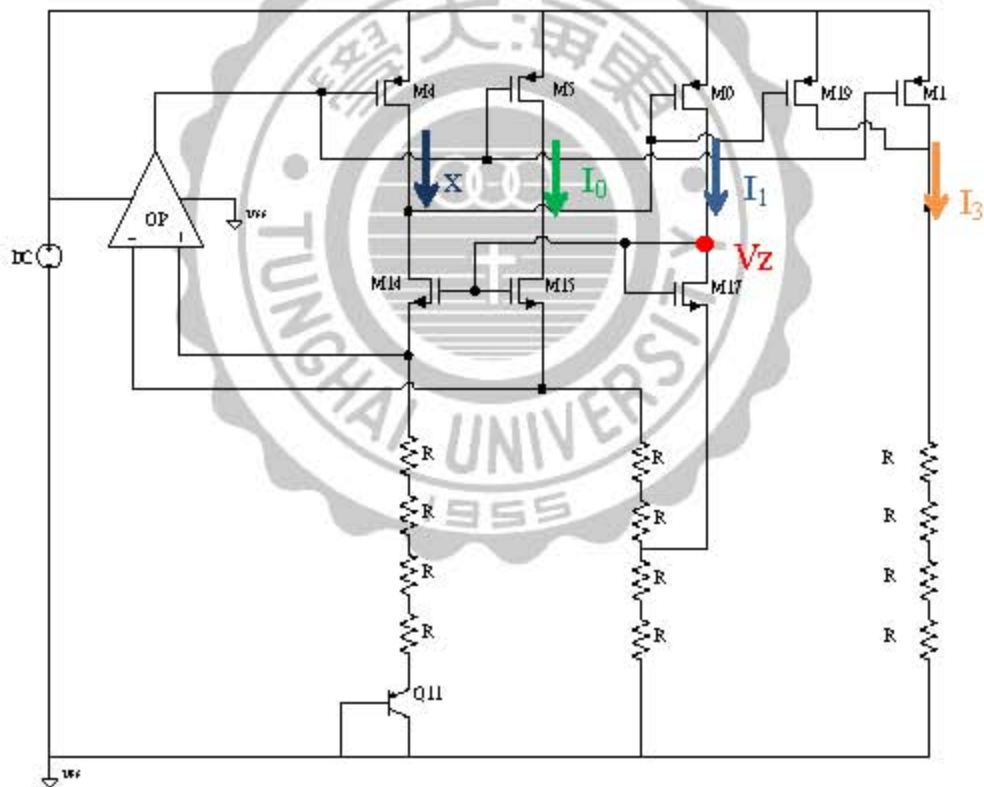


圖 3.5 零溫度係數電流補償完整電路

由上(圖 3.5)，三路的電流則  $V_Z$  為此三路電流之共點所以電壓相等，  
 可得以下三式(3-4)~式(3-6)：

令：

$$\beta = \frac{\mu_n C_{ox} W}{L}, \frac{\partial \mu_n}{\partial T} < 0, C_{ox}, W, L \text{ is temperature independent} \therefore \frac{\partial \beta}{\partial T} < 0$$

$$(I_0 + I_1) \cdot 2R + (V_t + \sqrt{2I_1 / \beta_{M17}}) \quad (3-4)$$

$$I_0 \cdot 4R + V_{BE} + (V_t + \sqrt{2I_0 / \beta_{M15}}) \quad (3-5)$$

$$(I_0 + I_1) \cdot 2R + I_0 \cdot 2R + (V_t + \sqrt{2I_0 / \beta_{M15}}) \quad (3-6)$$

由以上三式整理後可得下式(3-7)：

$$\Rightarrow I_1 = V_{BE} / 2R, \sqrt{2I_1 / \beta_{M17}} = \sqrt{2I_0 / \beta_{M15}} + I_0 \cdot 2R \quad (3-7)$$

由上式可得  $I_1$  與  $I_0$  的關係，因此假設下式(3-8)：



$$\text{設 } \sqrt{I_0} = a \Rightarrow \sqrt{\frac{V_{BE}}{R} \cdot \beta_{M17}} = a \sqrt{\frac{2}{\beta_{M15}}} + a^2 \cdot 2R \quad (3-8)$$

將上式假設代回原式計算後可得以下：

$$\Rightarrow a = \frac{-\sqrt{\frac{2}{\beta_{M15}}} \pm \left( \frac{2}{\beta_{M15}} + 8R \sqrt{\frac{V_{BE}}{R} \cdot \beta_{M17}} \right)}{4R} \quad (3-9)$$

$$= \frac{-\sqrt{\frac{2}{\beta_{M15}}} + \left( \frac{2}{\beta_{M15}} + 8R \sqrt{\frac{V_{BE}}{R} \cdot \beta_{M17}} \right)}{4R} \quad (\because a > 0) \quad (3-10)$$

在此設計中： $\frac{\partial R}{\partial T} > 0$ ，和 $\frac{\partial V_{BE}}{\partial T} < 0$  ( $V_{BE} \approx 0.62V$ )， $\frac{\partial \beta_{M17}}{\partial T} < 0$ ， $\frac{\partial \beta_{M15}}{\partial T} < 0$

$$1) I_1 = \frac{V_{BE}}{2R} \Rightarrow \frac{\partial I_1}{\partial T} < 0 \quad (3-11)$$

$$2) a = \frac{-\sqrt{\frac{2}{\beta_{M15}}} + \left( \frac{2}{\beta_{M15}} + 8R \sqrt{\frac{V_{BE}}{R} \cdot \beta_{M17}} \right)}{4R} \quad (3-12)$$

由以上的推導式可得知：

$$\frac{\partial \beta_{M17}}{\partial T} < 0 \Rightarrow \frac{2}{\beta_{M15}}, \quad \frac{\partial R}{\partial T} > 0, \frac{\partial \beta_{M17}}{\partial T} < 0 \Rightarrow \frac{1}{\beta_{M17}} \text{ 為正溫度係數，}$$

$R \sqrt{\frac{V_{BE}}{R} \cdot \beta_{M17}} = \sqrt{\frac{V_{BE} R}{\beta_{M17}}}$  此則可為正溫度係數或負溫度係數，可藉由

調整M17的大小來做適當的改變，由此得調整M15、M17的大小可

使  $V_{BE}$  在此電路中能得到  $\frac{\partial a}{\partial T} \approx 0$ 。

### 3-4 零溫度係數電壓產生電路完整分析

上一節已說明本論文電路之參考電流電路特性，接著將說明再接一路電流鏡來製作零溫度係數電壓補償電路。此電路提供一穩定輸出電壓，本論文電路所產生的正、負電流匯流於具有溫度係數的電阻，固須將電流與電阻的溫度係數相互補償以達到零溫度係數。下列數學式為輸出穩定電壓與含有溫度係數特性的電流與電阻的數學關係式：

$$V_{ref} = I_3 \cdot 4R, I_3 = cI_0 + dI_1 \quad (3-13)$$

可由上式(3-13)得知，改變 c/d 的比例即可調整  $\frac{\partial I_3}{\partial T} < 0$ ，進而得到溫度補償的結果。

## 3-5 電路模擬分析

本節將針對上一節電路圖進行模擬，使用 TSMC 0.35 微米、一層 poly、四層 metal、互補式金氧半(CMOS)製程，配合所提供的 model 檔案及 PDK 等文件，並使用 Cadence-composer 軟體繪製電路圖 (schematic)，藉由 Spectre 及 Synosys-hspice 軟體模擬電路特性。

### 3-5-1 製程元件選擇與考量

從 TSMC 所提供的製程文件，電壓源使用 2.8V 做為設計依據，所以本論文選用之 MOS 元件主要為  $W/L=200/20 \sim 0.4/0.35(\mu\text{m}/\mu\text{m})$ ，而溫度補償元件 BJT 採用 PNP 雙載子電晶體與 PIP capacitor( $0.86\text{Ff}/\mu\text{m}^2$ )。除此之外，電阻與電容之元件選用，電容為 poly 電容主要作為 OP 運算放大器頻率補償；電阻方面採用 Doped POLY-2( $50\text{ ohm}/\text{sq}$ )，因材質本身擁有負溫度係數特性。而元件參數，需配合理論模擬值相互搭配以達最理想預期。

### 3-5-2 溫度係數電路與運算放大器模擬結果

由於正負溫度係數電路同時存在於同一個電路，故也共同使用相同運算放大器，而運算放大器對整體電路有著重要的影響，主要存在的問題可能有電路不對稱和低電壓增益造成較大抵補電壓，運算放大

器的增益值設計在 30dB，為了運算放大器回授穩定度其相位邊限設計在  $60^\circ$  以上，模擬情形如圖 3.6。運算放大器模擬增益為 37 dB，相位邊限為  $91.7^\circ$ 。圖 3.7 則為負溫度係數電流之模擬圖。

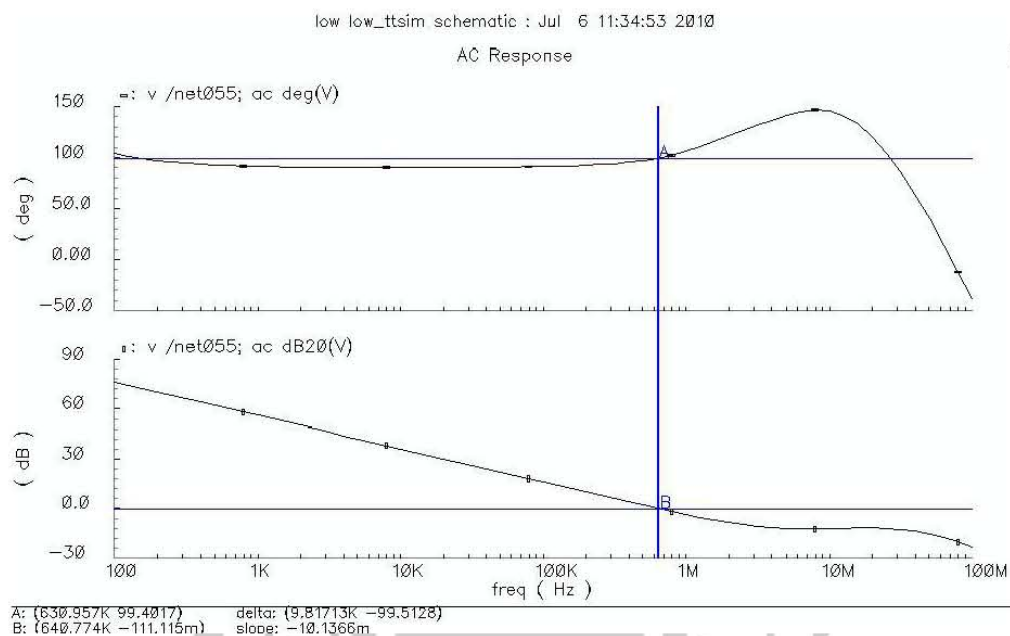


圖 3.6 運算放大器模擬結果

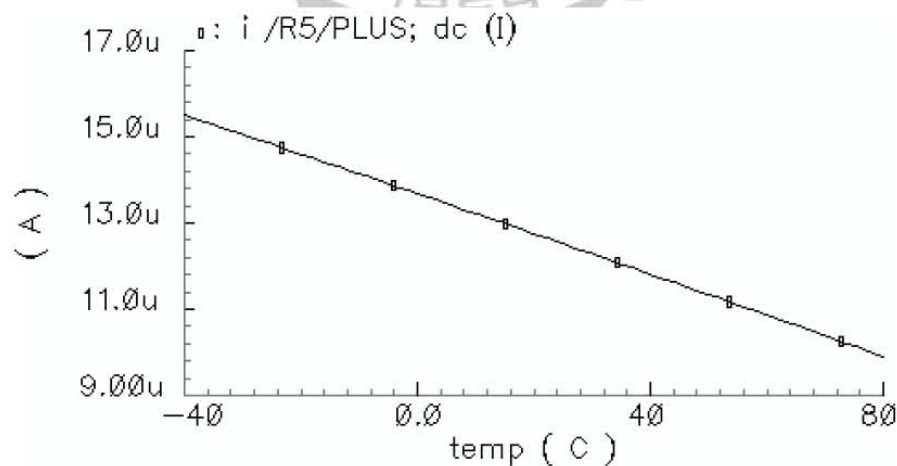


圖 3.7 負溫度係數電流之模擬圖

### 3-6 簡易型參考電位電路佈局與模擬結果

本節內容將依元件選擇考量之順序說明，模擬電路分別對完整電路做 Pre-sim 與 Post-sim 模擬。

#### 3-6-1 Pre-sim 模擬結果

在本小節將對未佈局之電路進行初步的一個模擬，在電路模擬中不加入電路佈局 RC 的參數。並以 CIC 提供之模擬條件做為模擬依據。

參考電位電路製程變異對輸出電壓模擬：

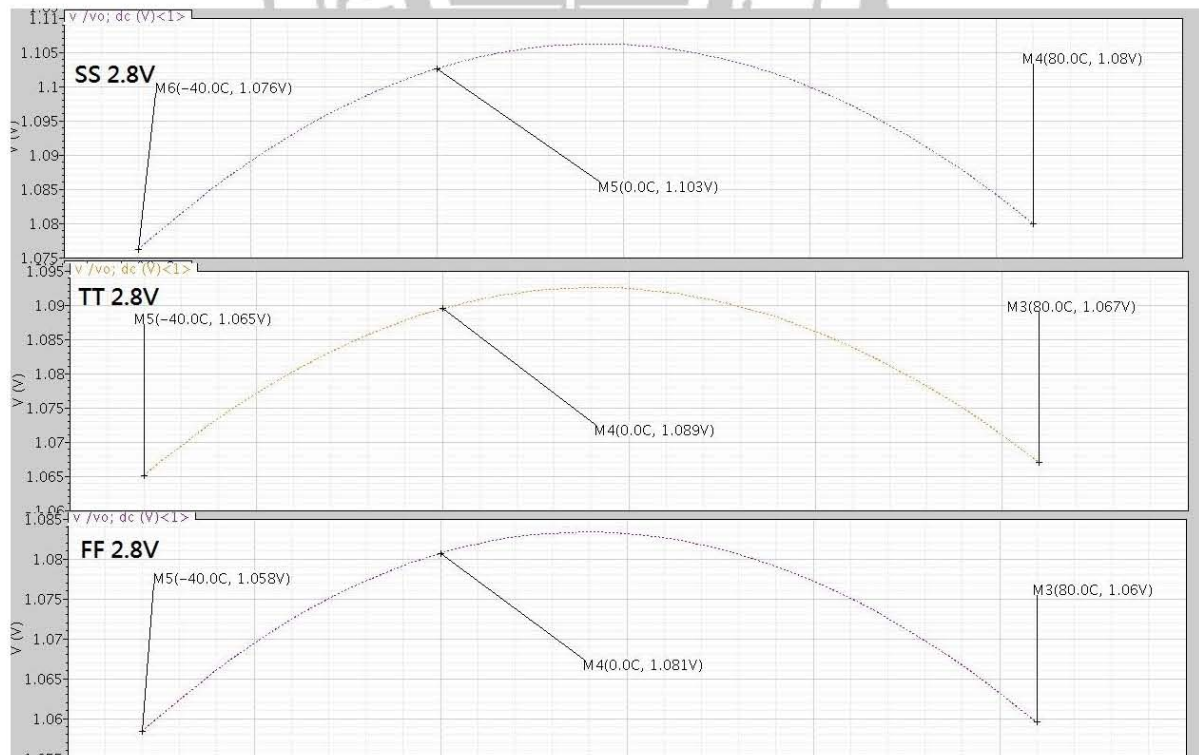


圖 3.8 參考電位電路電壓對製程變異 Pre-sim 模擬圖

表 1 參考電位電路製程變異對輸出電壓 Pre-sim 結果

Corner	SS	TT	FF
Vo (V)	1.103	1.089	1.081

皆以零度時的電壓和電流為準。

參考電位電路電壓源變異對輸出電壓模擬：

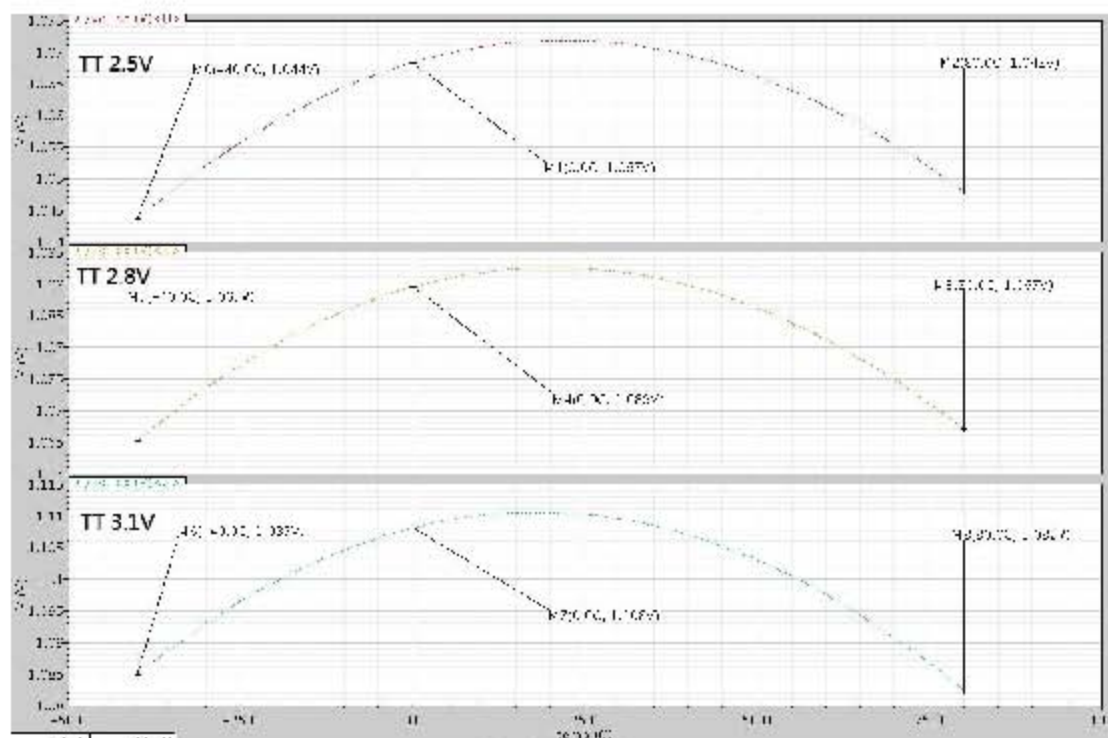


圖 3.9 參考電位電路電壓源變異對輸出電壓 Pre-sim 模擬圖

表 2 參考電位電路電壓源變異對輸出電壓 Pre-sim 結果

VDD (V)	2.5	2.8	3.1
Vo (V)	1.068	1.089	1.108

皆以零度時的電壓和電流為準。

參考電位電路輸出電流對製程變異模擬：

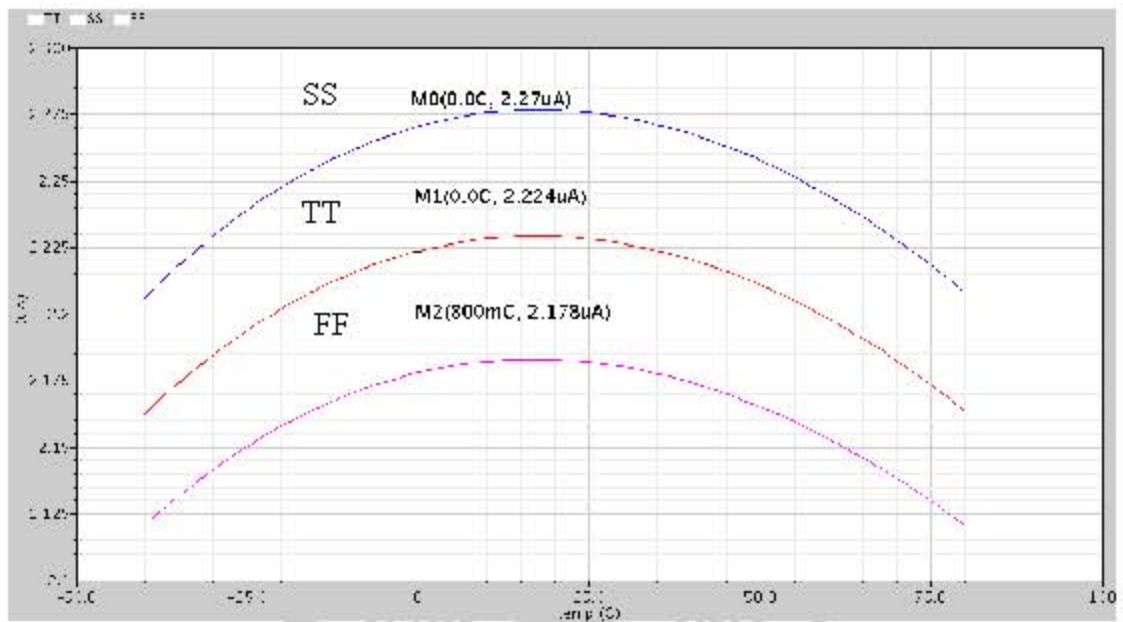


圖 3.10 參考電位電路輸出電流對製程變異 Pre-sim 模擬圖

表 3 參考電位電路輸出電流對製程變異 Pre-sim 模擬結果

Corner	SS	TT	FF
Io (uA)	2.27	2.224	2.178

皆以零度時的電壓和電流為準。



參考電位電路輸出電流對電壓源變異模擬：

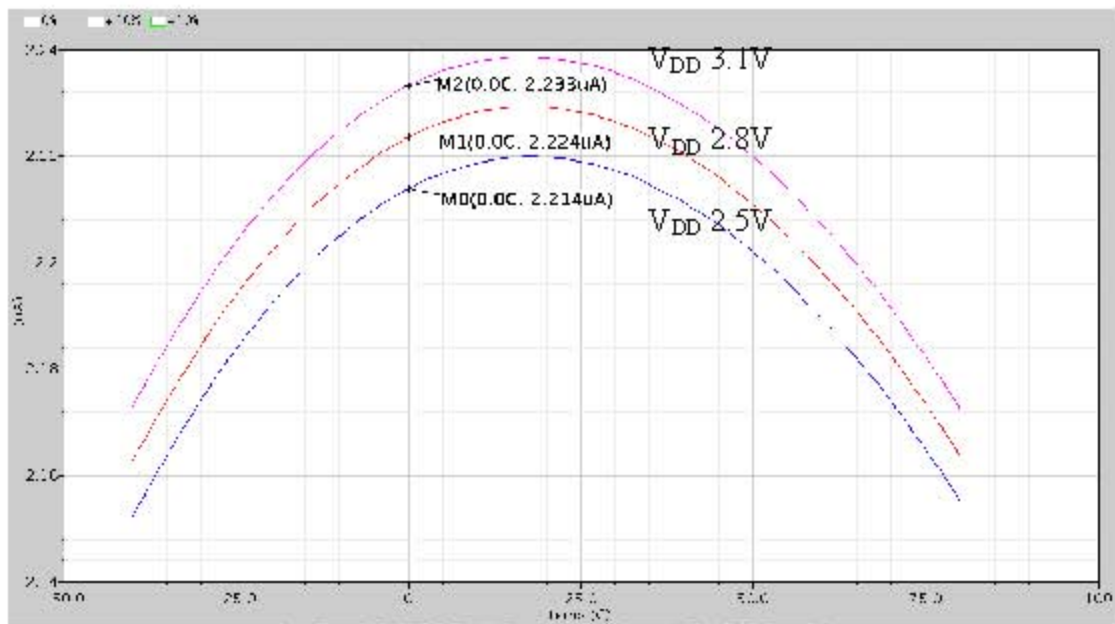


圖 3.11 參考電位電路輸出電流對電壓源變異 Pre-sim 模擬圖

表 4 參考電位電路輸出電流對電壓源變異 Pre-sim 模擬結果

$V_{DD}$ (V)	2.5	2.8	3.1
$I_o$ (uA)	2.214	2.224	2.233

皆以零度時的電壓和電流為準。



### 3-6-2 電路佈局與模擬結果

本論文電路”簡易型零溫度系數參考電位電路”經國家晶片中心(CIC)，並使用台積電 0.35 微米、一層 poly、四層 metal、互補式金氧半(CMOS)製程來實現。圖 3.8 為晶片佈局圖，晶片面積為  $533\mu\text{m}\times 533\mu\text{m}$ ；晶片四周為 PAD，而包住晶片一圈為 Dummy poly，為讓佈局驗證 DRC(Design Rule Check)認定材質密度之不足錯誤減少。

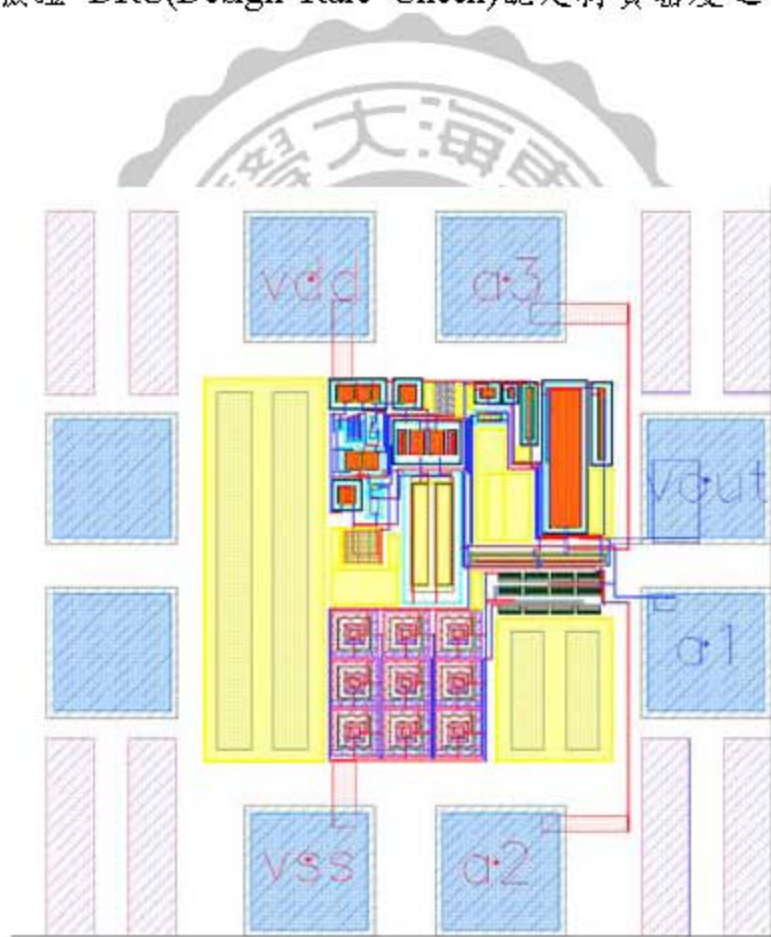


圖 3.12 簡易型零溫度系數參考電位電路佈局圖

電路佈局方式採用 CMOS 電晶體交叉對稱畫法，將製程影響降至最低。交叉對稱畫法適用在 W/L 或共同接腳之 MOS，且汲極佈局接腳儘量不從本身兩個閘極間跨越，因橫跨接線會增加耦合 RC，將影響本身原件或電路特性。

### 3-6-3 Post-sim 模擬結果

佈局後之模擬為接近晶片實體可能獲得之特性結果，為讓結果更接近晶片下線回來量測結果，模擬採用加上 PAD 之完整電路，萃取 RC 得到電路描述加以分析，圖為  $V_{ref}$  與  $I_{ref}$  對溫度之後模擬結果，溫度變化從  $-40\sim 80^{\circ}\text{C}$  下，溫度對輸出電流變化。

參考電位電路製程變異對輸出電壓模擬：

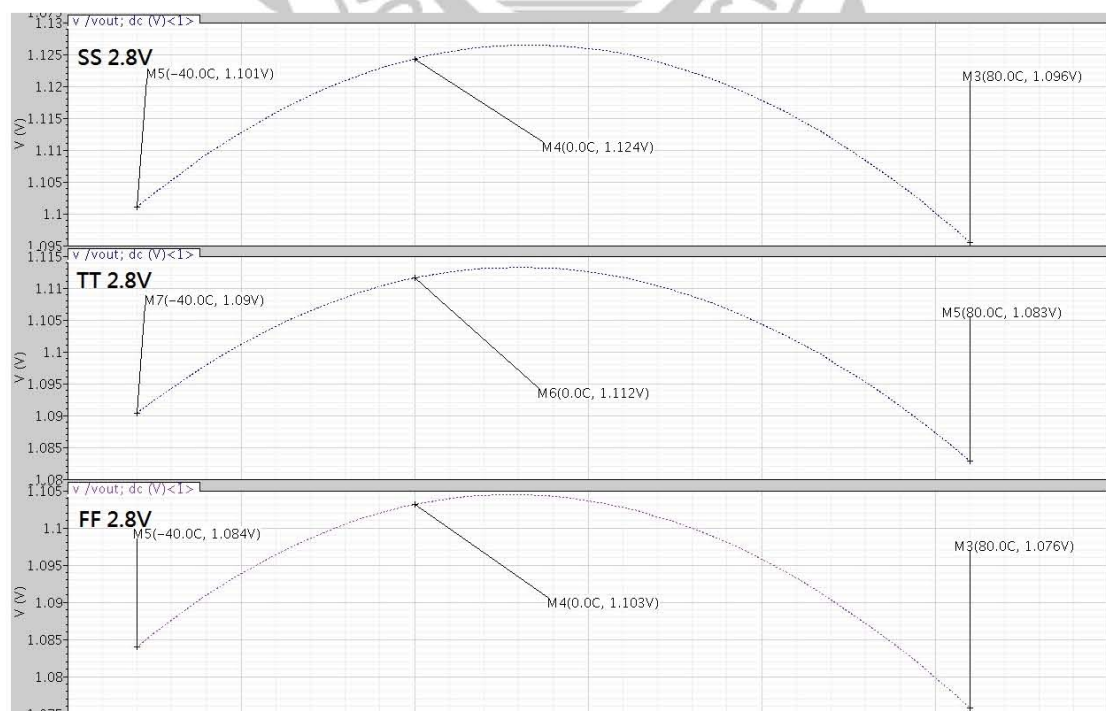


圖 3.13 參考電位電路電壓對製程變異 Post-sim 模擬圖

表 5 參考電位電路電壓對製程變異 Post-sim 模擬圖

Corner	SS	TT	FF
Vo (V)	1.124	1.112	1.103

皆以零度時的電壓和電流為準。

參考電位電路電壓源變異對輸出電壓模擬：

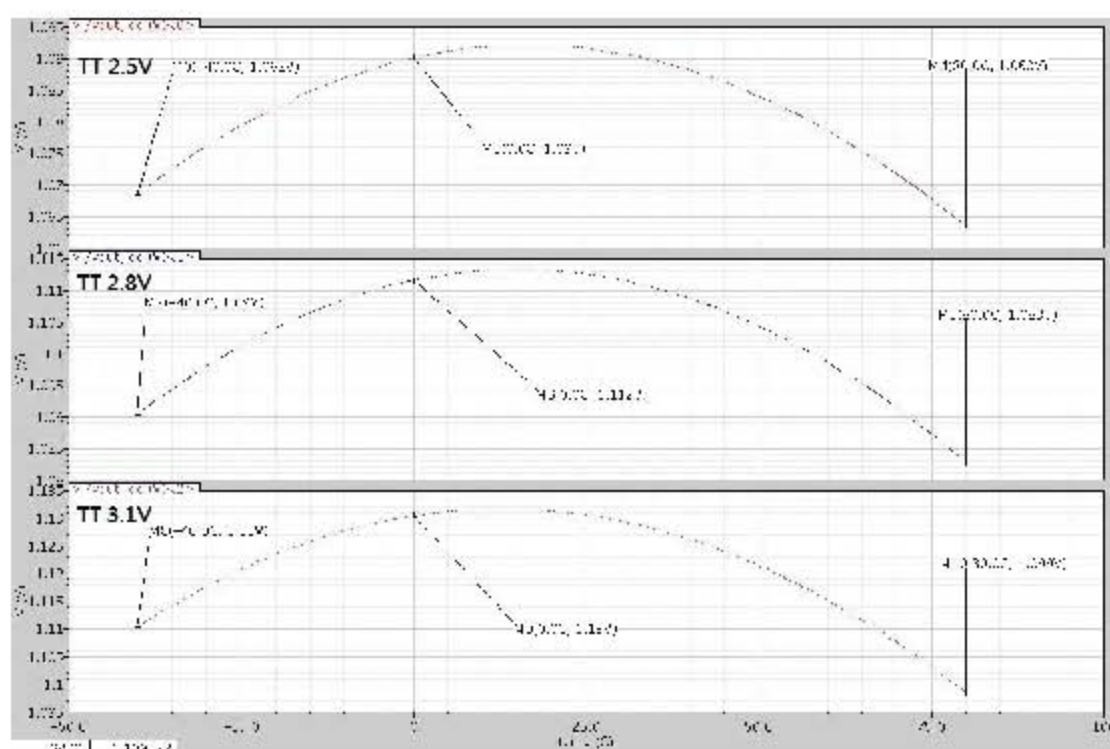


圖 3.14 參考電位電路電壓源變異對輸出電壓 Post-sim 模擬圖

表 6 考電位電路電壓源變異對輸出電壓 Post-sim 模擬結果

$V_{DD}$	2.5	2.8	3.1
Vo (V)	1.09	1.112	1.13

皆以零度時的電壓和電流為準。

參考電位電路輸出電流對製程變異模擬：

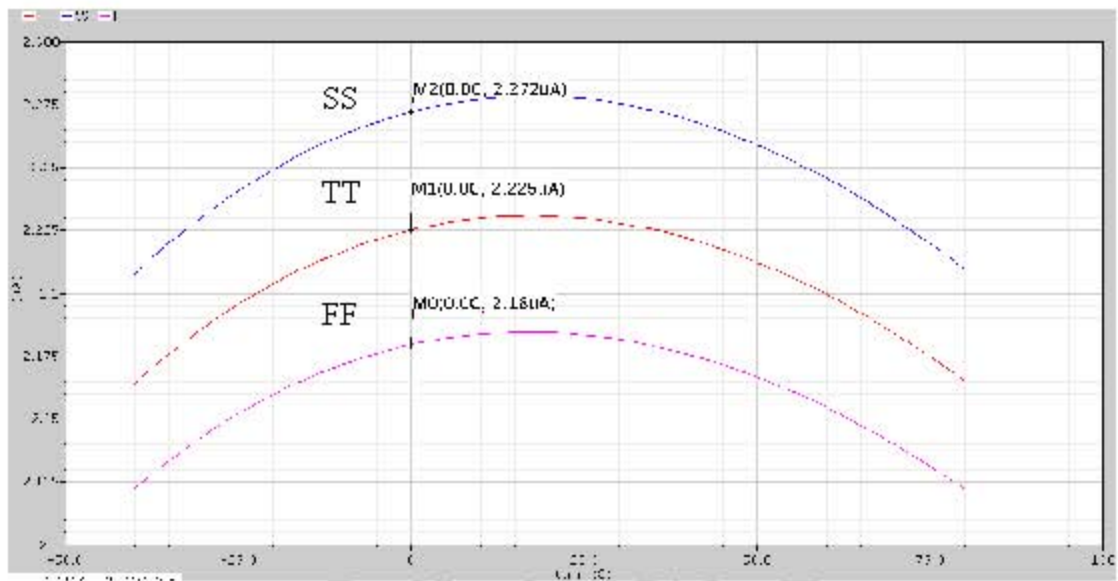


圖 3.15 參考電位電路輸出電流對製程變異 Post-sim 模擬圖

表 7 參考電位電路輸出電流對製程變異 Post-sim 模擬結果

Corner	SS	TT	FF
Io (uA)	2.272	2.225	2.18

皆以零度時的電壓和電流為準。

參考電位電路輸出電流對電壓源變異模擬：

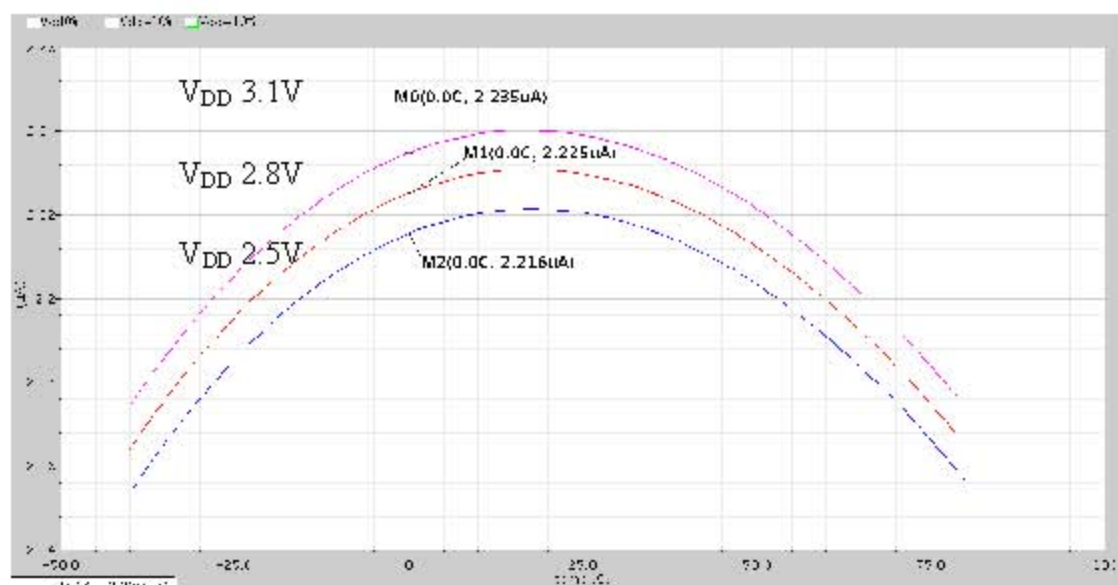


圖 3.16 參考電位電路輸出電流對電壓源變異 Post-sim 模擬圖

表 8 參考電位電路輸出電流對電壓源變異 Post-sim 模擬結果

$V_{DD}$ (V)	2.5	2.8	3.1
$I_o$ (uA)	2.216	2.225	2.235

以上為 Pre-sim 和 Post-sim 的模擬結果，先在此做一個小的結論：  
在各環境變異下不管電壓還是電流都有穩定的輸出，但還是希望在未來此電路可以將抗  $V_{DD}$  的能力提升，比  $\pm 10\%$  來得更多，並將此電路能完整的移植到 TSMC 0.25um 高壓製程，與功率因數校正電路做整合。



### 3-6-4 參考電位電路比較

表 9 參考電位電路比較表

	單位	本篇電路	[34]	[35]	[36]
輸出參考電流	$\mu A$	2.225	40	236.08	16~50
溫度係數	ppm/ $^{\circ}C$	250	250	6.9	130
溫度	$^{\circ}C$	-40~80	-60~120	-40~85	0~80
輸出電壓	V	1.112	0.740	3	2.3
晶片面積	$\mu m^2$	209x280	256x786	552x475	132x342
製程	$\mu m$	0.35	N/A	0.35	0.5

晶片面積比較皆為無 PAD 的電路面積。



## 第4章 單級升壓型功率因數校正電路

在一個追求環保與綠能的世代中，電源品質優劣的問題在綠能環保中佔有一席之地。對電力公司而言，要降低能源損耗，以及電力的汙染，就必須考慮到輸入市電的功率因數[29]。而相位角偏移和形變因數則會影響到功率因數的好壞，目前大多以研究這兩項問題，並設計其控制電路來校正這些功因問題。

### 4-1 功率因數修正原理設計理念

電力負載大多以電阻性負載、電容性負載及電感性負載三種為主[26] [29]，而電感性負載與電容性負載的問題會使電器輸入端電壓與電流間會有相位角的位移問題，當負載呈電感性，電壓會超前輸入電流一個角度，呈電容性時電壓則會落後電流一個角度。因此我們可以理解到實在功率即為平均率，可表示為：

$$P_{av} = V_{rms} \cdot I_{rms} \cdot \cos\theta \quad (4-1)$$

其中 $\theta$ 為元件阻抗性質所造成的相位角領先或落後。

則輸入電壓與電流的有效值分別為：

$$V_{rms} = \sqrt{\frac{1}{T} \int_0^T v_s^2(t) dt} \quad (4-2)$$

$$I_{rms} = \sqrt{\frac{1}{T} \int_0^T i_s^2(t) dt} \quad (4-3)$$

$v_s(t)$  為瞬間電壓大小， $i_s(t)$  為瞬間電流大小， $T$  為週期。因此由式(4-1)至式(4-3)又可得平均功率  $P_{av}$  表示為：

$$P_{av} = \frac{1}{T} \int_0^T v_s(t) i_s(t) dt \quad (4-4)$$

$I_{rms}$  為  $i_{rms}$  的均方根值，又  $S$  (Apparent Power) 視在功率可定義為輸入電壓和電流之有效值乘積：

$$S = V_{rms} \cdot I_{rms} \quad (4-5)$$

當負載呈電容性或電感性時，將會造成輸入電壓、電流產生相位角上的位移，故實際傳送到負載的實功  $P$  (Real Power) 可表示為：

$$P = V_{rms} \cdot I_{rms} \cdot \cos\theta \quad (4-6)$$



$$P = S \cdot \cos\theta \quad (4-7)$$

則功率因數 PF(Power Factor, PF) [26]可定義為實在功率和視在功率之比值為式(4-8)、式(4-9)

$$\text{PowerFactor} = \frac{P}{S} = \cos\theta \quad (4-8)$$

$$\text{PowerFactor} = \frac{V_{rms} \cdot I_s \cdot \cos\theta}{V_{rms} \cdot I_{rms}} = \frac{I_s}{I_{rms}} \cdot \cos\theta \quad (4-9)$$

$I_s$  為輸入電流的瞬間值， $\cos\theta$  為相位角位移，由上式可看出電壓與電流波形之相位差可決定功率因數的好壞，則相位差愈小，功率因數愈高；反之相位差愈大，功率因數就愈小，可由此看出功率因數的大小是由  $\cos\theta$  決定。

但實際上會影響到功率因數的並非只有相位差而以，因輸入電流會有諧波，並非純正的弦波，因此功率因數還須考慮到諧波的影響，而諧波的分析則可利用傅利葉轉換來分析如下所示為含有高頻諧波成份之輸入電流有效值所表示各級諧波有效值之向量和如下

$$I_{rms} = \left[ I_{s,rms}^2 + \sum_{n=2}^{\infty} I_{n,rms}^2 \right]^{\frac{1}{2}} \quad (4-10)$$

而電流失真成分有效值  $I_{dis}$  定義為

$$I_{dis} = \left[ \sum_{n=2}^{\infty} I_{n,rms}^2 \right]^{\frac{1}{2}} \quad (4-11)$$

對一畸變非正弦電流波形，通常以總諧波失真 (Total Harmonic Distortion, THD) 來表示其波形失真的程度，而為了量化電流波形失真的程度，可為下式

$$THD = 100\% \cdot \frac{I_{dis}}{I_s} \quad (4-12)$$

整理後可得：

$$PF = \frac{1}{\sqrt{1+THD^2}} \cdot \cos \theta \quad (4-13)$$

由上之推論可知，欲得到理想之功因則必須將輸入電流波形追隨輸入電壓波形即為相位角相同之正弦波形式。

## 4-2 功率因數修正電路

功因研究的方向其中有兩大方向，電源系統與電器設備的改善 [26]，主要為圖 4.1。

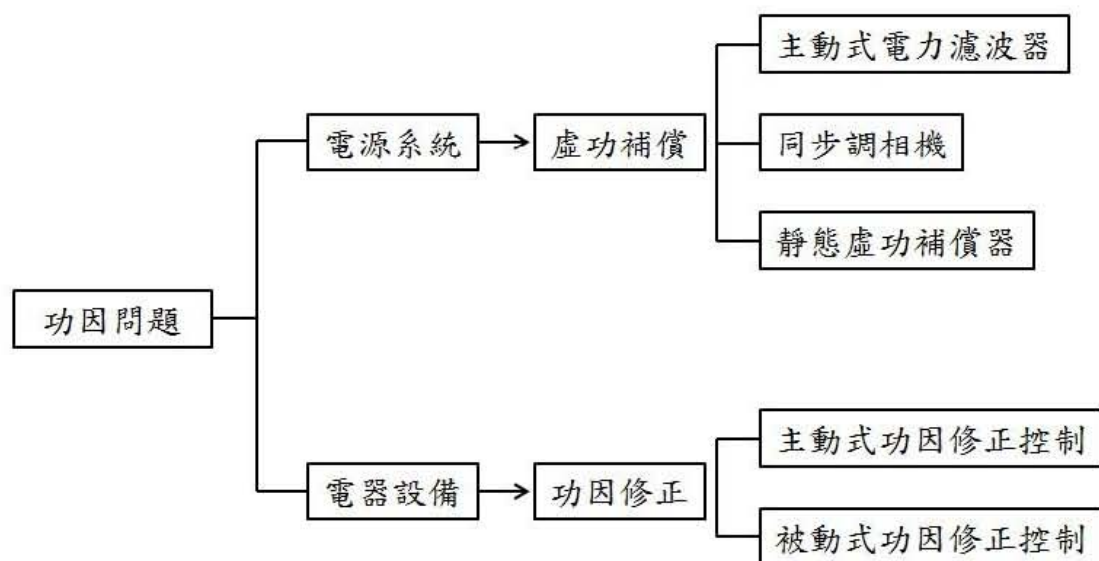


圖 4.1 功因問題與修正方式

在本文中主要是以電器設備中的功因修正為主，而功因修正電路可分為被動式和主動式兩大類，圖 4.2 可了解其發展的方向。

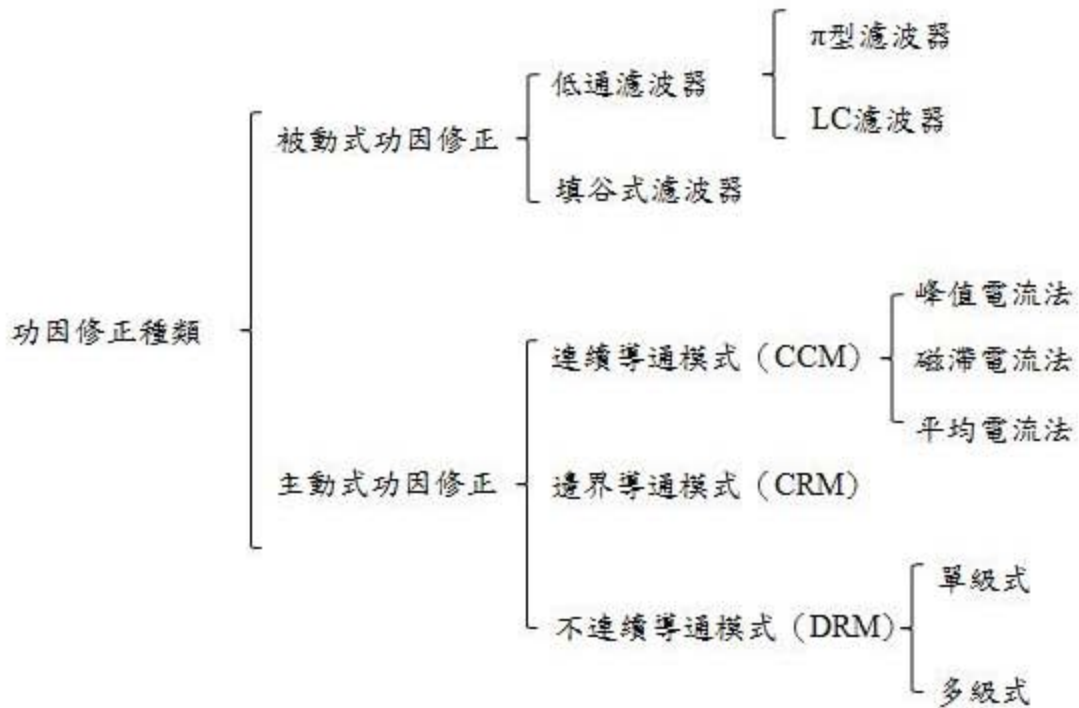


圖 4.2 功因修正種類與控制法

被動式功因修正電路主要是以電阻、電容、電感組成，主要優點為架構簡單、設計容易、電磁干擾低；其缺點則為工作頻率無法提高，使得電路設計上電容、電感的體積過大，不適合輕巧的要求及功因與整體電路效率低落，因就體積來說過於龐大再加上功因修正表現不佳所以有了主動式功因修正電路技術之產生。

### 4-3 主動式功率因數修正電路操作模式

主動式功率因數修正電路[27]，是以主動式開關元件的切換，搭配被動元件來改善輸入電流波形，並且配合適當的控制方法使其趨近於單位功因。同時主動式功率因數校正電路具有調節輸出電壓準位的功能以及高功因、體積小、重量輕等優點，因此被廣泛的使用在各電器用品之中。

主動式功率因數修正電路大致上可分為降壓型(Buck)、升壓型(Boost)、升降壓型(Buckboost)在本論文中是以升壓型為主要研究的目標，圖 4.3 為主動式功率因數修正電路的基本架構，其主要可分為功率電路與控制電路。控制電路是由比較器、誤差放大器、乘法器或其他控制電路來達到適當之控制信號。

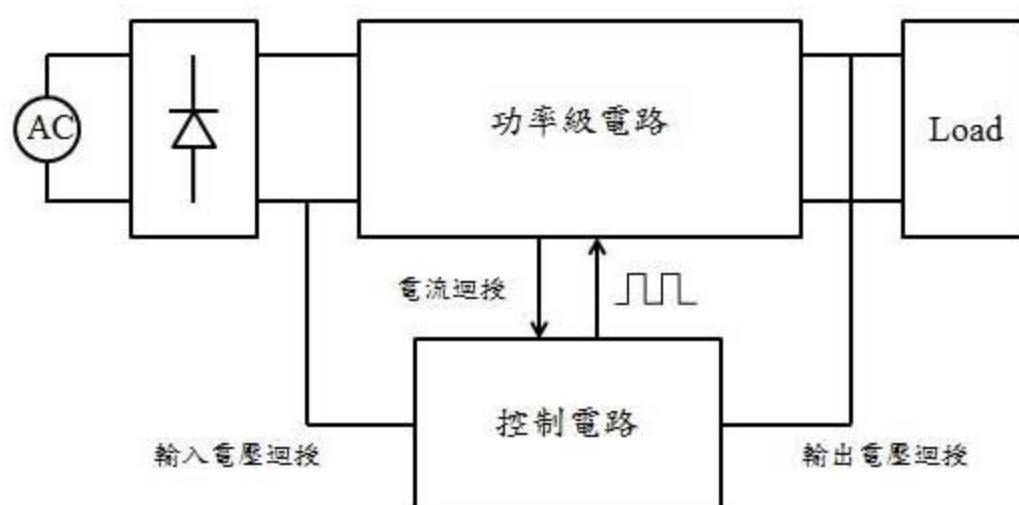


圖 4.3 主動式功率因數修正電路基本架構

升壓式功率因數修正電路，其操作模式可區分為，連續導通模式(Continuous Conduction Mode, CCM)，非連續導通模式(Discontinuous Conduction Mode, DCM)及邊界導通模式(Boundary Conduction Mode, BCM)，大致上可分為此三大類的操作模式如下圖 4.4~圖 4.6。

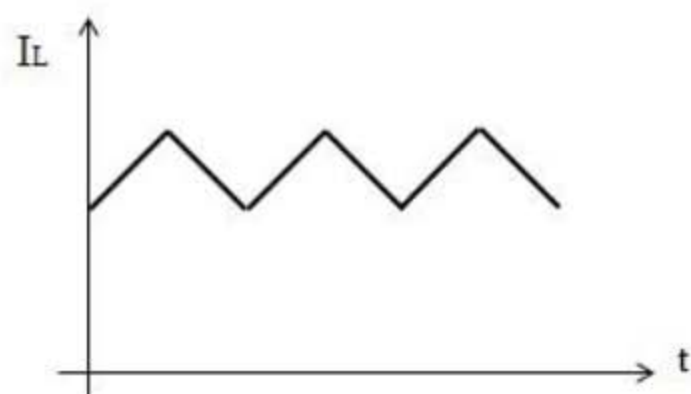


圖 4.4 連續導通模式電感電流示意圖(CCM)

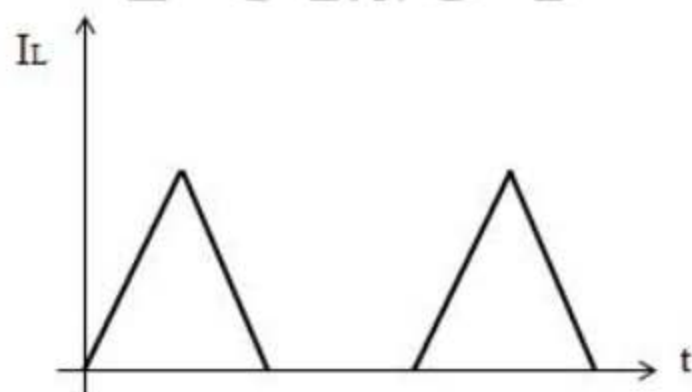


圖 4.5 非連續導通模式電感電流示意圖(DCM)

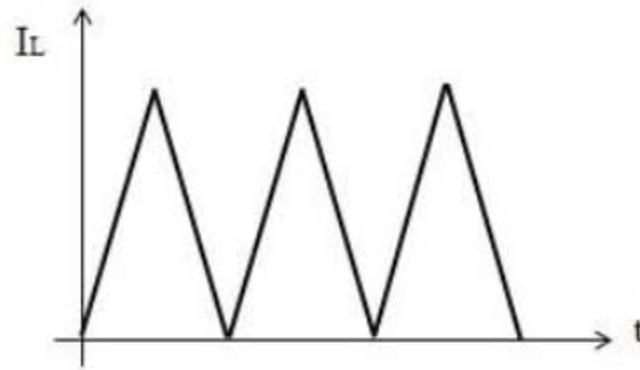


圖 4.6 邊界連續導通模式電感電流示意圖(BCM)

主動式功率因數修正電路是以上述三種方式作為控制策略，針對所處理的電感功率能量來區分，連續導通模式(Continuous Conduction Mode, CCM)，電感之電流不會降為零，圖 4.4。非連續導通模式(Discontinuous Conduction Mode, DCM)，當電感器之電流會降為零時則為此模式，圖 4.5。最後一類邊界導通模式(Boundary Conduction Mode, BCM)，圖 4.6，其性質與連續導通模式類似，可看作是連續導通模式中的一個特例，但控制法還是有所不同。

由以上得知升壓轉換功率因數修正電路操作模式的不同可大分為連續導通模式和非連續導通模式，兩者均可達到高功率因數。以往對於功率因數修正技術的研究主要集中在連續導通模式之升壓式轉換電路，因儲能電感電流連續，所以比較適合應用於較高的功率輸出，接下來將討論其控制法與控制電路。



## 4-4 主動式功率因數修正電路控制法

上一章節中討論過了操做方法後，接著來討論功率因數修正電路控制法，連續導通模式功因修正電路皆以所謂的乘法器控制原理 (Multiplier Approach Control) 為基礎[30] [31]，其控制電路皆以偵測輸入電壓、電感電流和輸出電壓後，經控制電路的運算過後，調整其功率因數，並達到輸出直流電壓穩壓的功能，主要控制法可分成以下幾種方式：

(1) 遲滯電流控制法 (Hysteresis Current Control)

(2) 峰值電流控制法 (Peak Current Control)

(3) 平均電流控制法 (Average Current Control)

(4) 邊界控制法 (Borderline Control)

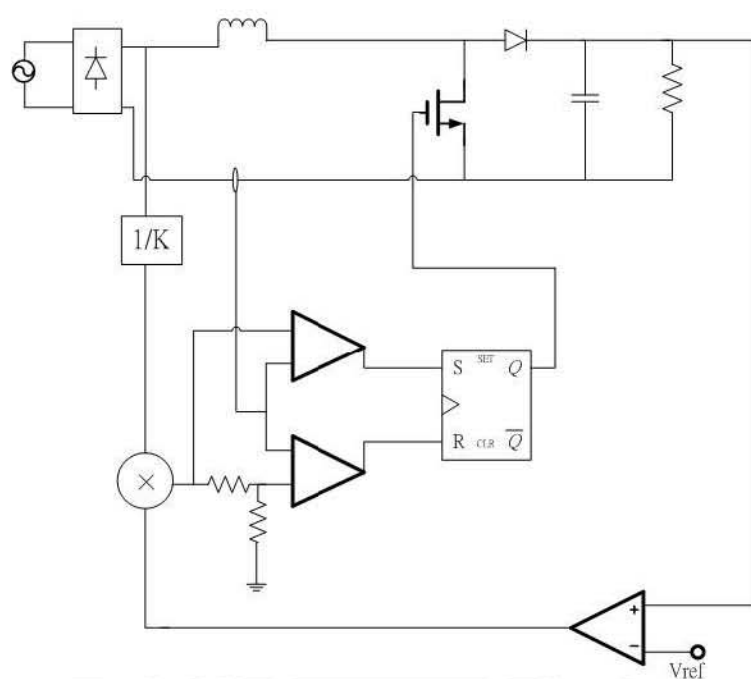
以下將會對各種控制法作較詳細的解說。

### 4-4-1 遲滯電流控制法

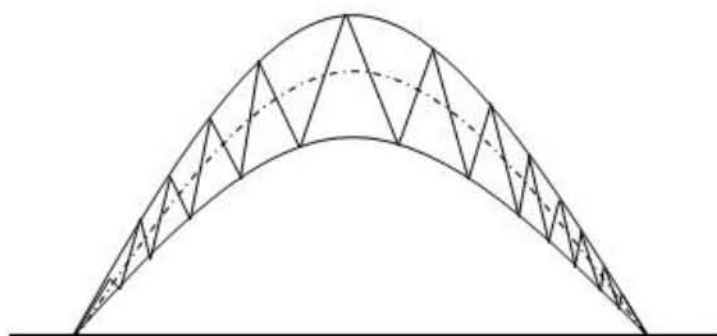
如圖 4.4(a)(b)所示為遲滯電流控制電路。遲滯電流控制法則是控制輸入電流大小使其介於所設定之遲滯電流上下限之間，當電感電流大於遲滯電流上限值時功率開關截止，使電流下降到預設區間內，反之電流小於設定電流值時則將功率開關導通，使其回到設定之內；而此控制法之電感電流則由遲滯電流的上下限也就是遲滯寬度大小而



決定，因此輸入電流失真小與不需斜率補償等優點，但因功率開關操作於變頻切換控制，造成的電磁干擾濾波器設計不易，而且此控制電路對雜訊也較敏感。



(a)

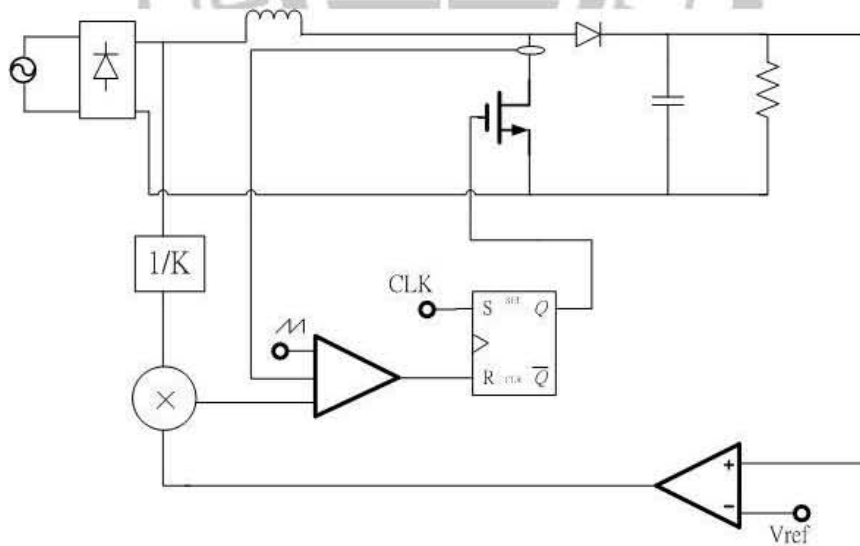


(b)

圖 4.7 (a)遲滯電流控制電路(b)遲滯電流控制之電流波形

## 4-4-2 峰值電流控制法

圖 4.8(a)(b)則為峰值電流控制電路，其操作方式為將輸出誤差信號和整流後之電壓相恒得到電流參考訊號，再將此電流參考信號和電感電流之波形作比較，使其追隨正弦命令電流來決定開關的截止與導通。由於此控制法是利用實際電感電流的峰值追隨命令電流值，而實際電感電流的上升斜率通常很小，所以當其工作在低電壓輸入狀態時，其輸入電流的訊號容易被雜訊所干擾，而在控制電路上為了使開關的切換時機準確需加上斜率補償電路(Slope Compensation)來穩定控制迴路。



(a)

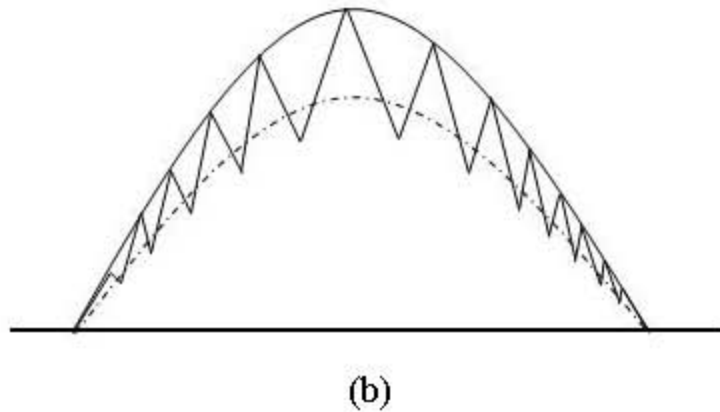
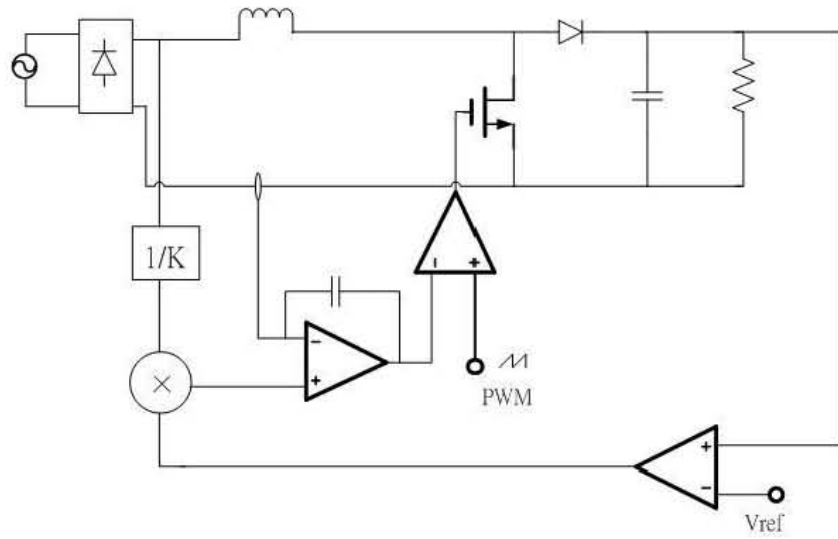


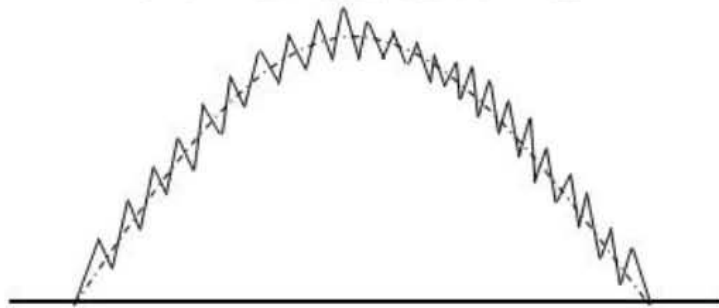
圖 4.8 (a)峰值電流控制電路(b)峰值電流控制之電流波形

#### 4-4-3 平均電流控制法

圖 4.9(a)(b)則為平均電流控制電路與電流波形，其分為電壓與電流兩個迴路，電壓迴路之設計原理和峰值電流控制迴路大致相同，主要差異在電流迴路的設計。此控制法是用一精密電阻或是霍爾元件來得到所需之電感電流訊號，將此電感電流訊號和電流參考訊號送入電流誤差放大器，其結果再和脈衝電壓做比較而得到功率開關控制訊號。平均電流控制法為目前最常運用的控制方式，其切換頻率固定，與峰值電流控制法相比較平均電流控制法具有更佳的電流波形與更低的諧波量。



(a)



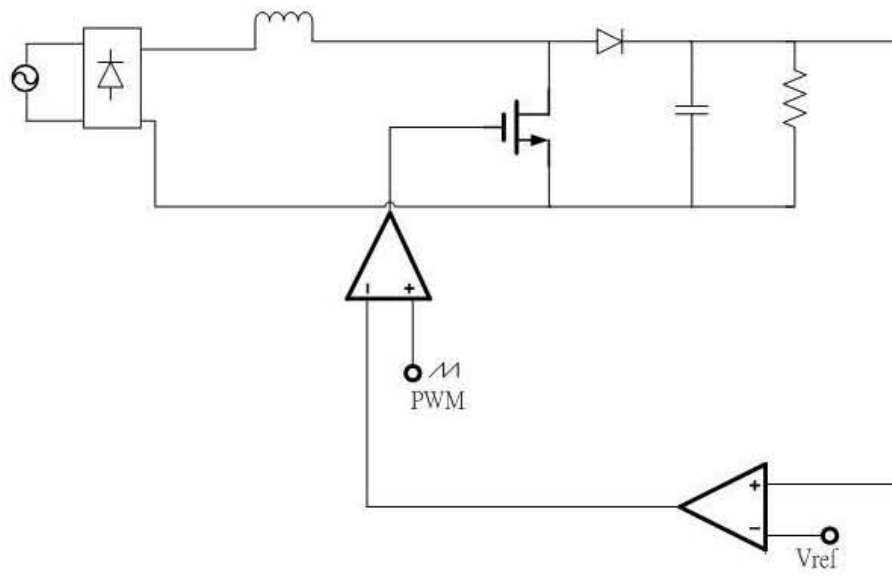
(b)

圖 4.9 (a)平均電流控制電路(b)平均電流控制之電流波形

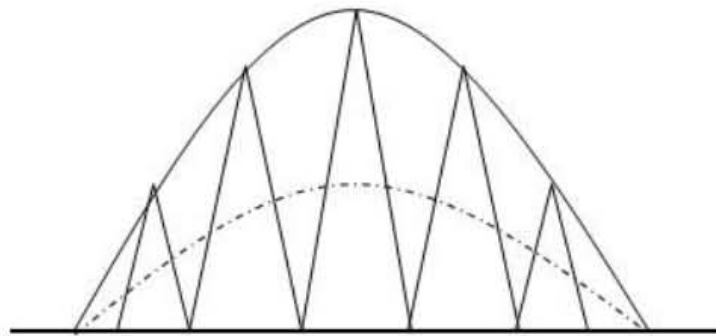
#### 4-4-4 邊界控制法

如圖 4.10(a)(b)為邊界控制法控制電路，邊界控制法控制電路在各控制法電路中是最為簡單的主動式功率因數修正電路架構，從轉換器輸出端以電阻分壓方式回授輸出電壓，再與參考電壓結合經誤差放大器產生輸出誤差訊號再將此訊號與振盪電壓做比較所產生的波形對功率開關做對應的控制。而此控制法主要是針對電感電流操作在不連續導通模式下所設計的，因此輸入之電流訊號能夠自動跟隨輸入電壓而達到功率因數修正的目的。

此架構的設計不需要用到乘法器與電流感測電路，而電路架構設計也不需要複雜的控制迴路所以可以節省設計上的成本，但此控制法操作在不連續導通模式，所以能提供之功率也因此較操作在連續導通模式的控制法為低。



(a)



(b)

圖 4.10 (a)電壓隨耦控制電路(b)電壓隨耦控制之電流波形

## 第5章 升壓型切換式電路設計

前一章中分別介紹了幾種功因修正電路的操作模式與控制方法，每種方法各有其優缺點，依使用者所應用的方向，可加以選擇和改進控制電路原型的基本設計。而一般增壓轉換(BOOST)電路用於AC/DC、DC/DC converter，兩者皆以隱定輸出電壓為最終目的，而使用於PFC電路上，其特性就有所不同。這是因為AC/DC輸入端是經橋式整流後得到的全波整流波形，所以在此AC/DC增壓轉換(BOOST)電路將會比DC/DC增壓轉換(BOOST)電路，設計上來得不同，而設計考量也將會比較複雜許多在此本論文是採用平均電流控制法作為功率因數修正控制電路的選擇圖5.1。

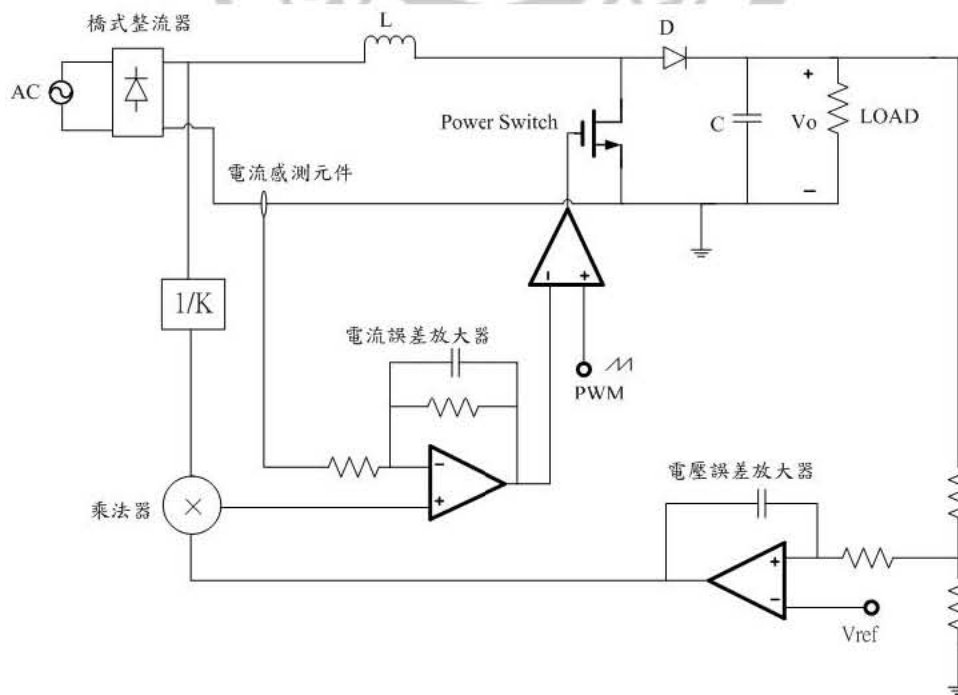


圖 5.1 平均電流控制法基本電路圖

## 5-1 系統架構與介紹

此功率因數控制電路設計中使用的控制法選用CCM平均電流控制法，此控制法的特色連續導通模式電流擺動的幅度比不連續模式來得少，所以有比較低的I<sub>RR</sub>的損失，並且有較低的漣波電流使得電感鐵心的損失較低。較少的電流擺動的幅度也會降低EMI，並且能使用一個較小的輸入過濾電容器。但因為當電感電流在零點時，MOSFET並沒有導通，所以須要一個非常快速的逆向恢復二極體來將損失控制到最低的限度。以下為此控制法的電路架構如圖5.1，和進一步的電路的運做方式介紹。

對於CCM的PFC而言，常用的控制模式是所謂的平均電流控制模式，其控制模式電路如圖5.2所示，圖中的 $V_{in}$ 為直流電壓而 $I_p$ 為直流電流，其各點的電壓及電流波形如圖5.3所示。其中開極器是受控於PWM比較器的 $V_s$ 電壓和 $V_c$ 電壓的比較結果，當 $V_s$ 大於 $V_c$ 時，比較器輸出為低電位，而 $V_s$ 小於 $V_c$ 時，比較器輸出為高電位。因此電路剛開始運作時， $V_s$ 小於 $V_c$ ，此時比較器輸出高電位，電晶體Q導通，如圖5.2中， $V_{in}$ 電壓循著虛線路徑向電感L充電，故電感電流 $i_L$ 上升，此時間區間如圖5.2中的ab段。到時間點b時，由於 $V_s$ 大於 $V_c$ 時，比較器輸出由高電位變成低電位，電晶體Q截止，



如圖 5.2 中， $V_{in}$  電壓加於電感  $L$  的反向電壓經二極體  $D$  向電容  $C$  充電，並供應電壓給負載（如圖 5.2 灰色路徑）。此時電感  $L$  為放電狀態，故電感電流  $i_L$  下降，此時間區間如圖 5.3 中的  $bc$  段。到時間點  $c$  時， $V_s$  小於  $V_c$ ，此時比較器又輸出高電位，促使電晶體  $Q$  再度導通，如此週而復始，以電流放大器的電流波形和鋸齒波相互比較而產生電晶體的驅動波形，達成以平均電流來控制負載電壓的目的。

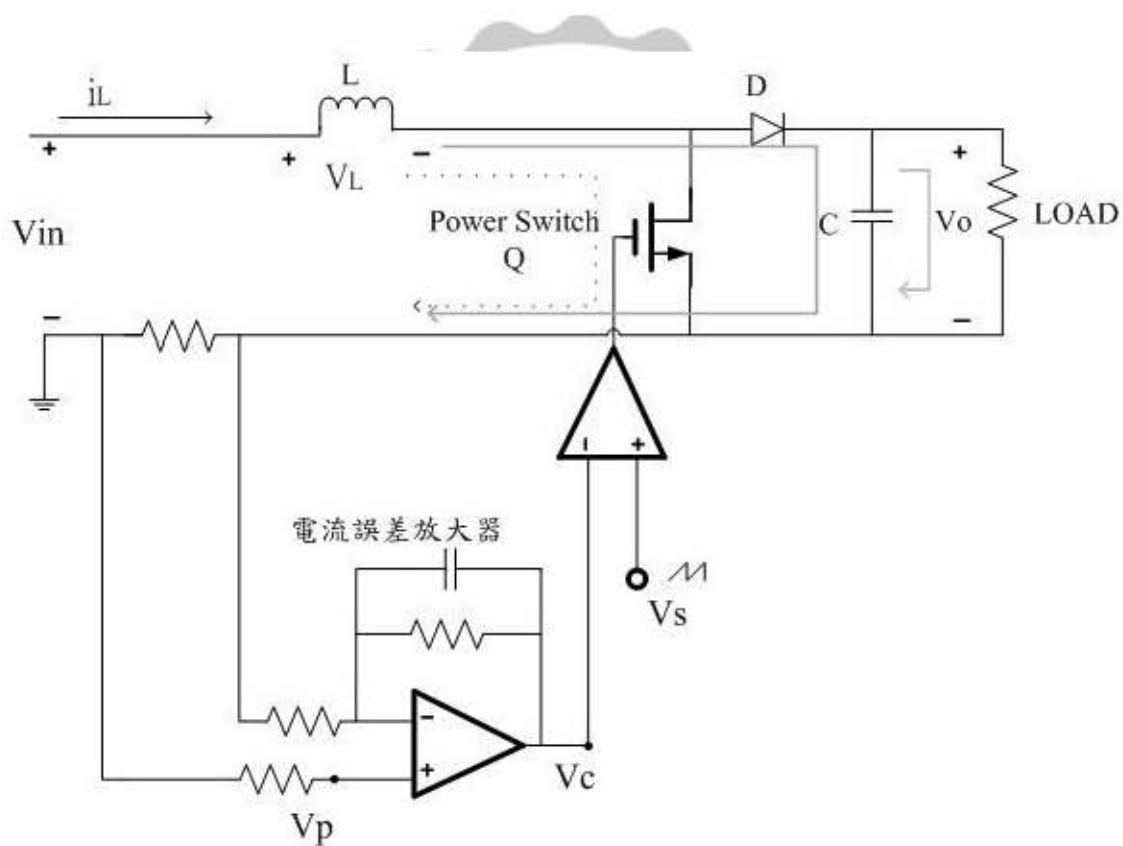


圖 5.2 平均電流控制法架構圖

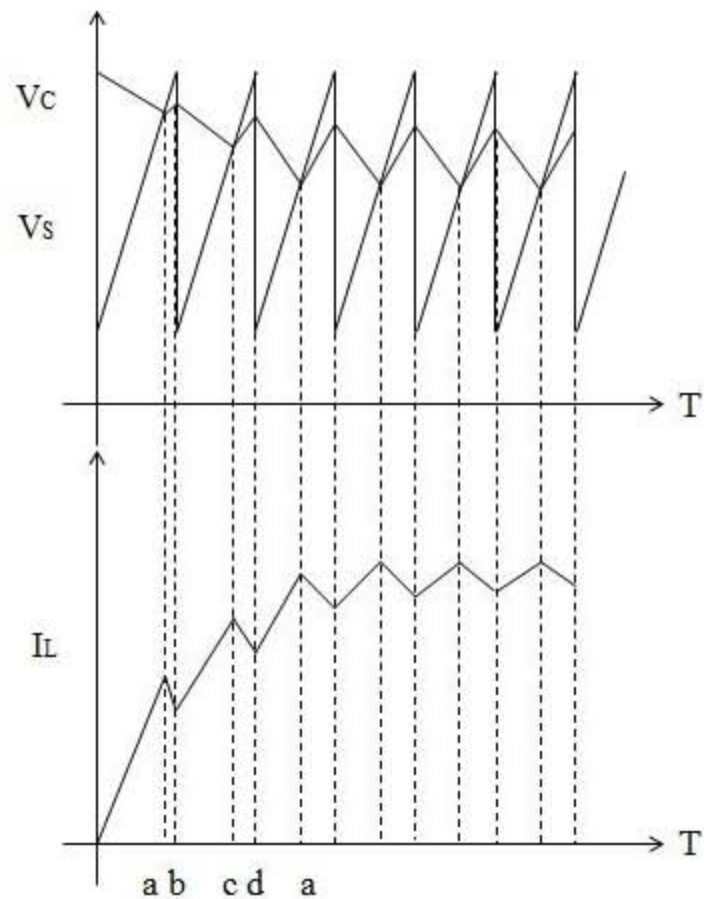
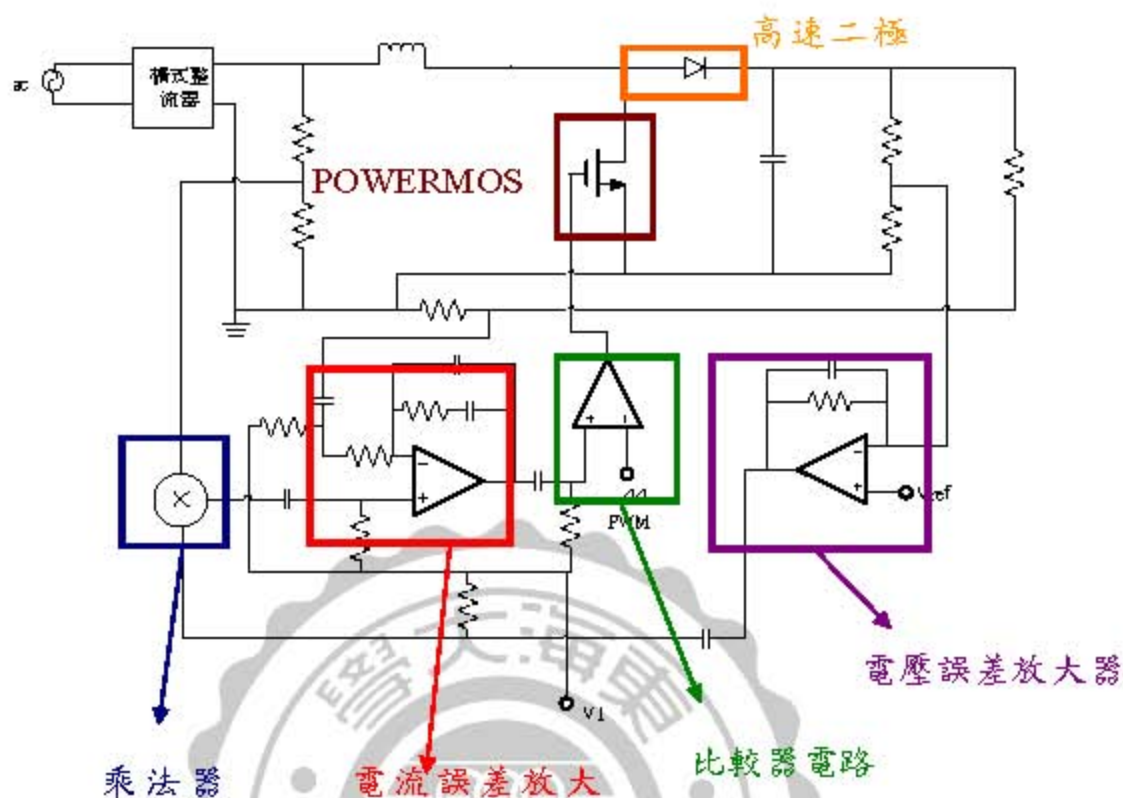


圖 5.3 電壓與電流波形圖

電路中主要包含幾種控制單元，圖 5.4 分別為：電壓誤差放大器、電流誤差放大器、乘法器、過流保護電路、比較器，以下將為其中的控制單元做介紹。



## 5-2 傳統參考電位產生電路

對溫度顯示低相關性之參考電壓和電流在許多類比電路中被證明為非常重要[28]，因為大部分的製程參數隨著溫度變化，如果參考電路與溫度無關時，則它通常也與製程無關。在大部份的應用中所需的溫度相關性假設了三種因素：

- (1) 和絕對溫度成比例 (proportional to absolute temperature,

PTAT)。

(2)常數  $G_m$  之特性，即電晶體的轉導值固定。

(3)和溫度無關。

在電路設計上需要使用到不對供應電壓源變異、製程變異與溫度變異之參考電位電路，因此我們選用了電壓型串聯基極—射極電壓之帶差參考電路[]，圖 5.5。此電路在設計上較為簡單，通用性也較為廣泛，是一個非常傳統且穩定的電路系統，但此電路所用到的面積也較大了一些，但因串聯基極—射極電壓之帶差參考電路多了兩個雙載子電晶體，因此可降低偏移效應，輸出之參考電位也較為穩定。

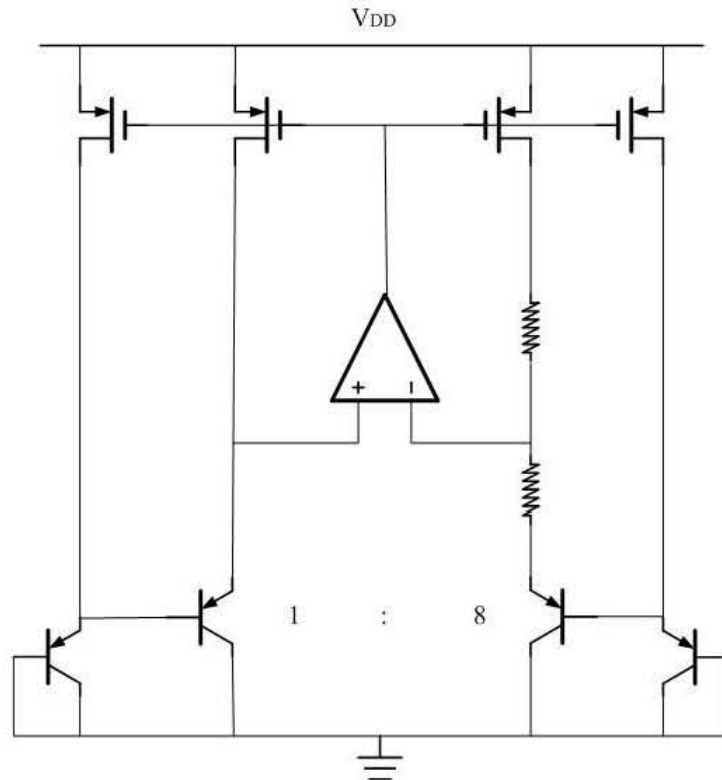


圖 5.5 串聯基極—射極電壓之帶差參考電路

### 5-3 電壓誤差放大器

使用誤差放大器[32]補償的目標是確保最終的電源供應器具備因應負載與輸入變化的快速暫態響應，而且不會振盪。具有較重阻尼的補償方式可確保輸出電壓不會振盪，但遇到輸入與負載快速變化時，輸出電壓的暫態響應則顯得緩慢，同時也有可能由短路狀態回復時造成較大的超越量。相反的，若響應太快則可能會導致控制迴路振盪。

輸出電壓  $V_o$  經由分壓之後送入誤差放大器的反向端，正向端接參考電壓，其轉移函數為式(5-1):

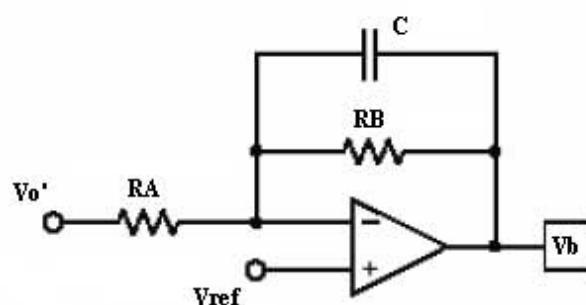


圖 5.6 電壓誤差放大器架構圖

$$\frac{V'_o - V_{ref}}{R_A} = \frac{V_b - V_{ref}}{C // R_B} \quad (5-1)$$

$$V_b = \frac{C \parallel R_B}{R_A} (V_o - V_{ref}) + V_{ref} \quad (5-2)$$

誤差放大器可將增益推到高頻，所以低頻時頻寬相對較小，對於負載快速變化反應較為緩慢，可以減少雜訊進入，而控制訊號保持輸出的穩定。

#### 5-4 電流誤差放大器

此類型之補償器原理與電壓誤差放大器相同，選擇適當的元件值後，可使迴路交越頻率的位置落於所設計之位置，進而改善系統的穩定度與暫態響應[32]。

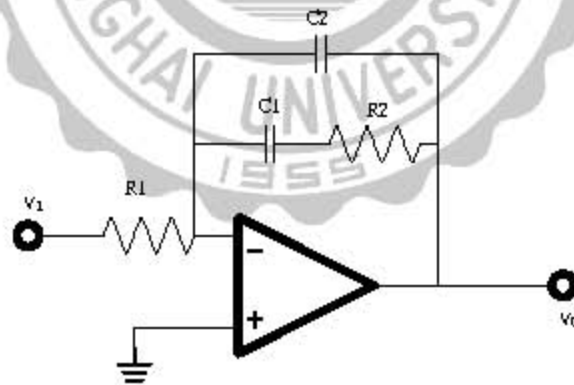


圖 5.7 電流誤差放大器架構圖

$$\frac{V_o(s)}{V_i(s)} = \frac{1+sR_2C_1}{sR_1(C_1+C_2)[1+\frac{R_2C_1C_2}{(C_1=C_2)}s]} \approx \frac{1+sR_2C_1}{sR_1C_1[1+sR_2C_2]} \quad (5-3)$$

## 5-5 過電流保護電路

切換式升壓電路在輸出端具有一個大的輸出電容，因此往往在電路導通瞬間會產生很大的突波電流。因為在電容的直流分析中，導通瞬間等效於短路，所以會有大電流的產生，為了避免此突波電流將電路燒毀，通常的作法是在前端加入突波吸收器，將突然進入的電流給抑制掉。

在本電路具備了一組限流器，可以選擇是否使用外部突波吸收器或是使用內部之限流器，其主要使用單一比較器進行運算，並透過反向器輸出推動高壓的 MOS 元件，其導通路徑有兩種，當輸入電流小於比較器參考值時，高壓元件導通，使得電路導通並通過的是一小電阻的路徑。但是當輸入電流高於參考值的時候，比較器輸出訊號與之前相反圖 5.8，此時高壓元件會不導通。因而電流改走另一具有高阻抗的路徑圖 5.9，當行經此路徑的時候，因為歐姆定律關係，整體電阻越高，電流越小，電流大小與電阻大小成反比，透過兩種路徑的轉換可以在電路啟動瞬間將電流給壓抑下來，進而保護後端電路得以進行工作。

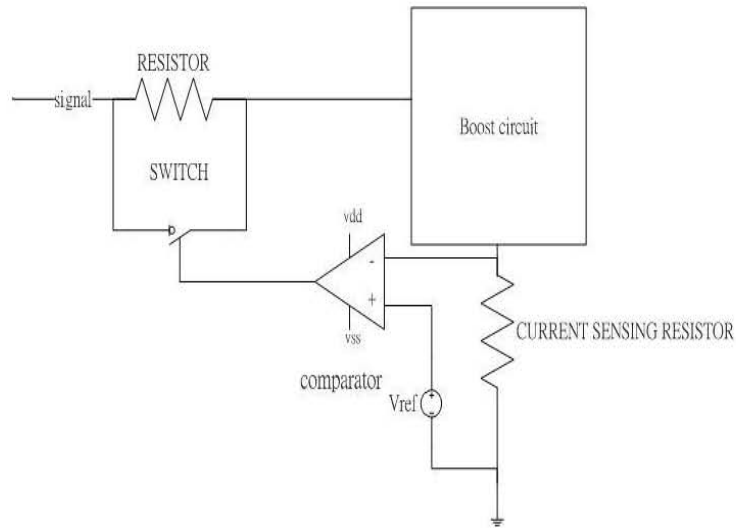


圖 5.8 過流保護電路架構

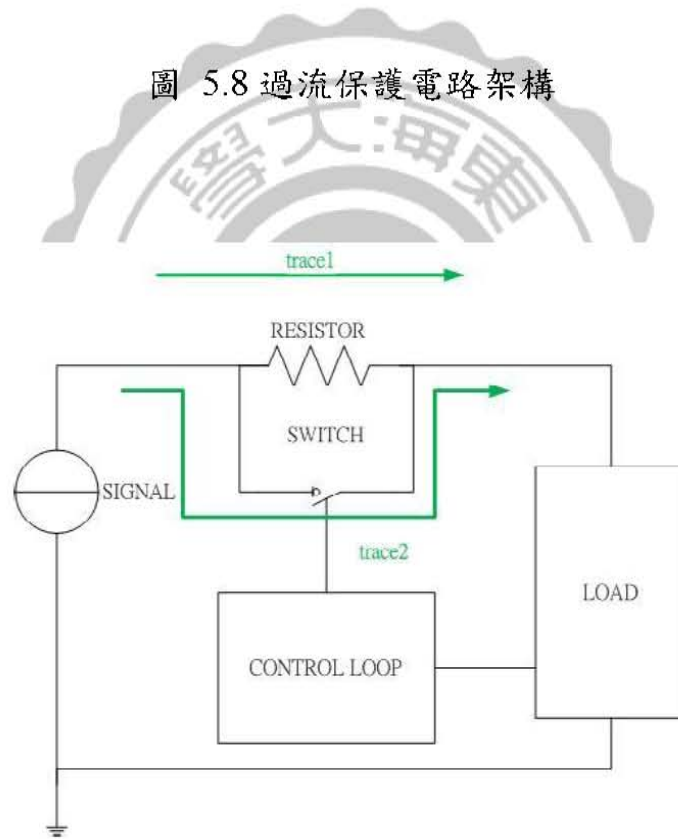


圖 5.9 電路瞬間啟動時電流方向



## 5-6 乘法器電路

在功因修正電路中乘法器一直扮演著非常重要的角色，因輸入電壓相位與輸出電壓相位結合後，將與電流訊號作比較，此訊號則為與電流訊號比較之準位，使電路達到功因修正的目的。

在眾多的乘法器電路架構之中，在此選擇使用 G-CELL 乘法器[9] 圖 5.10。其電路優點為有兩組正負的輸入端，輸出訊號可為正相或反相視電路而定，電路為兩組差動對組成所以抗雜訊的能力較一般電路好，缺點則為以上所述，因電路為兩組乘法器組成所以電路面積較大。

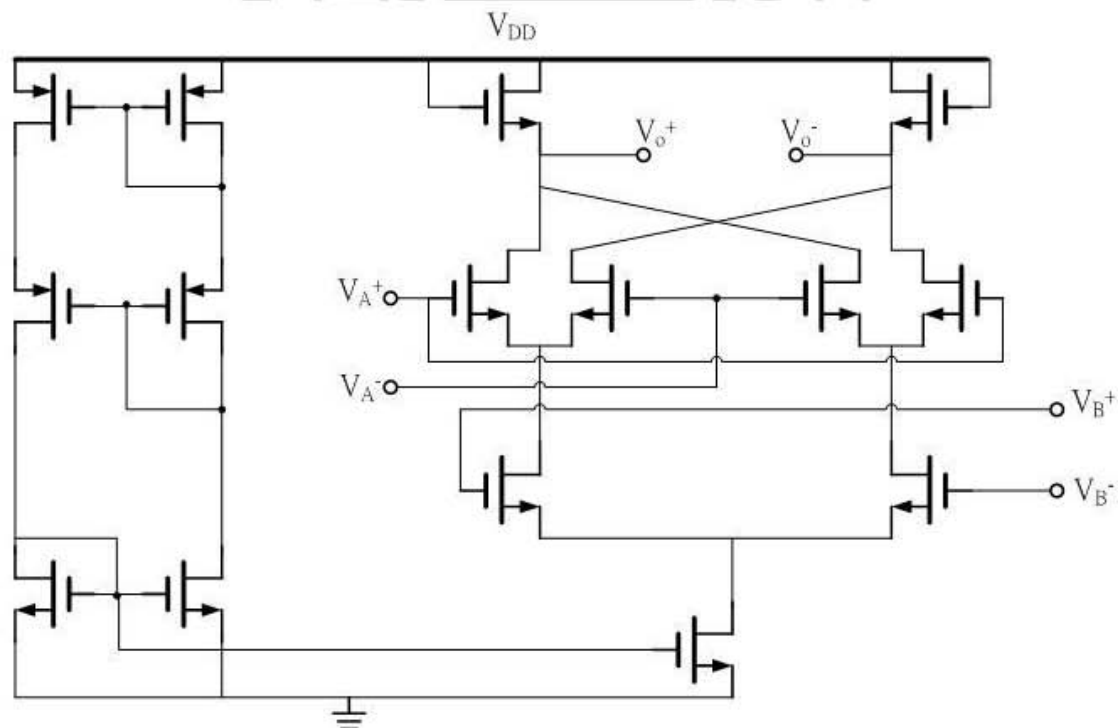


圖 5.10 乘法器架構圖

## 5-7 小電阻量測電流位準

在多數文獻中多採用耦合電感器量測流經電感上的電流，本次結構中採用小電阻進行比例量測[32]，藉以取代大多數人使用之耦合電感器，雖然電感器之特性和能量消耗優於電阻，但是對於體積而言，電阻遠小於電感器，並且對於低功率電器與晶片整合較為合宜。



## 5-8 升壓型電路佈局與模擬分析

本章將針對上一章節電路圖進行模擬，使用 TSMC HV 0.25 微米、一層 poly、三層 metal、互補式金氧半(CMOS)製程，配合所提供的 model 檔案及 PDK 等文件，主要分別對 OP 運算放大器、Bandgap 參考電位電路及整體電路做模擬與分析，使用 Cadence-composer 軟體繪製電路圖(schematic)，並藉由 Spectre 及 Synosys-hspice 軟體模擬電路特性。

模擬的部分是以國家晶片中心 CIC 所提供之 Tapeout Review Form 檔案內容為主，Tapeout Review Form 的用意在提醒設計者在設計、模擬、佈局、佈局驗證及下線時具備設計理念及了解應注意事項，藉此提昇晶片設計的成功率。

### 5-8-1 運算放大器模擬結果

運算放大器對整體電路有著重要的影響，主要存在的問題可能有電路不對稱和低電壓增益，運算放大器的增益值設計在 60dB，為了運算放大器回授穩定度其相位邊限設計在 60°以上。模擬情形如圖 5.11，運算放大器模擬增益為 65db，相位邊限為 89°。

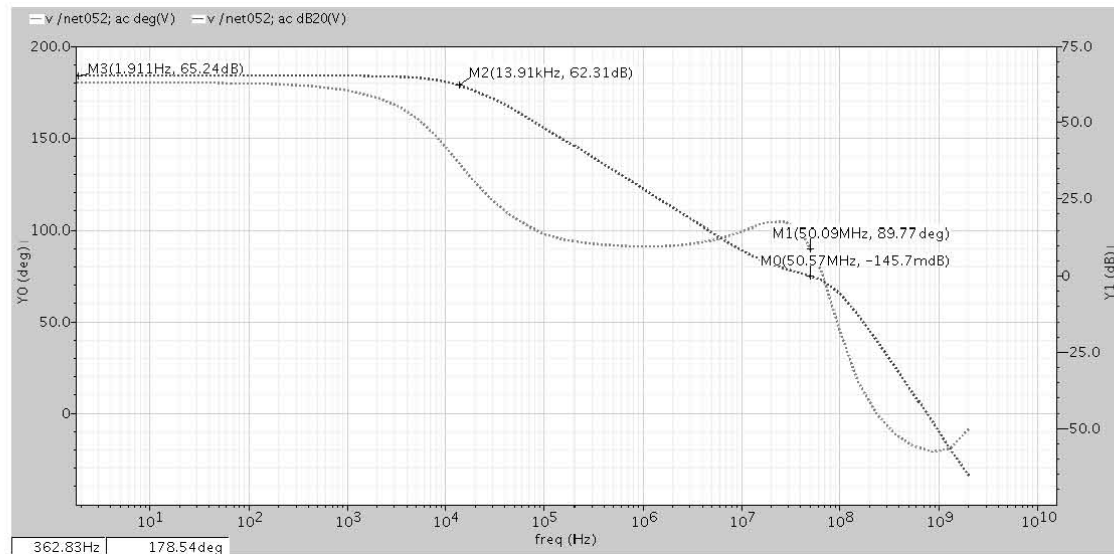


圖 5.11 運算放大器相位邊限及增益模擬結果

### 5-8-2 傳統參考電位電路模擬結果

在這以製程變異和電壓變異的模擬為主，圖 5.12、圖 5.13 中雖然看起來差滿多的但可看到小數點後兩位的電壓值幾乎是不變的，而小數點兩位以後的數值對本電路來說已經是可以忽略的，所以在此就不再做更深的討論了。

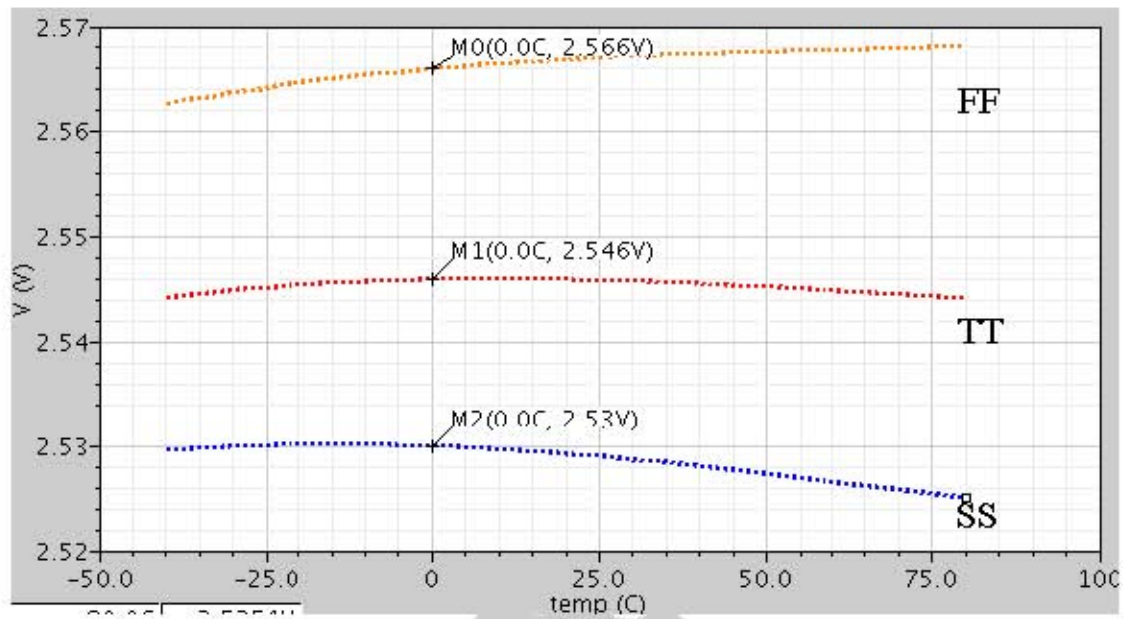


圖 5.12 製程變異對輸出電壓的影響

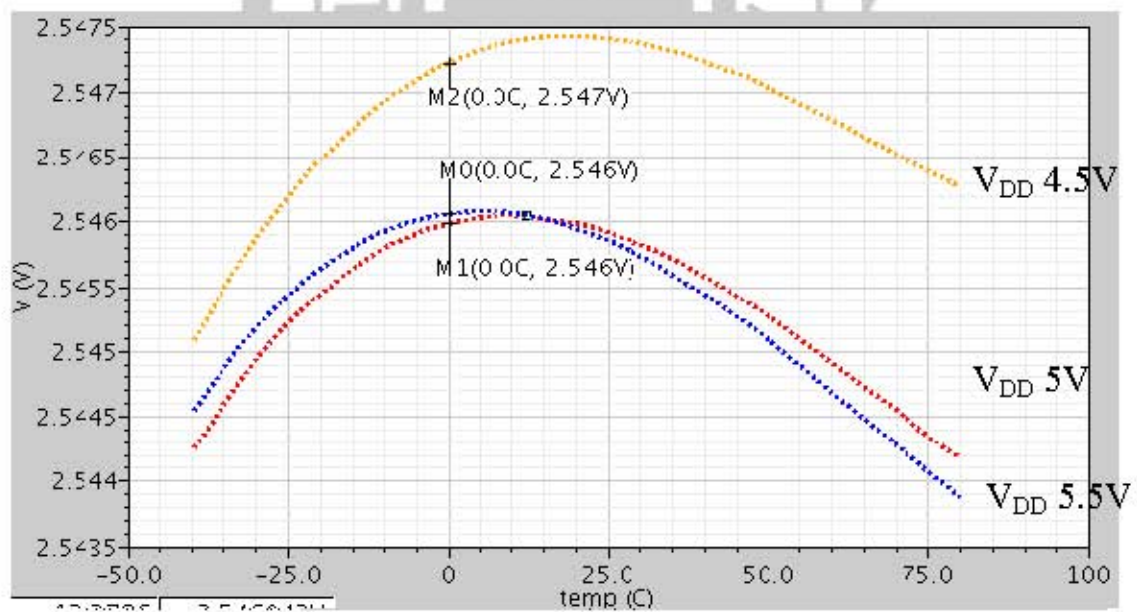
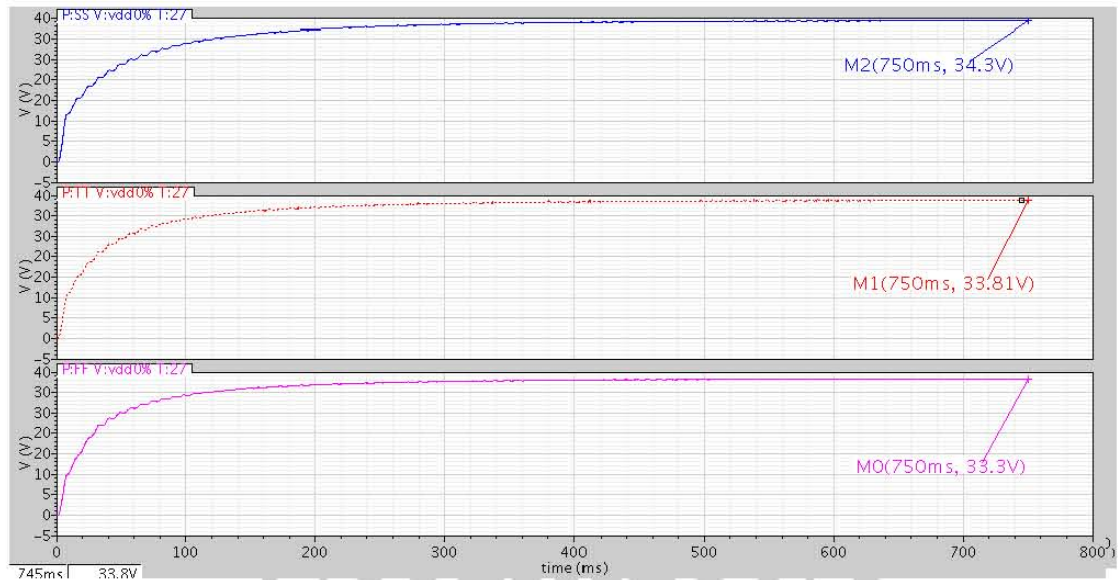


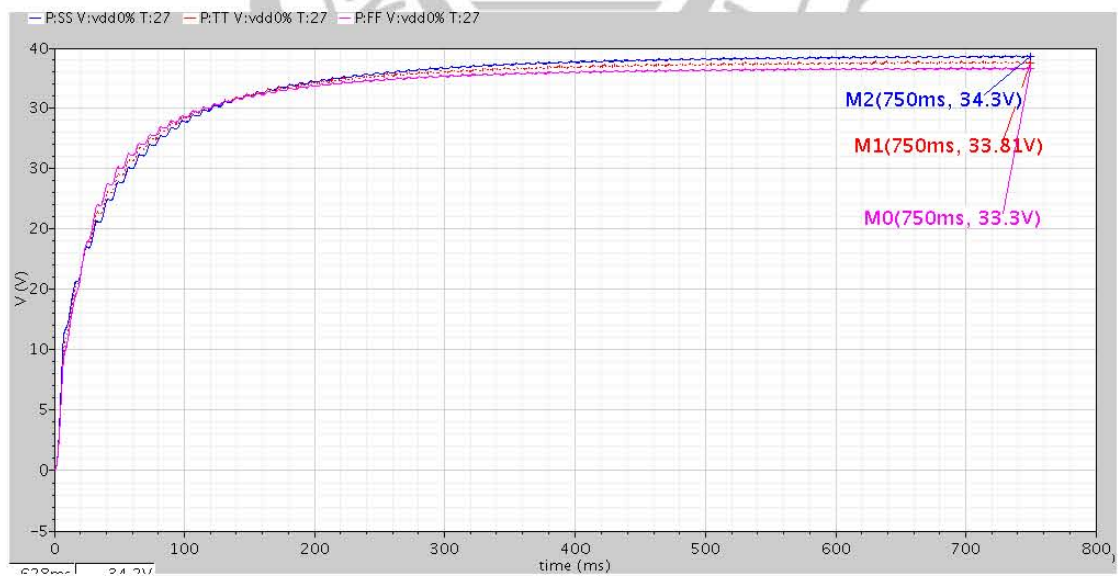
圖 5.13 電源變異對輸出電壓的影響

### 5-8-3升壓電路 Pre-sim 模擬結果

#### 1. 製程變異(corner : SS TT FF )



(a)



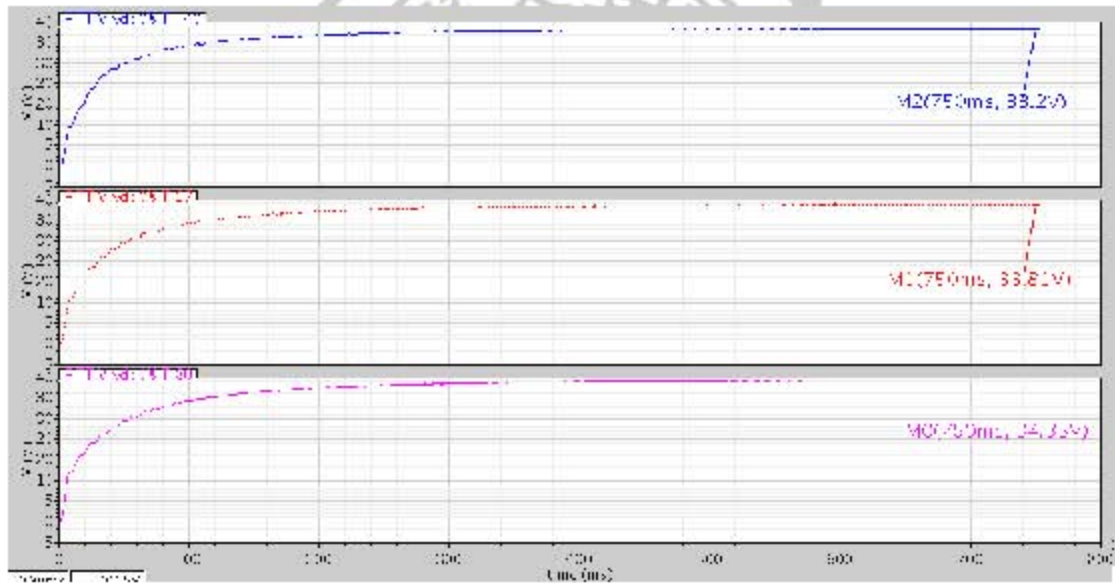
(b)

圖 5.14 (a)(b)製程變異對晶片輸出結果之模擬圖

表 10 製程變異對晶片輸出結果之模擬數據

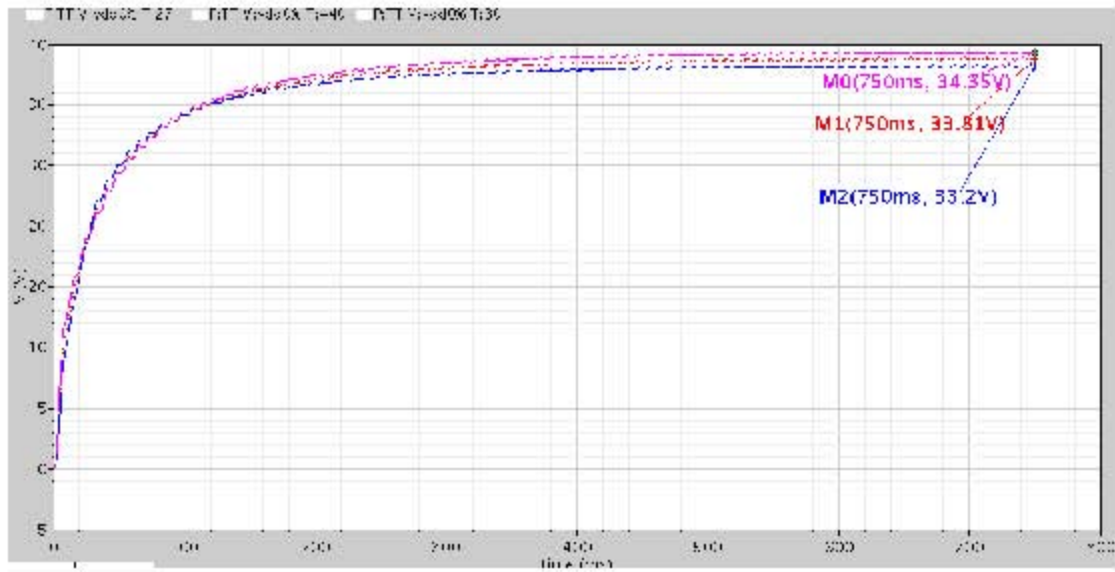
	SS 藍	TT 紅(ref)	FF 粉紅
鏈波大小 (V)	0.17	0.18	0.2
輸出電壓 (V)	34.3	33.81	33.3
電壓誤差量 (V)	0.49	0	-0.51
誤差百分比	1.2%	0	-1.5%

2. 溫度變異(-40°C~+80°C)



(a)





(b)

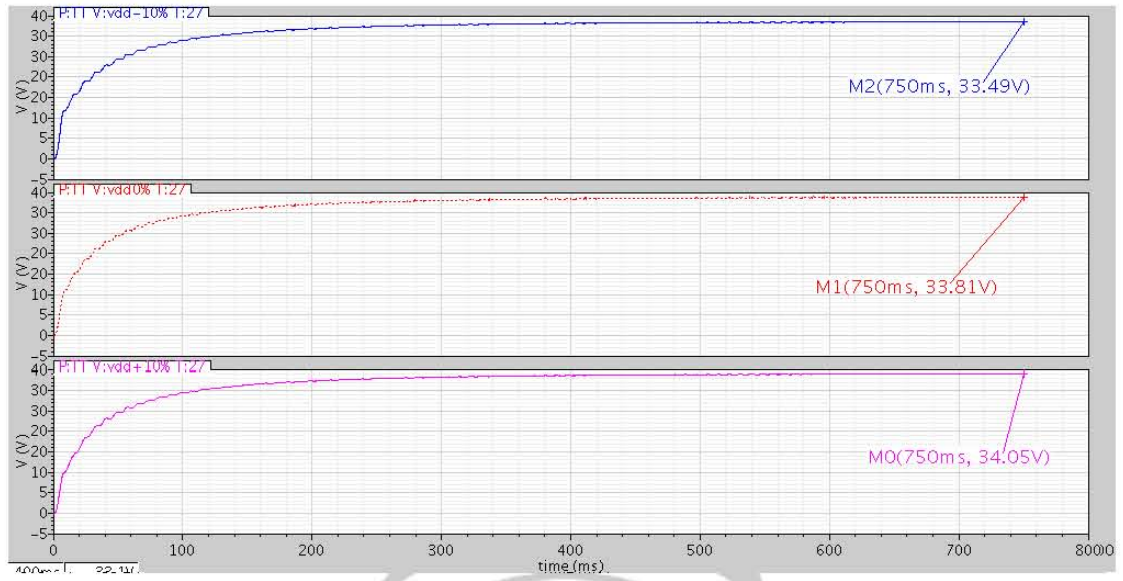
圖 5.15 (a)(b)溫度變異對晶片輸出結果之模擬圖

表 11 溫度變異對晶片輸出結果之模擬數據

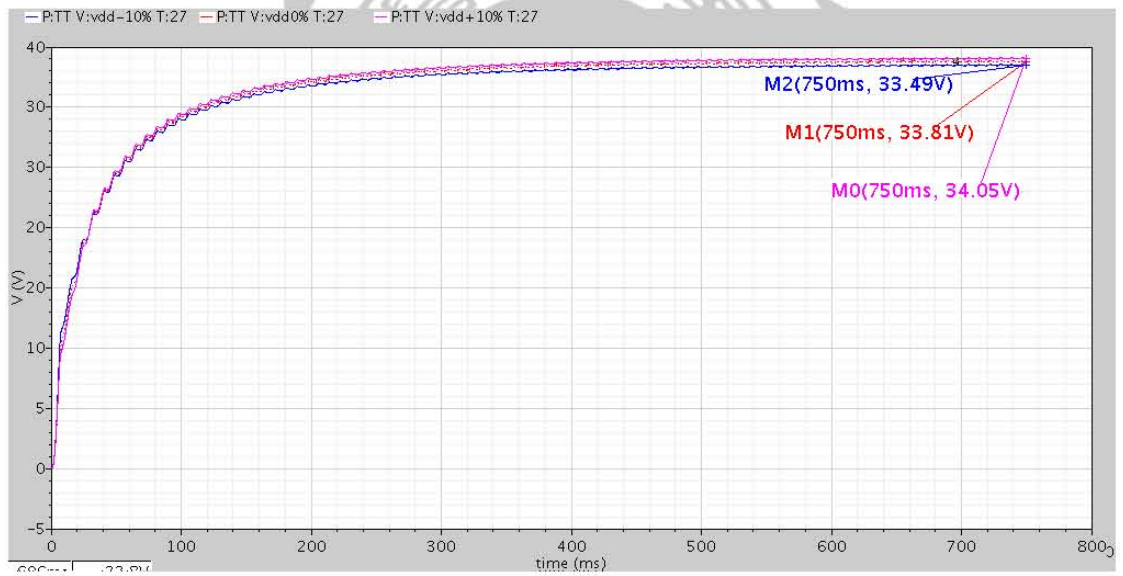
	-40°C 藍	27°C 紅(ref)	80°C 粉紅
鏈波大小 (V)	0.17	0.18	0.16
輸出電壓 (V)	33.2	33.81	34.35
電壓誤差量 (V)	-0.6	0	0.54
誤差百分比	-1.7%	0	1.5%



### 3. 電壓變異( $V_{DD} \pm 10\%$ )



(a)



(b)

圖 5.16 (a)(b)電壓源變異對晶片輸出結果之模擬圖

表 12 電壓源變異對晶片輸出結果之模擬數據

	-10% 藍	0% 紅(ref)	+10%粉紅
鏈波大小 (V)	0.18	0.18	0.19
輸出電壓 (V)	33.49	33.81	34.05
電壓誤差量 (V)	-0.32	0	0.24
誤差百分比	-0.9%	0	0.7%

#### 4. THD 模擬 (製程變異 corner : SS 、 TT 、 FF )

得到 THD 的值代入 PF 值的公式即可得到功率因數式(5-4)。

$$PF = \frac{1}{\sqrt{1+THD^2}} (Phase) \quad (5-4)$$

Corner SS 溫度 27°C 電壓變異 0%: THD:  $1.15 \times 10^{-7}\%$  Phase: -1(deg)

```
fourier components of transient response v(nat157,nat158)
dc component = -5.10885e-10

harmonic frequency fourier normalized phase normalized
no (hz) component component (deg) phase (deg)
1 60.0000 12.0000 1.00000 -1.23849e-07 0
2 120.000 2.00267r 166.689p -131.118 -131.118
3 180.000 9.70071r 808.392p -103.49 -103.49
4 240.000 3.70219r 308.516p -154.957 -154.957
5 300.000 5.23608r 436.340p -81.2882 -81.2882
6 360.000 4.16744r 347.286p -175.713 -175.713
7 420.000 2.48247r 206.872p 54.9821 54.9821
8 480.000 4.39702r 366.418p 176.651 176.651
9 540.000 3.11657r 259.714p -45.7347 -45.7347

total harmonic distortion = 1.15414e-07 percent
```

圖 5.17 以 Hspice 模擬製程變異 Corner SS 之 THD 模擬結果

Corner TT 溫度 27°C 電壓變異 0% : THD:  $1.05 \times 10^{-7}\%$  Phase: -1(deg)

```

fourier components of transient response v(net157,net158)
dc component = 1.07875e-09

harmonic frequency fourier      normalized phase      normalized
no      (hz)      component component (deg)      phase (deg)
1      60.0000    12.0000    1.00000    -1.08207e-07    0
2      120.000   2.21990n   184.992p   102.763         102.763
3      180.000   5.93027n   494.189p   -105.638        -105.638
4      240.000   849.622p   70.8019p   99.0141         99.0141
5      300.000   6.40107n   533.423p   -105.568        -105.568
6      360.000   342.142p   28.5118p   -22.1836        -22.1836
7      420.000   6.61263n   551.052p   -102.394        -102.394
8      480.000   1.97260n   164.383p   -64.8149        -64.8149
9      540.000   5.63962n   469.968p   -110.775        -110.775

total harmonic distortion = 1.05847e-07 percent

```

圖 5.18 以 Hspice 模擬製程變異 Corner TT 之 THD 模擬結果

Corner FF 溫度 27°C 電壓變異 0% : THD:  $1.88 \times 10^{-7}\%$  Phase: -1(deg)

```

fourier components of transient response v(net157,net158)
dc component = 6.60571e-10

harmonic frequency fourier      normalized phase      normalized
no      (hz)      component component (deg)      phase (deg)
1      60.0000    12.0000    1.00000    -1.27835e-07    0
2      120.000   4.21962n   351.635p   41.0653         41.0653
3      180.000   11.9895n   999.126p   -84.6071        -84.6071
4      240.000   6.18658n   515.549p   47.3919         47.3919
5      300.000   10.1441n   845.339p   -84.6587        -84.6587
6      360.000   7.87305n   656.087p   60.297          60.297
7      420.000   7.22357n   601.964p   -94.4265        -94.4265
8      480.000   8.35788n   696.490p   64.2277         64.2277
9      540.000   4.98595n   415.496p   -107.246        -107.246

total harmonic distortion = 1.8849e-07 percent

```

圖 5.19 以 Hspice 模擬製程變異 Comer FF 之 THD 模擬結果

表 13 各製程變異對應之 PF 值

	Corner SS	Corner TT	Corner FF
THD (%)	$1.15 \times 10^{-7}$	$1.05 \times 10^{-7}$	$1.88 \times 10^{-7}$
Phas (deg)	-1	-1	-1
PF (PF=1 最佳)	0.98	0.98	0.98

#### 5-8-4 升壓電路佈局結果

本論文電路經國家晶片中心(CIC)下線審核通過，並使用 TSMC HV0.25 微米、一層 poly、三層 metal、互補式金氧半(CMOS)製程來實現。圖 5.20 為晶片 layout 佈局圖，晶片面積為  $1150\mu\text{m} \times 900\mu\text{m}$ ; 晶片四周為 PAD，而包住晶片一圈為 Dummy poly，為讓佈局驗證 DRC(Design Rule Check)認定材質密度之不足的錯誤減少。



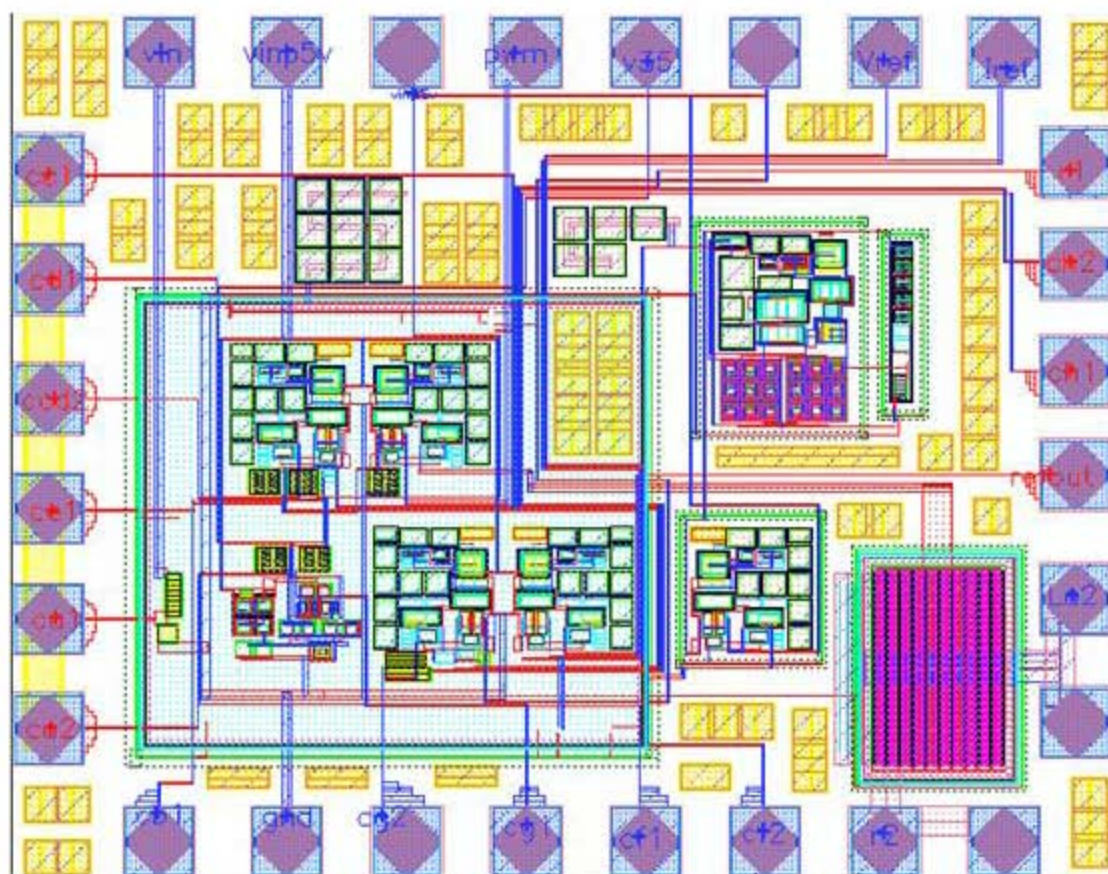
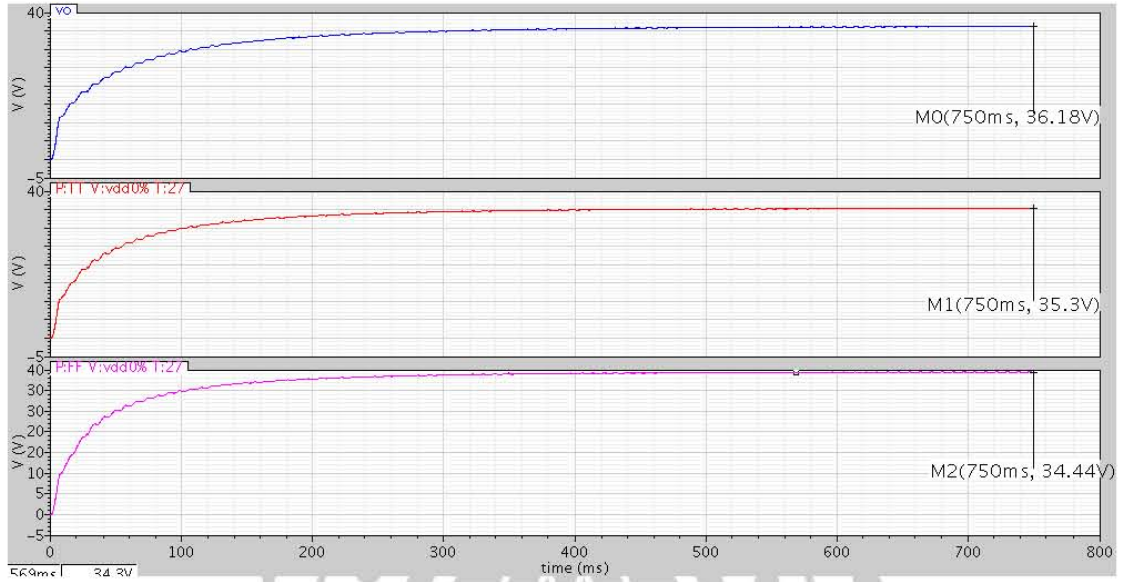


圖 5.20 晶片佈局圖

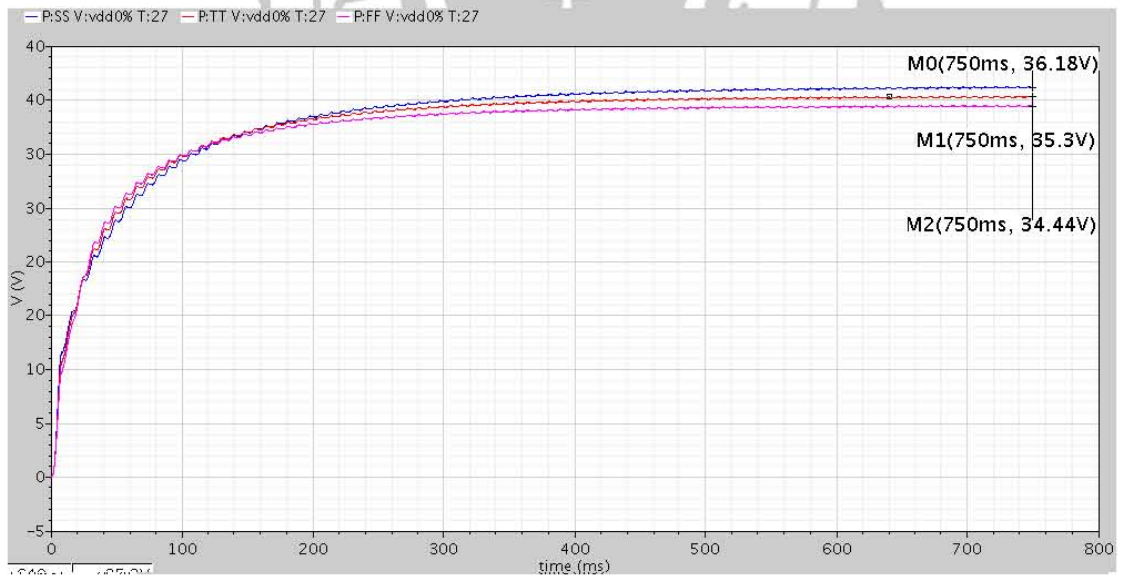
電路佈局方式採用 CMOS 電晶體交叉對稱畫法，降低製程影響。  
 交叉對稱畫法適用在 W/L 或共同接腳之 MOS，且汲極佈局接腳儘量不從本身兩個閘極間跨越，因橫跨接線會增加耦合 RC，會影響元件或電路其本身特性，所以將跨接部分盡量減少。

## 5-8-5 升壓電路 Post-sim 之模擬結果

### 1. 製程變異 (corner : SS TT FF)



(a)



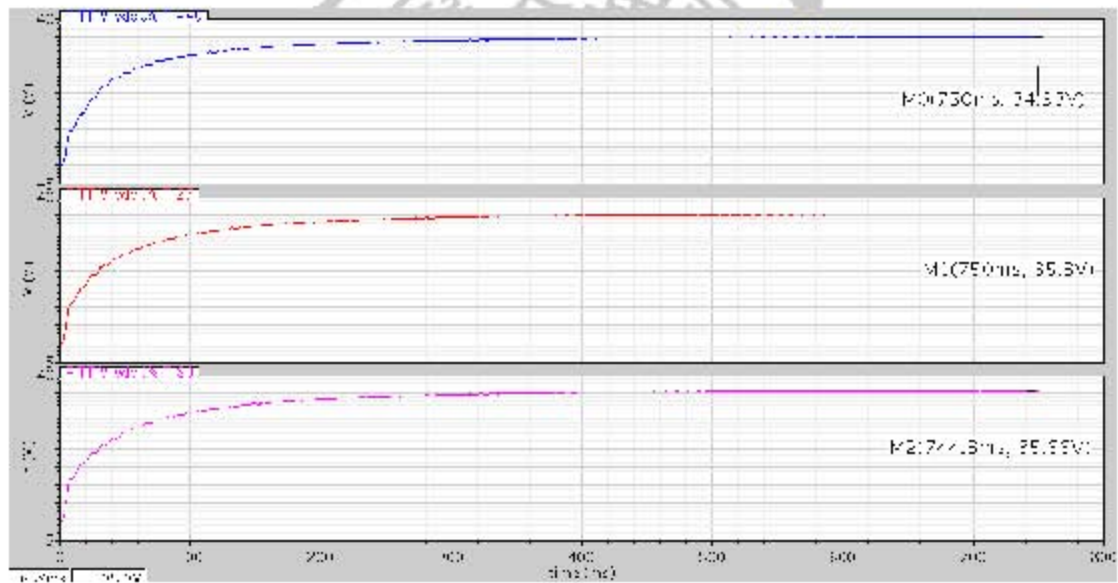
(b)

圖 5.21 (a)(b)萃取 RC 後製程變異對晶片輸出結果之模擬圖

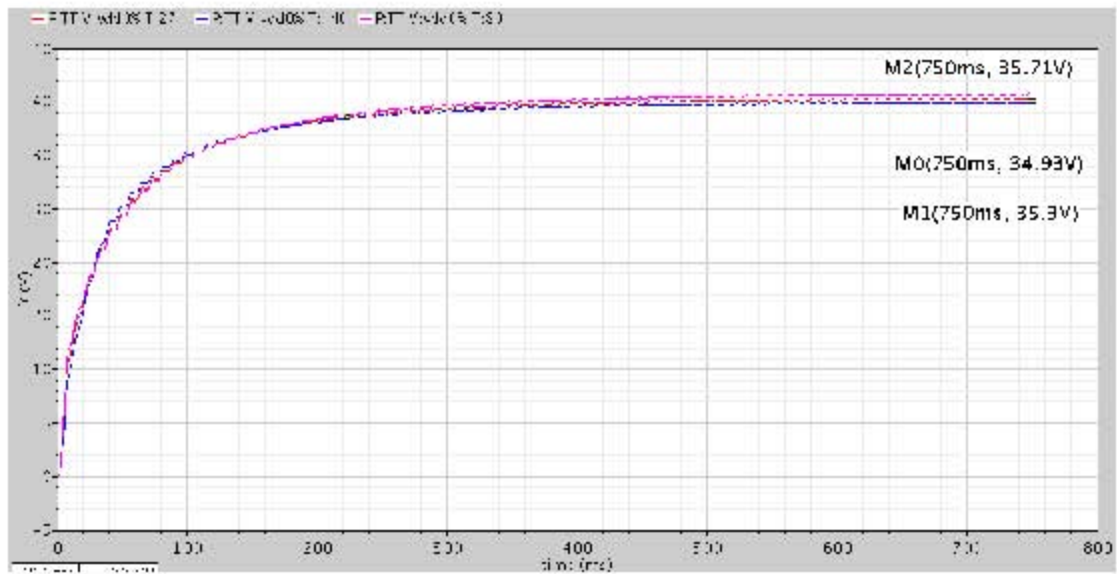
表 14 萃取 RC 後製程變異對晶片輸出結果之模擬數據

	SS 藍	TT 紅(ref)	FF 粉紅
鏈波大小 (V)	0.14	0.14	0.14
輸出電壓 (V)	36.18	35.3	34.44
電壓誤差量 (V)	1.2	0	-1.29
誤差百分比	3.4%	0	-3.6%

2. 溫度變異(-40°C~+80°C)



(a)



(b)

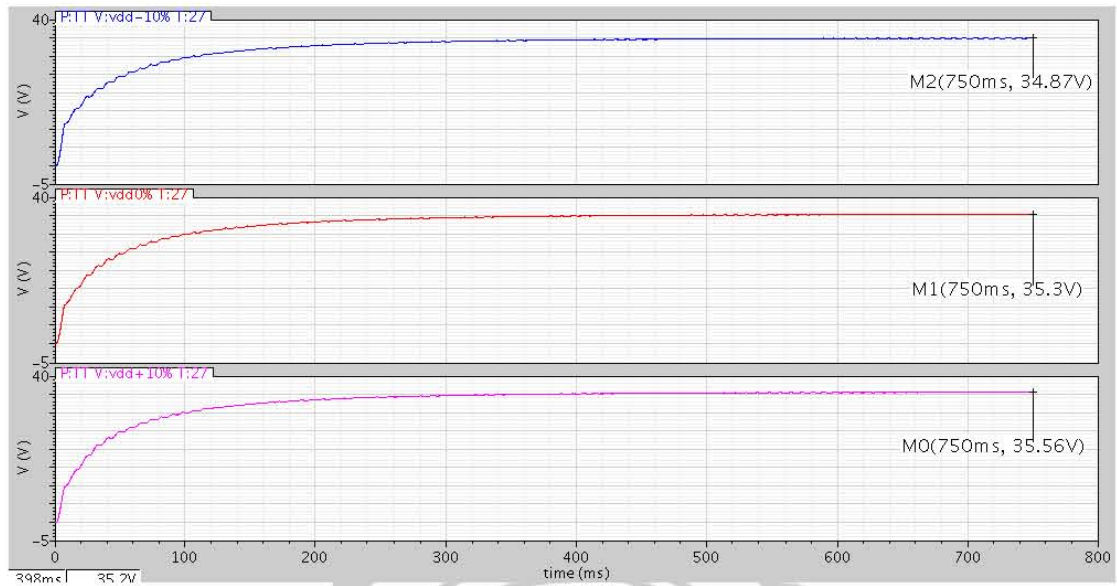
圖 5.22 (a)(b)萃取 RC 後溫度變異對晶片輸出結果之模擬圖

表 15 萃取 RC 後溫度變異對晶片輸出結果之模擬數據

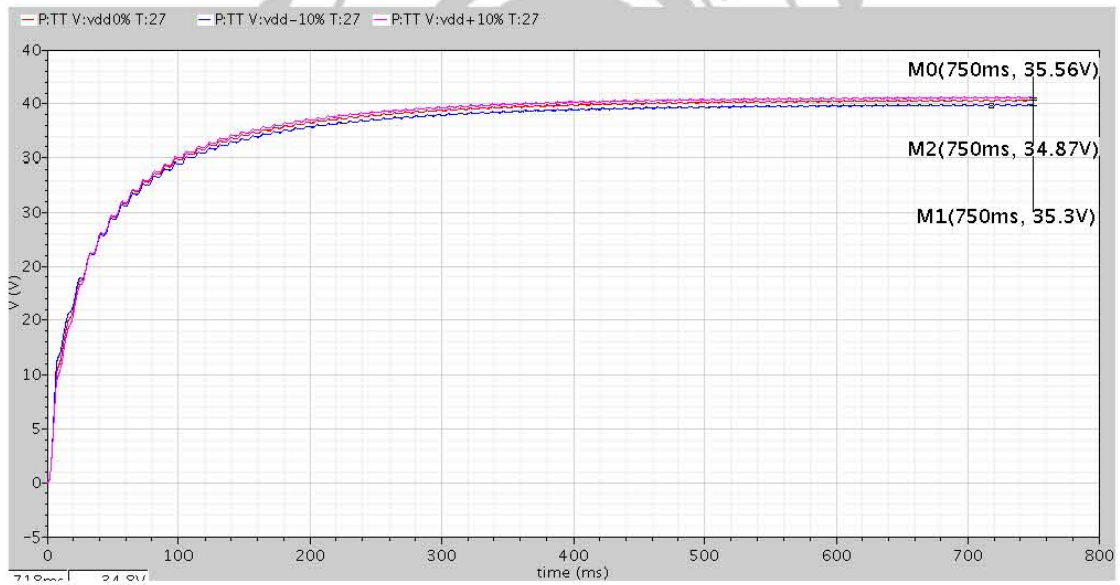
	-40°C 藍	27°C 紅(ref)	80°C 粉紅
鏈波大小 (V)	0.14	0.14	0.15
輸出電壓 (V)	34.93	35.3	35.66
電壓誤差量 (V)	-0.37	0	0.36
誤差百分比	-1%	0	1%



### 3. 電壓變異( $V_{DD} \pm 10\%$ )



(a)



(b)

圖 5.23 (a)(b)萃取 RC 後電壓源變異對晶片輸出結果之模擬圖

表 16 萃取 RC 後電壓源變異對晶片輸出結果之模擬數據

	-10% 粉紅	0% 紅(ref)	+10%藍
鏈波大小 (V)	0.14	0.14	0.14
輸出電壓 (V)	34.87	35.3	35.56
電壓誤差量 (V)	-0.43	0	0.26
誤差百分比	-1.2%	0	0.7%

#### 4. THD 模擬 (製程變異 corner : tt ff ss)

得到 THD 的值代入 PF 值的公式即可得到功率因數。

$$PF = \frac{1}{\sqrt{1+THD^2}} \cos(\text{Phase})$$

Corner SS 溫度 27°C 電壓變異 0%: THD:  $1.12 \times 10^{-7}\%$  Phase: -1(deg)

fourier components of transient response v(net157,net158)  
dc component = 3.3403e-09

harmonic no	frequency (hz)	fourier component	normalized component	phase (deg)	normalized phase (deg)
1	60.0000	12.0000	1.00000	-1.19865e-07	0
2	120.000	4.36899n	364.082p	73.059	73.059
3	180.000	4.12759n	343.966p	-68.1664	-68.1664
4	240.000	3.54122n	295.102p	146.28	146.28
5	300.000	4.90372n	408.643p	-9.95679	-9.95679
6	360.000	6.30075n	525.063p	140.31	140.31
7	420.000	6.81822n	568.185p	-33.4258	-33.4258
8	480.000	7.10749n	592.291p	108.606	108.606
9	540.000	3.79463n	316.219p	-45.9983	-45.9983

total harmonic distortion = 1.2467e-07 percent

圖 5.24 萃取 RC 後以 Hspice 模擬製程變異 TT 之 THD 模擬結果

Corner TT 溫度 27°C 電壓變異 0% THD:  $1.19 \times 10^{-7}\%$  Phase: -1(deg)

```
fourier components of transient response v(net157,net158)
dc component = -2.08003e-09
```

harmonic no	frequency (hz)	fourier component	normalized component	phase (deg)	normalized phase (deg)
1	60.0000	12.0000	1.00000	-1.34772e-07	0
2	120.000	4.27512n	356.260p	-96.9743	-96.9743
3	180.000	7.37463n	614.552p	-100.596	-100.596
4	240.000	2.62711n	218.928p	-135.147	-135.147
5	300.000	7.33076n	610.897p	-144.246	-144.246
6	360.000	2.51402n	209.502p	-155.786	-155.786
7	420.000	7.12077n	593.398p	-166.126	-166.126
8	480.000	3.30957n	275.797p	-171.31	-171.31
9	540.000	2.25801n	188.168p	176.637	176.637

total harmonic distortion = 1.19716e-07 percent

圖 5.25 萃取 RC 後以 Hspice 模擬製程變異 SS 之 THD 模擬結果

Corner FF 溫度 27 電壓變異 0% THD:  $1.68 \times 10^{-7}\%$  Phase: -1(deg)

```
fourier components of transient response v(net157,net158)
dc component = 3.26087e-09
```

harmonic no	frequency (hz)	fourier component	normalized component	phase (deg)	normalized phase (deg)
1	60.0000	12.0000	1.00000	-1.18095e-07	0
2	120.000	6.93085n	577.571p	87.7218	87.7218
3	180.000	7.94397n	661.998p	-112.54	-112.54
4	240.000	7.12310n	593.591p	76.96	76.96
5	300.000	8.06591n	672.159p	-115.25	-115.25
6	360.000	6.77981n	564.984p	61.4233	61.4233
7	420.000	7.05338n	587.782p	-135.475	-135.475
8	480.000	6.79866n	566.555p	38.1913	38.1913
9	540.000	6.46468n	538.724p	-154.22	-154.22

total harmonic distortion = 1.68875e-07 percent

圖 5.26 萃取 RC 後以 Hspice 模擬製程變異 FF 之 THD 模擬結果

表 17 萃取 RC 後各製程變異對應之 PF 值

	Corner SS	Corner TT	Corner FF
THD (%)	$1.12 \times 10^{-7}$	$1.19 \times 10^{-7}$	$1.68 \times 10^{-7}$
Phas (deg)	-1	-1	-1
PF (PF=1 最佳)	0.98	0.98	0.98

### 5-8-6 電路模擬比較

在這以晶片在最平常的工作模式製程變異 TT、電壓變異 0%及溫度變異 27°C 為討論比較基準。

表 18 Pre-sim 與 Post-sim 比較表

	Pre-sim TT	Post-sim TT	差值
鏈波大小 (V)	0.18	0.14	0.04
輸出電壓 (V)	33.81	35.3	1.49

### 5-8-7 電路設計預計規格表

表 19 計預計規格表

	Spec.	Pre-sim	Post-sim
漣波大小(V)	$<1$	0.18	0.14
操作電壓(V)	$=5$	5	5
輸入 AC 頻率(Hz)	$=60$	60	60
輸入 AC 電壓(V)	$=12$	12	12
消耗功率(mW)	$<5$	5.26	5.27
PF	$>0.95$	0.98	0.98
輸出直流電壓(V)	30~35	33.81	35.3

### 5-8-8 升壓電路晶片微照圖

圖 5.27，為晶片下線回來後使用顯微鏡與 CCD 拍攝之晶片微照圖。在此微照圖與佈局圖不同的原因為佈局圖有加入參考電位電路，而微照圖因下線時間的關係當時來不及加入。



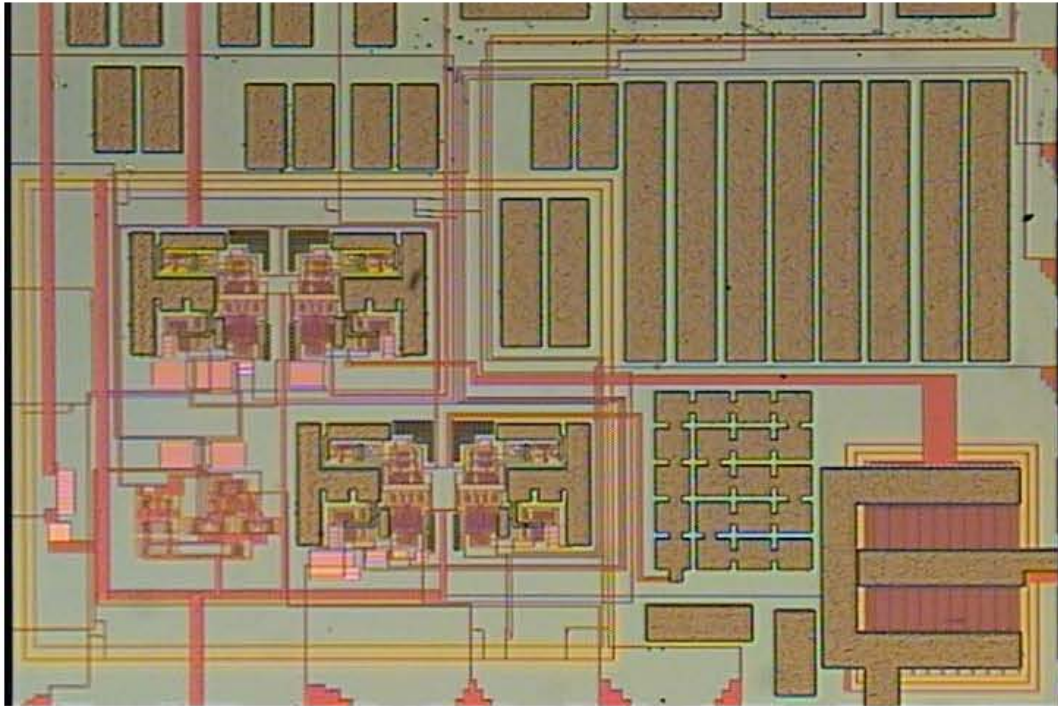


圖 5.27 晶片微照圖

#### 5-8-9 晶片量測方法

本設計將使用 COB 量測法其特色為量測時晶片直接對空氣進行散熱作業，將晶片固定至 PCB 板並與外部元件連結後，將使用以下量測法進行測試，將使用數位示波器、訊號產生器、電源供應器、電力分析儀。外部 PCB 電路板上使用橋式整流器、突波吸收器、電感器、耐壓耐流高速二極體、精密電阻、大顆濾波電容、電源供應器連結器、NE555 振盪器、Voltage Regulator 晶片。

## 第6章 結論與未來展望

### 6-1 結論

本論文在結論的部分因兩個電路在性質上的不同所以，將兩個電路分開，各別來討論，現在分開來說明其特色。

#### 6-1-1 簡易型零溫度系數參考電位電路設計

在本論文中所提出的一種新的簡易型零溫度系數參考電位電路架構，其特色為以一個簡易型的電路，分別產生零溫度系數參考電壓與零溫度系數參考電流。其工作原理類似於帶隙參考電路，但相較於帶隙參考電路及電流參考電路大部分的作法主要先產生出 PTAT 會與溫度成比例的電流，進而對其正溫度係數，負溫度係數再做調整。本電路的優點為可以很方便"簡單"且"同時"產生出正、負溫度係數的電流源，並可將其轉換為零溫度系數參考電壓源。

#### 6-1-2 切換式升壓電路設計

在切換式升壓電路設計的這個單元，因為我們是將切換式升壓電路搭配 TSMC 0.25um 高壓製程，將原來 PCB 板上的電路晶片化，而在晶片化的過程中，晶片的製程變異大大的影響到了此電路在晶片上

輸出電壓的改變，使得晶片成功的機率大大的降低，經模擬分析電路上各點的偏壓之後，發現參考電位在此電路中扮演了非常重要的角色。因此運用論文前半段參考電位電路的概念，將其與切換式升壓電路做結合，進而達到與製程變異、電壓源變異及溫度變異極小關連的結果，而這也是此電路的優點。

## 6-2 未來展望

在本論文中提出了將簡易型零溫度系數參考電位電路應用於切換式升壓電路中之設計，達到模擬上的證實。傳統參考電位電路在面積上遠遠大於簡易型零溫度系數參考電位電路，而未來將會把此電路移植到 TSMC 0.25 $\mu\text{m}$  的製程環境下做整合，整合後將會比原來所用的傳統式參考電位電路少 30% 的佈局面積。而切換式升壓電路設計除了與簡易型零溫度系數參考電位電路做整合之外，還有許多可以改進的空間，像是在功率電晶體開關的訊號上加入零電壓及零電流的切換方式。整體電路在功耗上應該可以有明顯的進步，也可使功率電晶體開關的壽命延長，增加晶片的穩定度。



## 參考文獻

- [1] J. Chen and B. Shi, "1 V CMOS current reference with 50 ppm= $\text{C}$  temperature coefficient," *Electron. Lett.*, vol. 39, no. 2, pp. 209–210, Jan. 2003.
- [2] Y. Deval, J. Tomas, J. B. Begueret, S. Dugalleix, and J. P. Dom, "1-Volt ratiometric temperature stable current reference," in *Proc. IEEE Int. Symp. Circuits and Systems (ISCAS)*, Jun. 1997, vol. 3, pp. 1984–1987.
- [3] Y. Liu and G. Liu, "A novel CMOS current reference with low temperature and supply dependence," in *Proc. IEEE Int. Conf. Communications, Circuits, and Systems*, Jun. 2006, vol. 4, pp. 2201–2204.
- [4] R. Dehghani and S. M. Atarodi, "A new low voltage precision CMOS current reference with no external components," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 50, no. 12, pp. 928–932, Dec. 2003.
- [5] W. M. Sansen, F. Eynde, and M. Steyaert, "A CMOS temperature compensated current reference," *IEEE J. Solid-State Circuits*, vol. 23, no.3, pp. 821–824, Jun. 1988.
- [6] Y. Deval et al. "1-V Ratiometric temperature stable current reference," *Proc. of ISCAS' 1997:1984-1987*,(1997).
- [7] Y. Deval et al. "Ratiometric temperature stable current reference," *Electron. Lett* ,29:1284-1285(1993).
- [8] Jingmei Lu, Yi Wang, Nuo Xu, Minglun Gao, "Temperature Compensation in Bootstrapped Current Reference Source"
- [9] B. Razavi, „Design of Analog CMOS Integrated Circuits”, McGraw-Hill, 2001
- [10] Li Yanming, Lai Xinquan and Jia Xinzhang, "A Novel Temperature Stable CMOS Current Reference," "Department of Microelectronics, Xidian University, Xi'an 710071, China
- [11] M. Filanovsky, and A. Allam, "Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits," *IEEE Trans. on Circuits and Systems-I*, pp. 876-883, July 2001.
- [12] Gabriel A. Rincon-Mora and Phillip E. Allen, "A 1.1-V Current-Mode and Piecewise-Linear Curvature-Corrected Bandgap

- Reference", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 10, OCTOBER 1998
- [13] M. KACHEL, P. KMON, P. GRYBO\_AGH UNIVERSITY OF SCIENCE AND TECHNOLOGY, POLAND," DESIGN OF LOW POWER CURRENT/VOLTAGE REFERENCE SOURCE IN CMOS 0.35  $\mu$ M TECHNOLOGY", MIXDES 2008 Pozna\_, POLAND 19 - 21 June 2008
- [14] Laleh Najafizadeh, Igor M. Filanovsky," A SIMPLE VOLTAGE REFERENCE USING TRANSISTOR WITH ZTC POINT AND PTAT CURRENT SOURCE", Department of Electrical and Computer Engineering University of Alberta, Edmonton, Alberta, Canada, T6G 2V4
- [15] D. J. Hamilton and W. G. Howard, *Basic Integrated Circuit Engineering*, McGraw Hill, New York, 1975.
- [16] Chih-Peng Liu and Han-Pang Huang," Hybrid Voltage and Current References Based on Double ZTC Points", Robotics Laboratory, Department of Mechanical Engineering National Taiwan University, Taipei, 10660, TAIWAN
- [17] Ma Hua\*, Yu Mingyan, Ye Yizheng Microelectronics Center Harbin Institute of Technology Harbin 150001, China , A novel current reference with low temperature coefficient in a large temperature range
- [18] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*. New York: McGraw-Hill, 1987.
- [19] A. Bendali and Y. Audet, "A 1-V CMOS current reference with temperature and process compensation," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 54, no. 7, pp. 1424–1429, Jul. 2007.
- [20] K. R. Laker and W. M. C. Sansen, *Design of Analog Integrated Circuits and Systems*. New York: McGraw-Hill, 1994.
- [21] Gabriel A. Rincon-Mora and Phillip E. Allen," A 1.1-V Current-Mode and Piecewise-Linear Curvature-Corrected Bandgap Reference", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 10, OCTOBER 1998
- [22] W.Sansen,F.Eynde,and M. Steyaert, "A CMOS temperature-compensated current reference," IEEE J. Solid-State Circuits, pp. 821-824, 1988.
- [23] D. Hilbiber, "A New Semiconductor Voltage Standard," *ISSCC Dig. Of Tech. Papers*, pp. 32-33, Feb. 1964

- [24] Ze-Kun Zhou, Xin Ming, Bo Zhang, Zhao-Ji Li, "A High-Order Curvature-Compensated CMOS Bandgap Reference", State key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronics Science and Technology of China, Chengdu 610054, China
- [25] 黃子龍 "精確的2.5伏特轉為1.8伏特的低壓降穩壓器" 國立成功大學電機工程學系碩士論文, 2003.
- [26] 鄭凱方 "主動式功因修正電路模型建立與設計" 國立中山大學電機工程學系碩士論文, 2005.
- [27] 鍾世彥 "單級高功因LED燈驅動器之研製" 中原大學電機工程學系碩士學位論文, 2006.
- [28] 朱柏光 "可偵測間距與負載之單級高功因非接觸供電系統" 國立中央大學電機工程研究所碩士論文, 2007.
- [29] 江建成 "單級功因修正返馳式電源轉換器之製作" 國立中山大學電機工程學系碩士論文, 2007.
- [30] 陳奕睿 "應用峰值電流控制達成單相主動功率因數修正之研究" 大同大學電機工程研究所碩士論文, 2004.
- [31] 高維新 "主動式功率因數修正器之設計" 逢甲大學資訊電機工程碩士在職專班碩士論文, 2007.
- [32] M. R. Sahid, N. A. Azli, N. D. Muhamad "Study on the Performance of the Boost Power Factor Correction (PFC) circuit with Variable Inductor Current Sense Resistor values" IEEE, 2003.

[33] Raymond A. Mack, Jr., 林伯仁、羅有綱、陳俊吉編譯,初版,交換式電源供應器剖析,全華書局,2008.

[34] Y. Deval et al. "1-V Ratiometric temperature stable current reference," Proc. of ISCAS' 1997:1984-1987,(1997)..

[35] Y. Liu and G. Liu, "A novel CMOS current reference with low temperature and supply dependence," in *Proc. IEEE Int. Conf. Communications, Circuits, and Systems*, Jun. 2006, vol. 4, pp. 2201–2204.

[36] Guillermo Serrano, *Member, IEEE*, and Paul Hasler, *Senior Member, IEEE* "A Precision Low-TC Wide-Range CMOS Current Reference" *IEEE journal of solid-state circuits*, vol. 43, NO. 2, February 2008.

