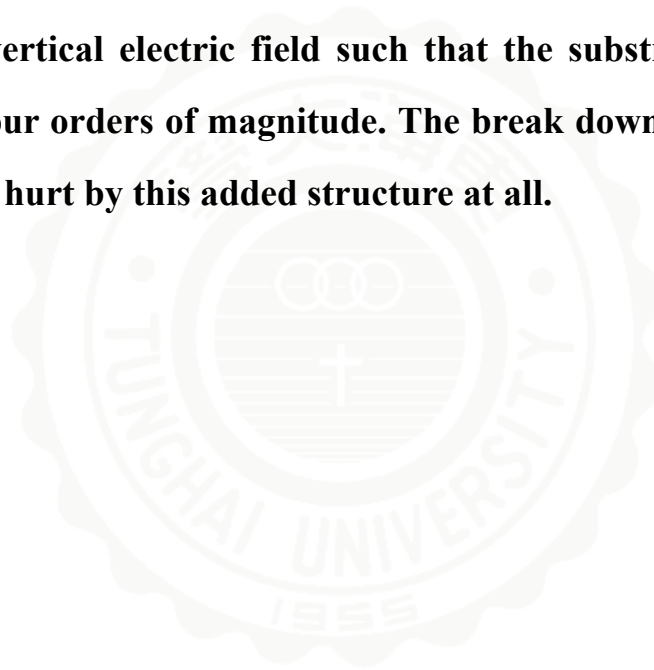


中文摘要

本研究針對橫向絕緣閘雙極性電晶體(LIGBT)，提出一個在 P 型基板(P-type substrate) 與 N 型磊晶層 (N-type epitaxial layer) 之間隔離漏電流的方法。藉由製程與電性模擬軟體分析，觀察到 LIGBT 在導通狀態時由於垂直電場的影響，陽極端的 P^+ 會有電洞的注入，而電洞將直接注入至 P 型基板，使得在陽極下方的基板變為正電位，進而吸引電子流到基板，產生基板漏電。為了有效降低垂直電場，抑制此 PN 接面漏電，本文提出了利用 P 型埋層 (P-type Buried Layer, PBL) 與 N 型埋層 (N-type Buried Layer, NBL) 的搭配，在垂直方向形成雙 PN 接面，有效降低此區塊的峰值電場，並且降低 P 型基板的漏電流達原始值的 0.01%，並且崩潰電壓可保持在 700 伏特以上。

Abstract

This paper aims to the research of Lateral Insulated-Gate Bipolar Transistor (LIGBT) and proposes the design for the isolating method between the P-type substrate and N-epi layer. The junction between LIGBT's P-type substrate and N-epi layer may have a large electrical field and causes the hole current to flow during the turn-on state. To prevent this substrate leakage current NBL and PBL technology are used. The double reverse biased PN junction structure effectively reduces the vertical electric field such that the substrate current is reduced by four orders of magnitude. The break down voltage of the LIGBT is not hurt by this added structure at all.



目錄

致謝.....	I
中文摘要.....	II
Abstract.....	III
目錄.....	IV
圖目錄.....	VII
表目錄.....	XI
第一章：前言.....	1
第二章：功率元件理論.....	3
2.1 前言.....	3
2.2 功率元件的靜態崩潰機制.....	3
2.2.1 基納崩潰 [Zener breakdown].....	4
2.2.2 累增崩潰 [Avalanche breakdown]	4
2.2.3 打穿崩潰 [Punch though]	6
2.2.4 轉折崩潰 [Snap breakdown]	6
2.2.5 氧化層崩潰 [dielectric breakdown]	6

2.3	功率元件的耐壓提升.....	12
2.4	基本參數定義.....	12
2.4.1	崩潰電壓[Breakdown voltage]	12
2.4.2	導通電阻[On-resistance].....	13
2.4.3	效能指標[Efficiency index].....	13
2.4.4	基板漏電流與導通時的效能指標.....	13
2.5	功率元件 LDMOSFET 與 LIGBT.....	14
2.5.1	LDMOSFET(Lateral Diffused MOSFET)	
	耐壓與導通特性.....	14
2.5.2	LIGBT[Later Insulated Gate Bipolar Transistor]	
	耐壓與導通特性.....	16
2.6	回顧 LIGBT 元件在結構上效能的改善、討論.....	21
第三章 : LIGBT 與 LDMOSFET 製程基本參數與電性模擬...25		
3.1	基本參數與元件結構.....	25
3.2	製程順序.....	26
3.3	元件基本參數與元件結構.....	34
3.4	電性模擬(反偏).....	39
3.5	電性模擬(順偏)	41

第四章	：改善基板漏電流 LIGBT 的設計與模擬.....	45
4.1	改善基板漏電流 LIGBT 的製程步驟.....	45
4.1.1	設計原理.....	45
4.1.2	運用 NBL 與 PBL 之間的關係.....	47
4.1.3	設計製程步驟.....	48
4.1.4	設計製程修改.....	50
4.1.5	限制因素(導通).....	52
4.1.5-2	限制因素(崩潰電壓).....	54
4.1.6	改善後的漏電流與崩潰電壓大小.....	56
4.2	製程設計最佳化.....	60
4.3	最佳化 LIGBT 與傳統高壓元件的比較.....	63
4.3.1	最佳化 LIGBT 與 LDMOSFET 比較.....	63
4.3.2	最佳化 LIGBT 與傳統 LIGBT 比較.....	67
第五章	：結論及未來展望.....	70
第六章	：參考文獻	

圖目錄：

圖 2-1 穿隧效應.....	4
圖 2-2 累增崩潰.....	5
圖 2-3S 型的轉折崩潰.....	6
圖 2-4 Field plate 結構.....	8
圖 2-5 Field plate 結構.....	9
圖 2-6P-buried layer 結構.....	9
圖 2-7 P-top 結構.....	10
圖 2-8 P-ring 結構.....	10
圖 2-9Two Zone double RESURF 結構.....	11
圖2-10 Trench結構.....	11
圖 2-11 浮接場環結構.....	12
圖 2-12 橫向擴散 MOSFET.....	14
圖 2-13MOSFET 的電阻示意圖.....	16
圖 2-14(a) IGBT 結構.....	16
圖 2-14(b)LIGBT 結構.....	17
圖 2-15LIGBT 寄生元件示意圖.....	17
圖 2-16LIGBT 等校電路圖.....	18

圖 2-17 未加 N 型緩衝層電場示意圖.....	19
圖 2-18 增加 N-buffer 降低電場示意圖.....	20
圖 2-19 P 型深埋層結構對電洞的影響.....	20
圖 2-20 P-top 結構對電洞的影響.....	20
圖 2-21 LIGBT 寄生元件結構.....	22
圖 2-22 P 行深埋層與 P 型井結構.....	23
圖 2-23 自我對準溝朝式結構.....	23
圖 2-24 溝朝式閘極結構.....	23
圖 2-25 陽極短路結構.....	24
圖 2-26 文獻中的 $I_D V_D$ 曲線圖.....	24
圖 3-1 元件結構設計圖.....	25
圖 3-2 元件設計流程圖.....	27
圖 3-3 電力線分佈.....	34
圖 3-4 導通電流.....	34
圖 3-5 電場分佈.....	35
圖 3-6 表面電場切線圖.....	35
圖 3-7 基板濃度變動.....	36
圖 3-8 磊晶層濃度與崩潰電壓.....	37
圖 3-9 場板的長度與崩潰電壓.....	37

圖 3-10 LDMOSFET 反偏時電力線.....	39
圖 3-11 LIGBT 反偏時電力線.....	39
圖 3-12 LDMOSFET 崩潰位置.....	40
圖 3-13 LIGBT 崩潰位置.....	40
圖 3-14 LDMOSFET 與 LIGBT 崩潰電壓曲線圖.....	40
圖 3-15 LDMOSFET I_D - V_D 、 I_D - V_G 曲線圖.....	41
圖 3-16 LDMOSFE Electron current density for For $V_G=20V$ and $V_D=10V$	42
圖 3-17 LDMOSFET Hole current density. For $V_G=20V$ and $V_D=10V$	42
圖 3-18 LIGBT I_D - V_D 曲線圖.....	43
圖 3-19 LIGBT Electron current density for For $V_G=20V$ and $V_E=10V$	44
圖 3-20 LIGBT Hole current density For $V_G=20V$ and $V_E=10V$	44
圖 4-1 設計元件概念結構圖.....	46
圖 4-2 能帶圖.....	46
圖 4-3 設計原理圖.....	47
圖 4-4 製程步驟.....	48

圖 4-5 製程模擬圖.....	49
圖 4-6 電洞密度.....	49
圖 4-7 電力線分佈.....	49
圖 4-8 製程步驟.....	50
圖 4-9 順偏導通情形.....	51
圖 4-10 電洞密度.....	51
圖 4-11 寄生元件圖.....	53
圖 4-12 Base Widening at High Current Densities.....	53
圖 4-13 改變 PBL 劑量.....	55
圖 4-14 Impact ionization.....	55
圖 4-15 電洞密度.....	55
圖 4-16 $V_G=V_E=20V$ Electrostatic potential distribution.....	57
圖 4-17 $V_G=V_E=20V$ Hole Current Density	57
圖 4-18 $V_G=V_E=20V$ Electron Current Density.....	57
圖 4-19 基板表面下 40um 處 Hole Current Density($A*cm^{-2}$)	58
圖 4-20 設計 LIGBT device I_D-V_D curve.....	58
圖 4-21 基板表面下 40um 處 Hole Current Density($A*cm^{-2}$)	59
圖 4-22 崩潰電壓(V)	59
圖 4-23 製程設計最佳化.....	60

圖 4-24 製程設計最佳化 I_D - V_D curve.....	
圖 4-25 製程設計最佳化 崩潰電壓.....	62
圖 4-26 最佳化後基板表面下 40um 處 Hole Current Density.....	62
圖 4-27 LDMOSFET 與最佳化 LIGBT 崩潰電壓比較(V)	62
圖 4-28 LDMOSFET 與最佳化 LIGBT I_D V_D curve 比較.....	63
圖 4-29 LDMOSFET $V_G=V_D=20V$ Electron Current Density.....	63
圖 4-30 LDMOSFET $V_G=V_D=20V$ Hole Current Density.....	64
圖 4-31 LIGBT $V_G=V_E=20V$ Electron Current Density.....	64
圖 4-32 LIGBT $V_G=V_E=20V$ Hole Current Density.....	65
圖 4-33 Traditional 與 Optimized LIGBT 崩潰電壓 比較(V)...	65
圖 4-34 Optimized 與 Traditional LIGBT Hole current density for $V_G=20V$ and $V_E=10V$ (V).....	67
圖 4-35 Optimized 與 Traditional LIGBT Electron current density for $V_G=20V$ and $V_E=10V$ (V).....	68
圖 4-36 Optimized 與 Traditional LIGBT 40um 處 Hole Current Density ($A*cm^{-2}$)	68
圖 4-37 Optimized 與 Traditional LIGBT I_D - V_D curve.....	68

表目錄：

表 3-1 LDMOSFET 導通電組.....	41
表 3-2 LIGBT 導通電組.....	44
表 4-1 LDMOSFET 與最佳化 LIGBT R_{on} 比較.....	66
表 4-2 LDMOSFET 與最佳化 LIGBT 效能指標比較.....	66



第一章 前言

功率積體電路泛指高壓功率元件與低壓控制電路結合於同一塊晶片上面的積體電路設計，可提供更完整的功能與較低的成本。橫向型絕緣閘雙極性電晶體(LIGBT) 具有高電壓與低導通電阻的特性，更適合用於功率積體電路上。LIGBT 是兩種元件結構的結合，即金氧半場效電晶體(Metal-Oxide-Semiconductor Field-Effect Transistor，MOSFET)的閘極電壓控制以及雙極性電晶體(Bipolar Junction Transistor, BJT)的電流放大。根據上述的 LIGBT，在超高壓元件導通時，在射極端(Emitter)有電洞與電子的注入，此時電洞會被基板吸引至基板中，使基板變為正電位，而垂直電場將大於橫向電場，電子也將被吸引至基板，會有漏電流往 P 型基板移動，且因為漏電流的關係，使其他低功率元件故障[1]。這樣的情況將使其無法與其他元件一起運用。根據文獻將此漏電流有效抑制的方法，就是採用 SOI 基板，隔絕 LIGBT 與 P 型基板、增加與其他元件之間的隔離度，但卻增加製程的成本。關於有效的減少 LIGBT 的基板電流之文獻，例如 JI-LIGBT[2][3]為使用兩次 EPI 製程技術與 NBL 光罩，隔絕基板的漏電流，以及運用 NBL[4]-[6]來減少漏電流大小、還有運用 MEMS[7][8]技術的方法抑制漏電流，而逐步分析漏電流原因以及運用的關係則相對較少被提及，故在本文中將會使用製程模擬軟體(Tsuprem4)，並結

合電性模擬軟體(Medici)來分析此結構。為了減少基板漏電流的情形，本文提出了利用 P 型埋層與 N 型深埋層的結構在垂直方向形成雙 PN 接面，以劑量、能量、植入離子的不同做出此構思，而用意在於可分散垂直方向的峰值電場，以有效降低 P 型基板的漏電流大小，將其漏電流降低至原本的 0.01%，改善漏電流後的 LIGBT，便能與其他低壓控制電路結合在同塊晶片上，文中也會運用 RESURF(Reduce Surface Field)原理來提高元件耐壓能力。



第二章 功率元件理論

2.1 前言

在現今的積體電路(Integrated circuit)中，功率元件(Power device)扮演的角色為切換開關(Switch)，其功能是在電路需要關閉(Off)或導通(On)時，所需要的元件。元件在關閉時，須承受數百伏特的驅動電壓；而在元件導通時，須具有低電阻(R_{on})與反應時間短的優點。

功率元件分有 LDMOSFET(Lateral Diffused MOSFET)、BJT(Bipolar Junction Transistor)、與 LIGBT(Lateral Insulated Gate Bipolar Transistor)，此三種元件採用平面化製程(Planar Process)，不但具有上述的優點，更重要的是，更能與其他的積體電路進行整合，然而功率元件需承受較大的耐壓，因此必須要有較大的漂移區(Drift Region)。

2.2 功率元件的靜態崩潰機制

功率元件必須承受數百伏特的反向偏壓，元件本身不能發生崩潰[Breakdown]的現象，也就是當操作在反向偏壓時，不能讓電流急遽上升。造成崩潰的現象其成因有基納崩潰 (Zener breakdown)[9]、累增崩潰 (Avalanche breakdown)[10]、打穿崩潰 (Punch through)[11][12]、氧化層崩潰 (Dielectric breakdown)[13]和轉折崩潰 (Snap back)[14]五種。

2.2.1 基納崩潰(Zener breakdown)

基納崩潰發生於 PN 接面摻雜濃度高時，接面處的能位障(Energy barrier)較窄，逆向電壓提供電子足夠能量，得以跨越能障，發生穿隧效應(Tunneling effect)形成電流，如圖 2-1 所示。一般基納崩潰的崩潰電壓都不高，大多用於低壓穩壓電路裡，在功率元件設計時，須盡量避免此種崩潰發生。

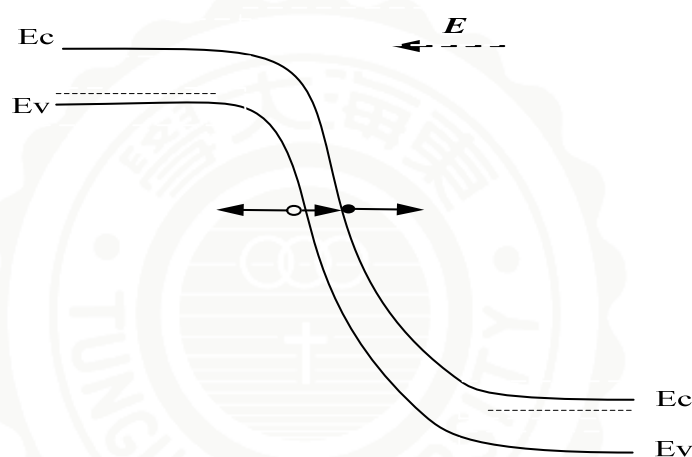


圖 2-1 穿隧效應

2.2.2 累增崩潰[Avalanche breakdown][15]

累增崩潰發生於空乏區載子受到高電場加速，並與晶格游離碰撞，產生電子電洞對(EHP)。然而新產生的電子電洞對又使得載子與晶格碰撞機率倍增，導致此過程不斷發生並且擴大，也稱雪崩倍增(Avalanche multiplication)，如圖 2-2 所示。

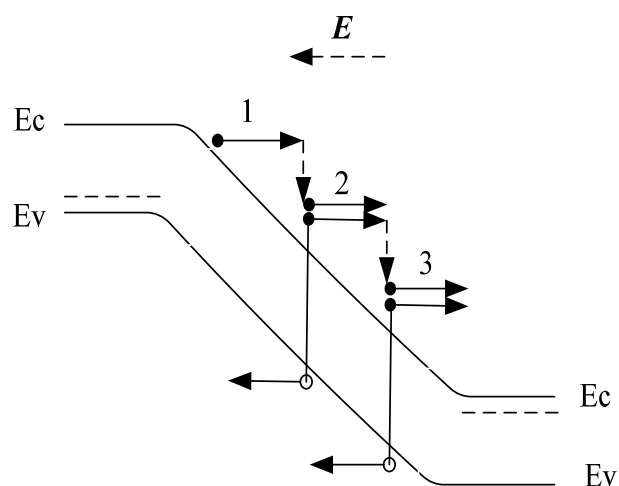


圖 2-2 累增崩潰

通常在半導體 P、N 兩邊均為輕摻雜情況下會發生，其空乏區內的載子會由熱游離(Thermal-generation)或從準中性區(Quasi-neutral region)漂移，然後再受到逆向偏壓產生的空乏區電場而加速，當電場持續加大，提供載子足夠的動能，能夠使得電子由共價帶(Valance band)，躍升到導電帶(Conduction band)，此效應稱之為衝擊游離(Impact ionization)，然而在衝擊游離後，會產生出新的電子電洞對，進而又會受到反向偏壓的影響，繼續撞擊其他原子，便會發生如同雪崩般的效應。

2.2.3 打穿崩潰(Punch through)

如同基納崩潰機制，當 P、N 接面兩邊接逆向偏壓，空乏區的大小會隨著承受的逆向偏壓改變，當空乏區已經無法擴張，進而碰觸到另一個電場區的時候，使得電場區彼此相連形成連續的電場，造成電流可以沒有阻礙的直接流過，此現象稱為打穿崩潰。

2.2.4 轉折崩潰(Snap back)

此種崩潰機制會造成 S 型的崩潰，如圖 2-3，這是因寄生的 BJT 電晶體二次崩潰(Second breakdown)所導致。

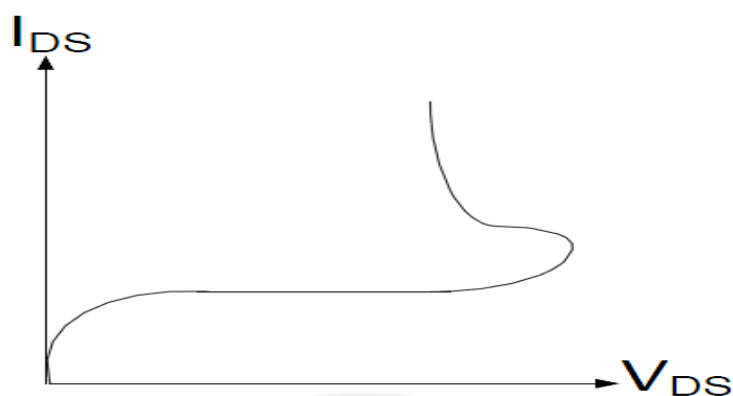


圖 2-3 S 型的轉折崩潰

2.2.5 氧化層崩潰(Dielectric breakdown)

當橫跨氧化層的電場過大，也會導致崩潰的發生。通常在功率元件，或是氧化層足夠厚的元件中，即不會發生此崩潰現象。此崩潰原理，原是無法承受外加的電場而開始發生大量漏電流的情形，稱之為氧化層崩潰。

此種崩潰會破壞最基本 MOS 結構中的閘極氧化層，使得元件將

無法再受到控制，即使降低施加的電壓，也無法回復氧化層原本的耐壓，是一種永久性的破壞。

2.3 功率元件的耐壓提升

當閘極與陰極接地、陽極端持續加電壓時，元件為關閉(Turn off)的動作，元件兩端集始有電位差，但電子與電洞依舊無法流經至基極端(Base)，定義為靜態特性，在陽極端與陰極端持續提供電位差，至接面崩潰前，元件便無大電流的產生。而元件的壓降為接面電場的影響，此時能承受最大電壓稱之為崩潰電壓(Breakdown voltage)。在早期的功率元件以垂直型結構為主，製作上是以低摻雜和高厚度的漂移區(Drift region)，讓元件在高壓操作下能有很長的空乏區的產生，進而降低電場集中的現象，增加元件的崩潰電壓，但由於是垂直型元件，不易與低壓控制電路做結合。以橫向型結構，雖然需要增加元件的面積，但與垂直型相比，容易與其他低壓電路元件整合於積體電路上。回顧文獻，在西元 1989 年 B.J.Baliga 提出 BFOM 比較[17]，其定義為崩潰電壓與導通電阻的比值，如果比值越高，代表此功率元件的特性越好，因此有許多文獻提出提升崩潰電壓的方式，其中以西元 1979 年，J. A. Appeals 和 H. M. J. Vaes[18]提出 RESURF 原理，利用薄磊晶層造成 P-N 接面空乏區長度的延伸，進而達到降低表面電場，有效提高元件的崩潰電壓，到至今有許多 RESURF[19]-[28]原理，以

便提高崩潰電壓與降低導通電阻，並根據文獻列出幾項常用提升崩潰電壓的方式。

(a) 場板結構[Filed plate]

在汲極氧化層上方，將電極拉長，其功用在於疏緩汲極附近表面氧化層下緣的電場強度[Electric field crowded]，如圖 2-3 所示。其利用偏壓的方式，使得空乏區型狀得以緩和，不易發生電力線壅擠的問題，圖 2-4。在 P/N 接面逆偏時，隨之空乏區形成，在場板端加入負偏壓，在 N 區域底下空乏區電荷為負離子，與偏壓在排斥作用下，造成 a 情形的空乏區型狀，如此可看出電力線將變為擁擠；若給予正偏壓，會因負離子與偏壓有吸引力的關係，延伸了空乏區的型狀，如 b，將電力線分散，相對耐壓就能提升。

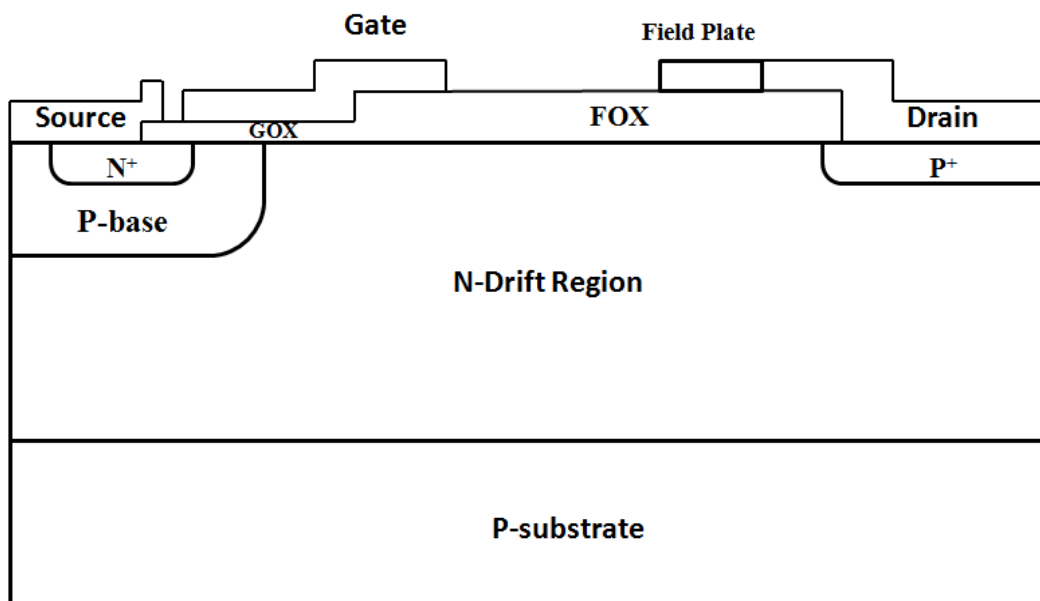


圖 2-4 Field plate 結構

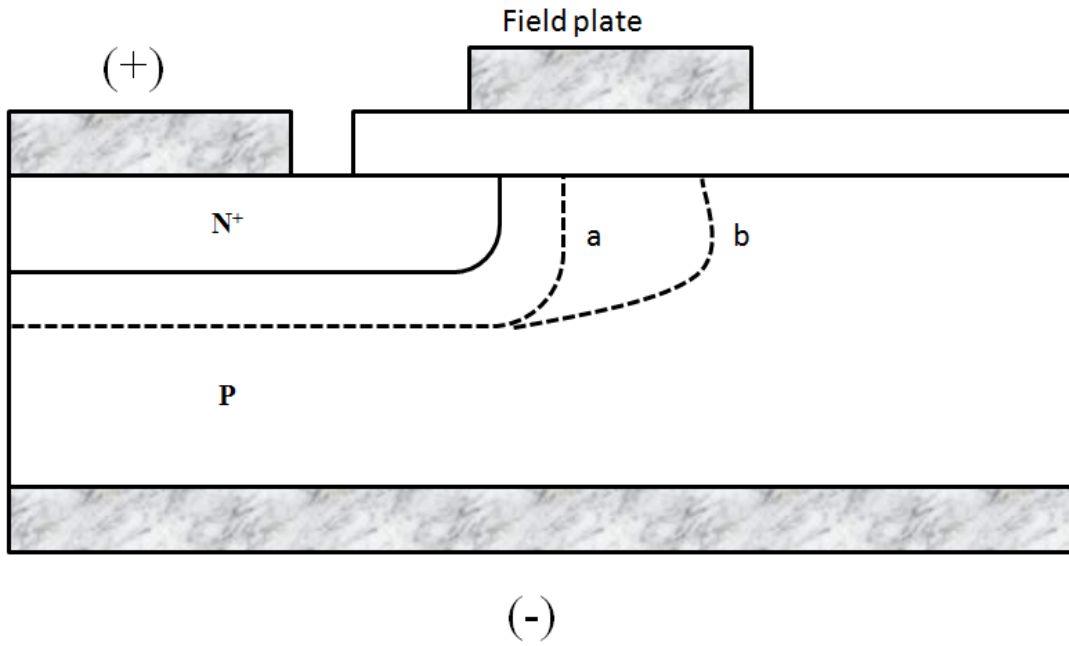


圖 2-5 Field plate 結構

(b) P 型埋藏層結構[P-buried layer]

將埋藏層加入元件中，如圖 2-5 所示，可以發揮 RESURF 效果，將會疏緩漂移區下緣的最大電場強度。

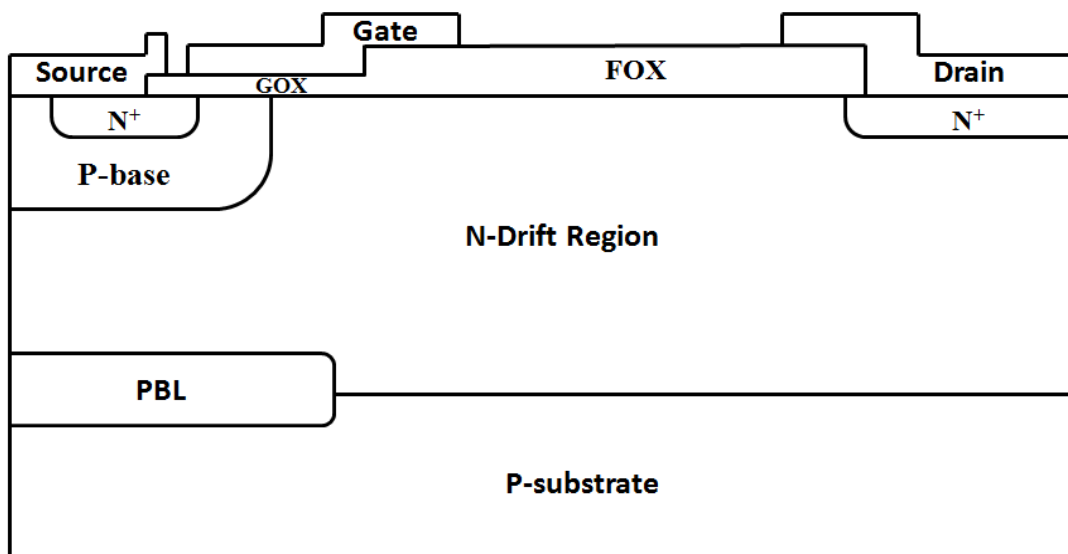


圖 2-6 P-buried layer 結構

(c) P-top、P-ring、Two-Zone 結構

元件在做 FOX、LOCOS 前，在表面摻雜 P 型離子，如此一來便可提高 N 型磊晶層濃度，進而降低導通電阻，如圖 2-6 所示，其電場也將有效的得到紓解。而因整片的 P-top 雖可以利用增加濃度降低導通電阻，但會造成閘極端的介電層提早崩潰。因此後來發展出 P-ring 以及 Two-Zone double RESURF，如圖 2-7、2-8 所示，其原理如 RESURF，但是不會使導通電阻增加太多。

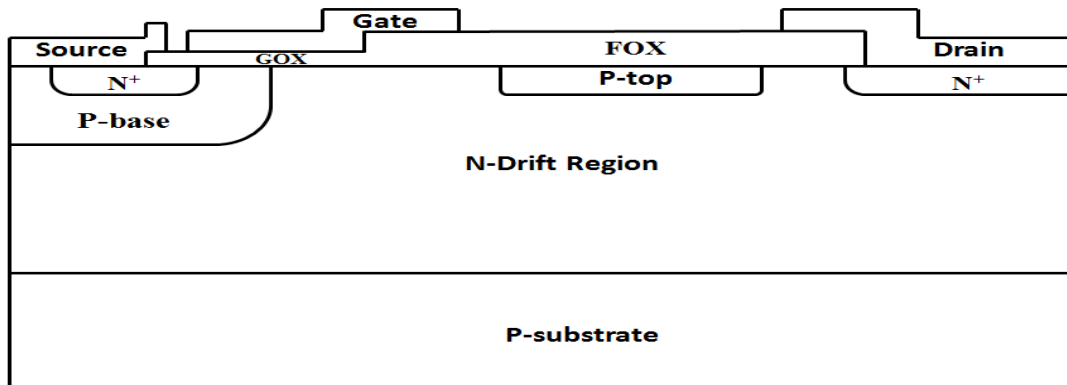


圖 2-7 P-top 結構

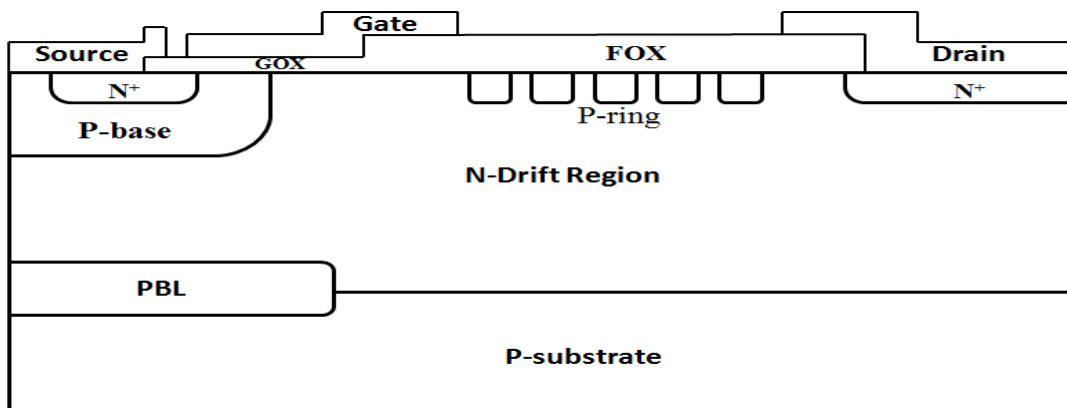


圖 2-8 P-ring 結構

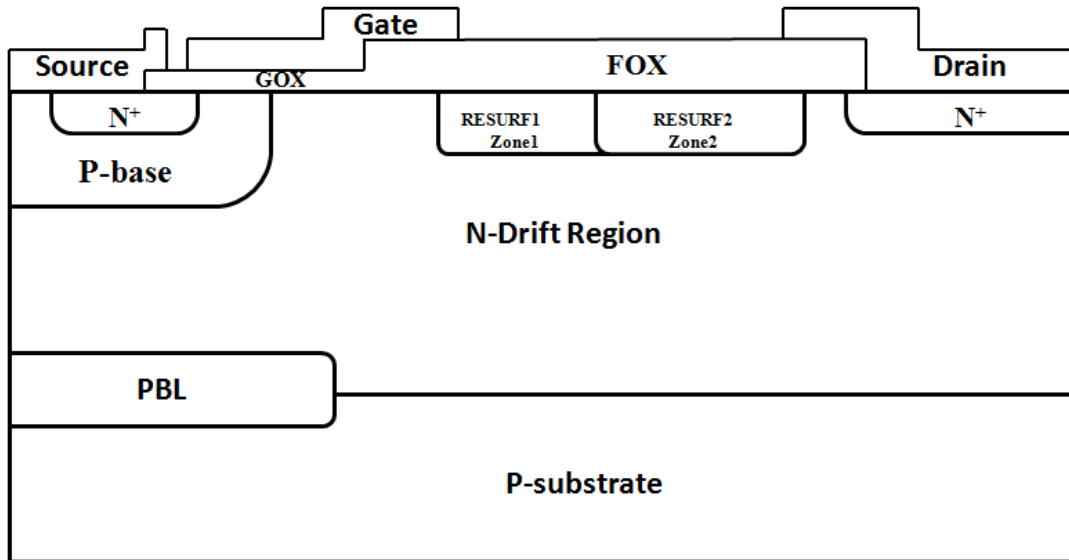


圖 2-9 Tow Zone double RESURF 結構

(d) Trench 結構[29]

圖 2-9，利用蝕刻與薄膜製程技術，利用二氧化矽具有較高介電強度的特性，將其長入閘極下緣，藉此可承受更高的電場強度，可提高耐壓。

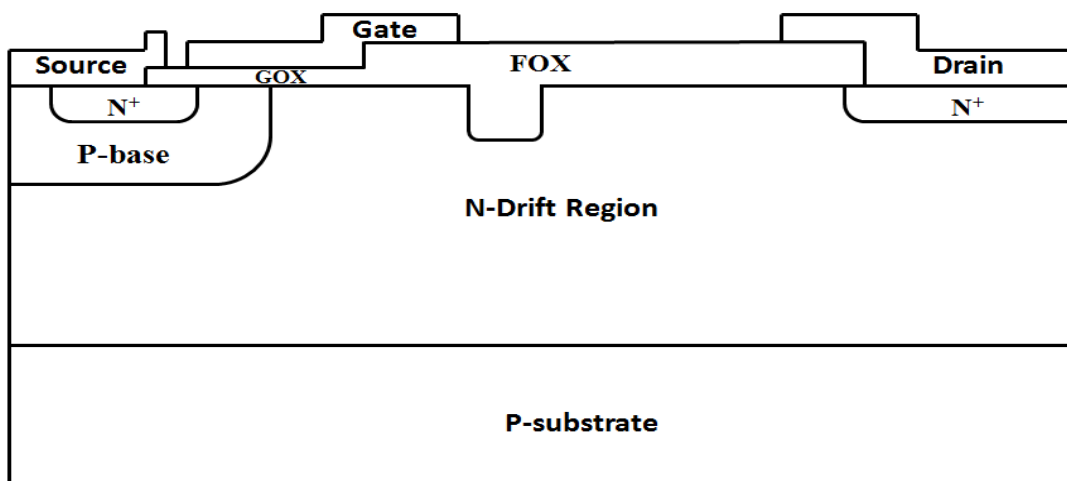


圖 2-10 Trench 結構

(e) 浮接場環結構

在主要接面的邊緣附近，因空乏型狀容易造成電場提早崩潰，如圖 2-10，加入了浮接場環的摻雜，在接面空乏區的連續效應下，降低電力線的擁擠問題，相對提升崩潰電壓。

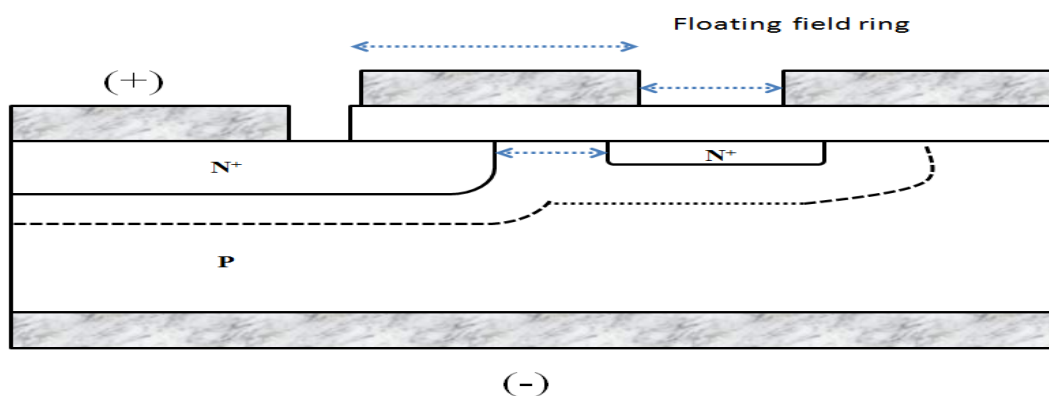


圖 2-11 浮接場環結構

2.4 基本參數定義

此節定義功率元件的性能參數，如此即可用公平、客觀的方式，比較各式功率元件之間的性能表現，以下列出重要的電性參數與其定義。

2.4.1 崩潰電壓[Breakdown voltage]

MOSFET、IGBT 元件在閘極偏壓為零(接地)時，代表之功率元件為 off-state，但隨著陽極電壓持續增加時，在陰極與陽極的電位差持續增加的情況下，電流會上揚。一般而言，當陽極電流上升達到 $1 \times 10^{-8} \text{A}/\mu\text{m}$ 的時候，元件將被視為達到崩潰狀態。

2.4.2 導通電阻(On – resistance)

當閘極偏壓大於啟始電壓[Threshold voltage]時，陽極電壓(V_D)與陽極電流(I_D)斜率與元件面積相乘，其值即為導通電阻，在本文中將以公式(2-1)求得。

$$\dots\dots\dots (2-1)$$

2.4.3 效能指標(Efficiency index)

對於功率元件的性能，希望該元件同時具有高崩潰電壓與低導通電阻。因此透過效能指標公式(2-2)中，可以直接評斷功率元件的優劣，如果此值愈大代表元件的設計與性能愈佳。

$$Efficiency = \frac{Breakdown\ Voltage}{On\ Resistance} \left(\frac{V}{m\Omega - cm^2} \right) \dots\dots\dots(2-2)$$

2.4.4 基板漏電流與導通時的效能指標

當功率元件導通時，電流應當從汲極端通過至漂移區，進而到達源極端，此電流為一般導通時所熟知的 I_D 。但在基板下方的電流 I_B 必須去考量，此電流將會影響到其他同時運作的元件。一般而言，導通電流與漏電流的比例應差異在 $10^4 \sim 10^5$ ，並且電流密度必須保持在 $10^{-5} Acm^{-2}$ 。

2.5 功率元件 LDMOSFET 與 LIGBT

LDMOSFET[30]-[35]與 LIGBT[36]-[48]其結構非常的類似，在不考慮其缺點或改善方式，LIGBT 只在陽極端(Anode) 比 LDMOSFET 多摻雜 P^+ ，導致在導通時將會有電洞的注入。

2.5.1 LDMOSFET (Lateral Diffused MOSFET) 耐壓與導通特性

橫向擴散 MOSFET 的結構，圖 2-11 所示，主要的結構包括汲極 (Drain)、源極(Source)、閘極(Gate)與 P 型基底(P-substrate)四個端點。LDMOSFET 操作與一般 MOSFET 原理相同。在 LDMOSFET 中的漂移區主要功能，即在電路關閉時，須得承受數十至數百伏特的驅動電壓，而漂移區的面積與阻抗大小，為 LDMOSFET 的性能指標。

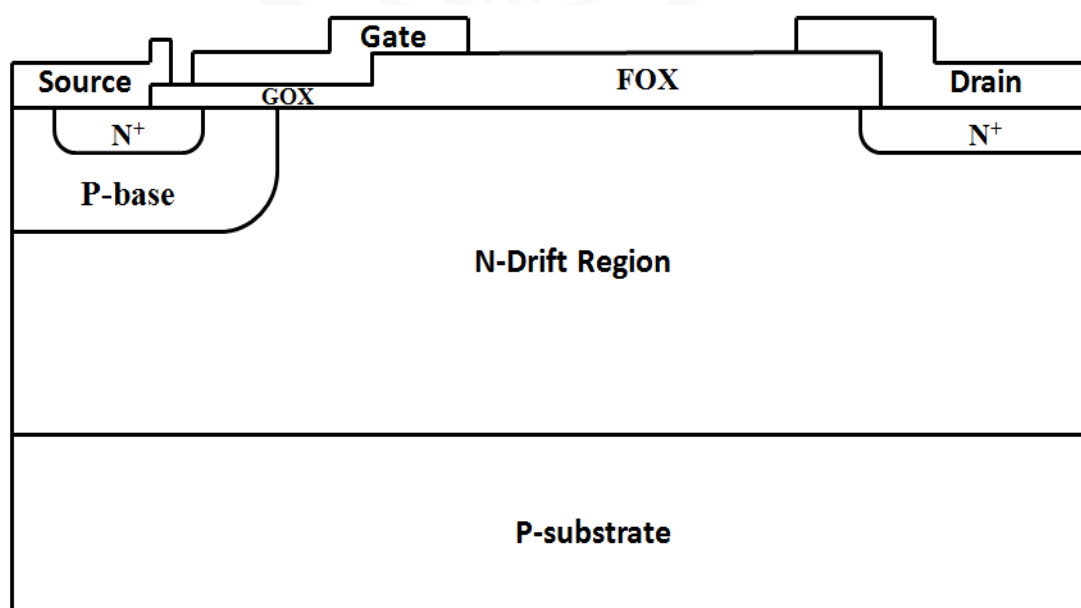


圖 2-12 橫向擴散 MOSFET 的結構

N 通道 LDMOSFET 元件導通時，閘極端的正電壓將電子吸引至閘極下方的 P-base 區，形成通道(Channel)，電子即會由源極經過 P-base 區中的通道及漂移區到達汲極。其在 LDMOSFET 導通結構中，可視為一個 MOSFET 串接一個漂移區電阻，導通電阻由 MOSFET 的 I_d-V_d 特性、以及漂移區電阻值的大小所決定。

這邊將導通電阻區分成二部份：通道電阻 R_{ch} (Channel resistance) 和漂移區電阻 R_D (Drift region resistance)，圖 2-12 所示。

因此導通電阻可表示為：

$$R_{on}=R_{ch}+R_D \dots\dots\dots (2-3)$$

$R_{ch}+R_a$ 電阻特性與計算，將可沿用 MOSFET 的分析與公式。而漂移區電阻值將取用半導體材料電阻公式：

$$R = \rho_D \frac{l}{A} \dots\dots\dots(2-4)$$

其式子中 ρ_D 為漂移區的電阻係數； l 為電子流的路徑長度； A 是電子流流通的截面積，搭配漂移區幾何形狀與電力線分佈，便可估算其電阻值。

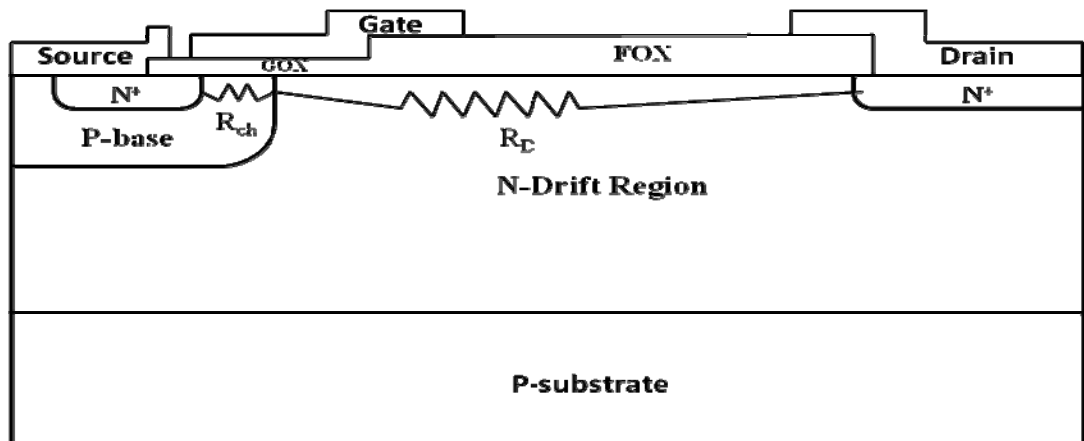


圖 2-13 MOSFET 的電阻示意圖

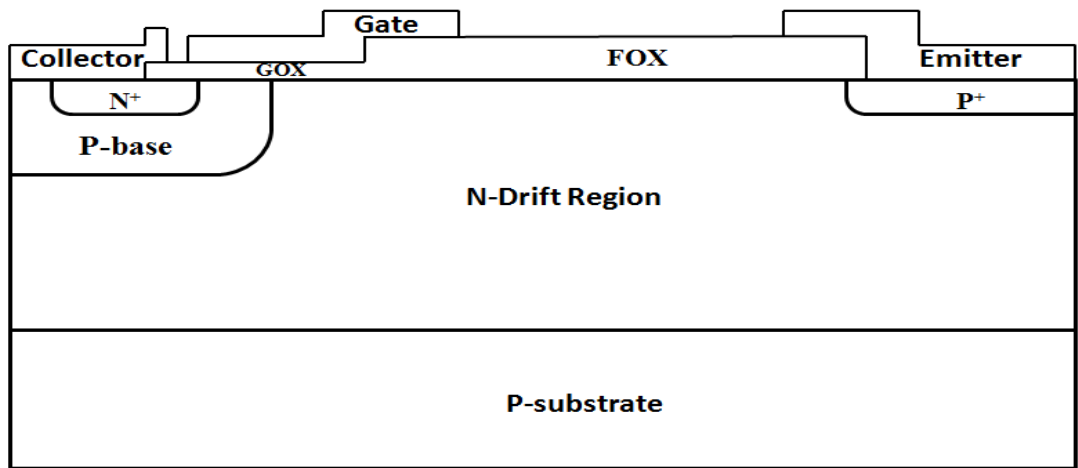
2.5.2 LIGBT [Lateral Insulated Gate Bipolar Transistor]

耐壓與導通特性

LIGBT 在結構上為橫向式的元件結構，雖然和IGBT[Insulated Gate Bipolar Transistor] 垂直式元件結構不同，但是是由IGBT 所衍生而來，如圖2-13(a)、2-13(b) 所示。把IGBT 位於元件底部的射極 [Emitter]改置於相對集極端的另一邊，射極與集極中間依然存在著漂移區，如此就為橫向結構的LIGBT。



圖2-14(a) IGBT 結構



2-14(b) LIGBT 結構

圖 2-14 中，LIGBT 元件結構是由 MOSFET 與 BJT 所組成，除了元件結構本身的 NMOS 與 PNP 電晶體之外，還存在著寄生電阻 R_s 與寄生 NPN 電晶體，而 LIGBT 的整個元件結構均可以等效成圖 2-15。

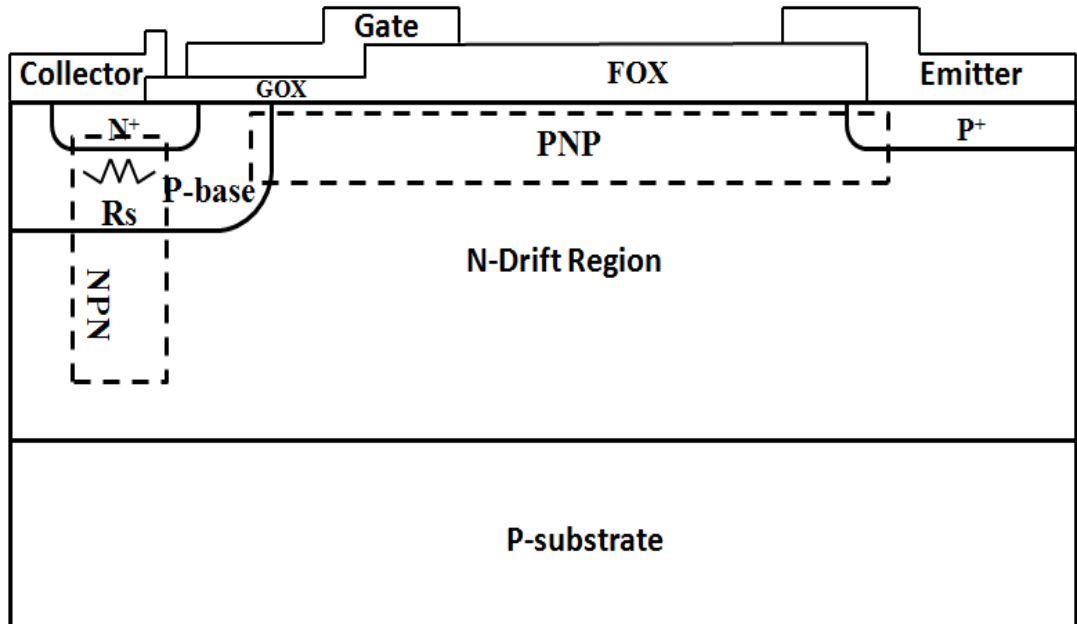


圖 2-15 LIGBT 寄生元件示意圖

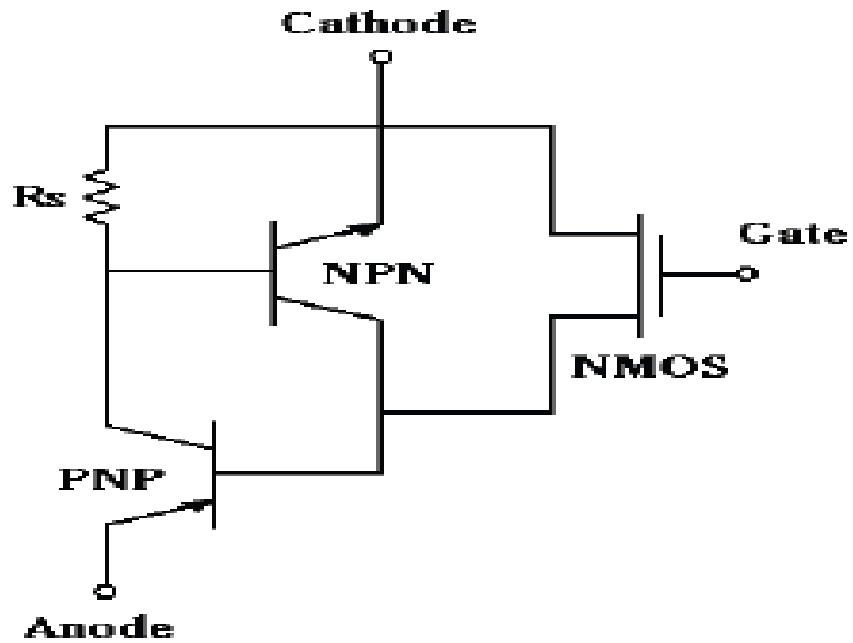


圖 2-16 LIGBT 等效電路圖

這兩種元件也是利用閘極控制，當我們對閘極(Gate)施予電壓時，閘極下方的 P-base 區會產生反轉層而形成通道，元件便從關閉切換至導通的狀態(Turn-on)。此時射極(Emitter)施加正電壓，電子流將會流經通道進入 PNP 電晶體的基極(為 N 型漂移區(N-epi)。當 BJT 基極電流足夠使 P⁺陽極/N 型漂移區接面順偏時，P⁺陽極端便會注入大量電洞，造成元件通過大電流。當大量的電洞由 P⁺陽極端注入 N 型漂移區時，會降低原本 N 型漂移區的電阻值，使得元件導通電阻大幅下降，導通大量電流，我們稱之為電導調變效應(Conductivity modulation)。

等效電路圖裡的寄生電阻 R_S 主要來自閘極下方 P 基極的電阻值，元件在一般工作的情形之下，流經電阻 R_S 上的電流會形成電壓降，當流經 R_S 的電流造成的壓降足夠大時，便會使寄生的 NPN 電晶體導通，PNP 電晶體將會有正回授的效果，引發大電流流經元件。此時閘極將會失去原本控制電流的功能，不僅電流失去控制，甚至會損毀元件或電路，此現象稱之為閃鎖效應(Latch-up)[49][50]，而改善閃鎖效應最直接辦法就是降低電阻值 R_S 。

在 IGBT 裡，耐壓的考量，除了上節所述的 RESURF 方法，還可在陽極端附近，增加 N 型緩衝層(N-buffer)[51]，使得原本近似於三角形的電場，圖 2-16，趨緩變成梯形電場，圖 2-17，藉此提高耐壓。

此外在 IGBT 結構裡，因汲極端有 P^+ 的關係將有電洞注入，因此 P 型埋藏層結構與 P-top 結構在順偏時將會有效的吸引電洞的流向，如圖 2-18、2-19。

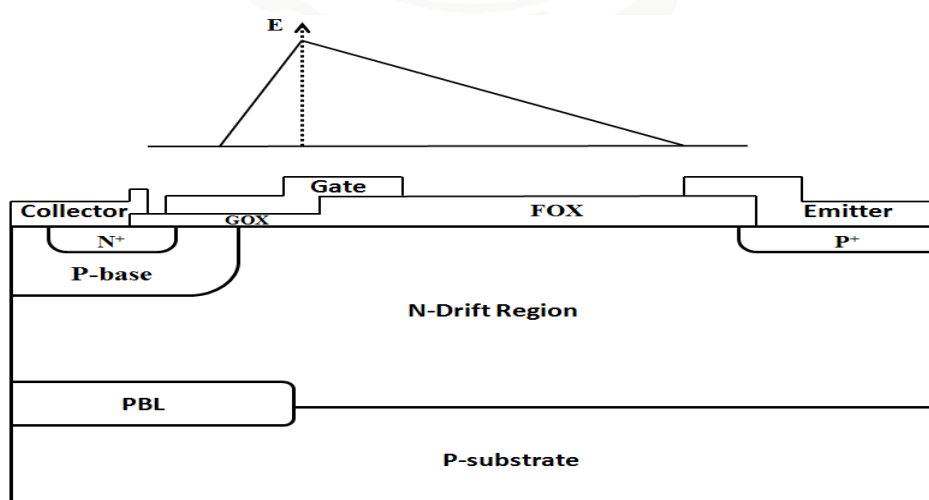


圖 2-17 未加 N 型緩衝層電場示意圖

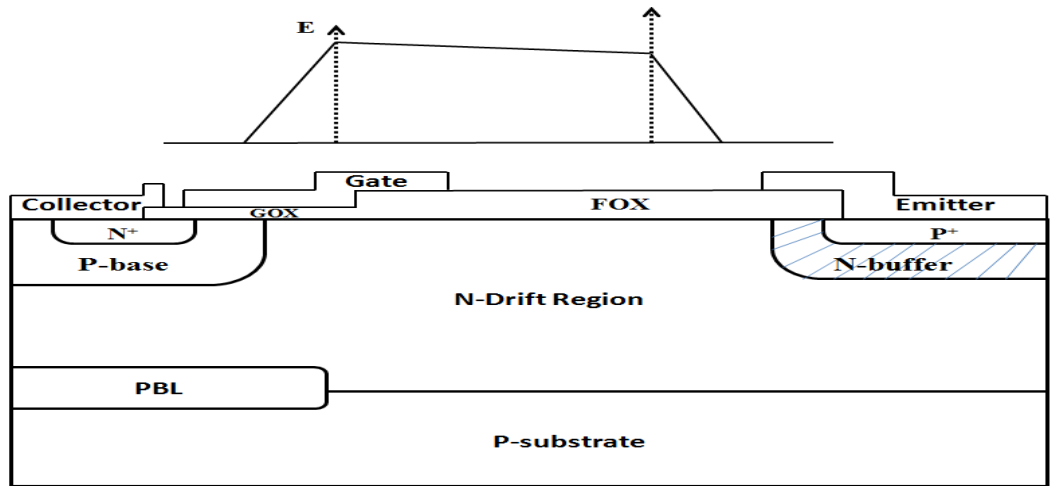


圖 2-18 增加 N-buffer 降低電場示意圖

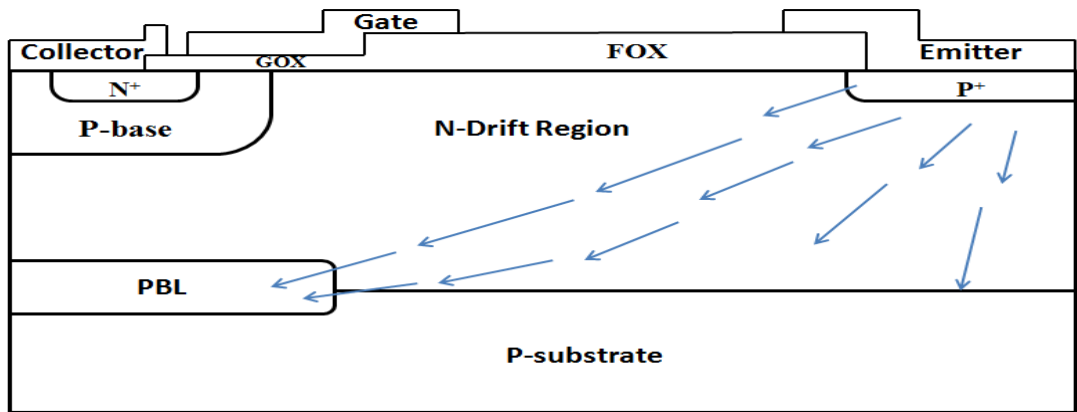


圖 2-19 P 型埋藏層結構對電洞的影響

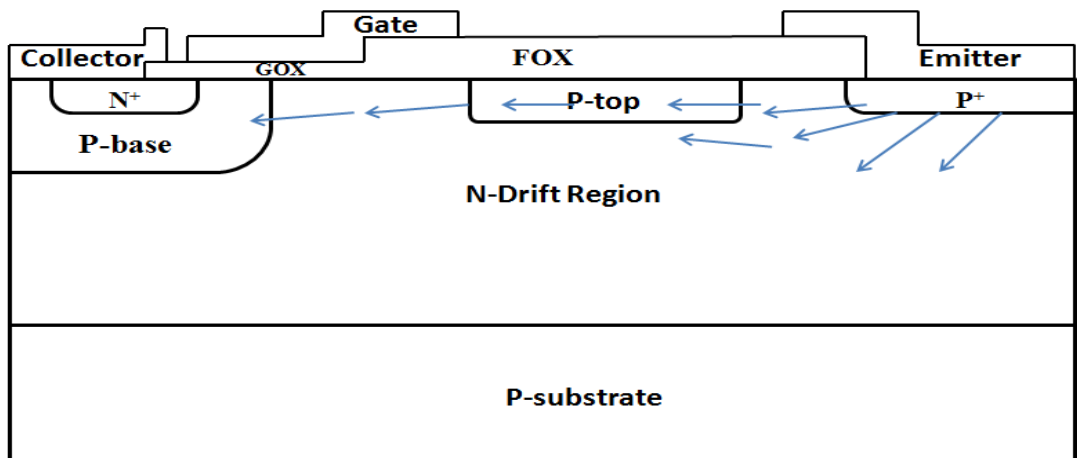


圖 2-20 P-top 結構對電洞的影響

2.6 回顧 LIGBT 元件在結構上效能的改善、討論

由於本次的研究，主要探討的元件為 LIGBT，在回顧以往元件結構上的變化，改善元件的效能，便不討論 LDMOSFET 結構。

在圖 2-20 結構中，討論元件會因 R_s 電阻過大，導致 NPN 的電晶體導通，形成無法關閉，造成閃鎖效應。在防治方面，就得以降低 R_s 電阻為目標。其從文獻中，有如圖 2-21 所表示的 P 型深埋層與 P 型井結構的搭配(P-buried layer structure and P-sinker)[52]，在此結構中，利用加入 P-sinker 層的摻雜濃度，降低 R_s 電阻，而 P-buried layer 為吸引電洞流流經此處，在導向 P-sinker，可避免閃鎖效應的發生；圖 2-22 為自我對準溝朝式結構(Self-aligned trench structure)[53]，元件在集極端形成氧化層後，利用蝕刻方式，做垂直的凹朝，使得集極的金屬可以接觸到 N^+ 與 P-base，同時縮短電洞流經 P-base 的距離，降低了 R_s 的電阻；最後還有溝朝式閘極結構(Trench gate structure)[54]，圖 2-23，主要是改變電流路徑的方法，將集極與閘極交換位置，使其電流並不需要經由 P-base，而是直接流到集極，如此一來便可將寄生電阻 R_s 去除，但其製程技術須準確，較困難。

LIGBT 在導通時，雖然由閘極控制電流，但其電流成分包含電洞流與電子流，就必須承受少數載子殘留的問題，導致 LIGBT 無法工作於高頻的情況，其根據文獻，會採用陽極短路結構(Shorted anode

structure)，圖 2-24[55]，其元件結構在於加速移除少數載子的殘留，在橫向的 PNP 電晶體，元件開關切換時，少數載子會殘留於 N-Drift Region 區域，此時並沒有一個順向 P/N 接面路徑，提供少數載子的移除，只能靠複合電流，所以速度慢。故此提供一路徑，由 N-drift region 到 N-buffer 最後由 N^+ 端，少數載子可經由此路徑，在速度上有所改進，其製程上方便，也不需要再加入額外的光罩。

但在上述文獻的結構中，並無討論漏電流的情形。觀察文獻中的 I_D-V_D 曲線[56]，圖 2-25 可發現在低電壓的情形，LIGBT 導通電流會瞬間的往上上升。此情形於下一章節，以模擬驗證的方式，探討其問題的原因。

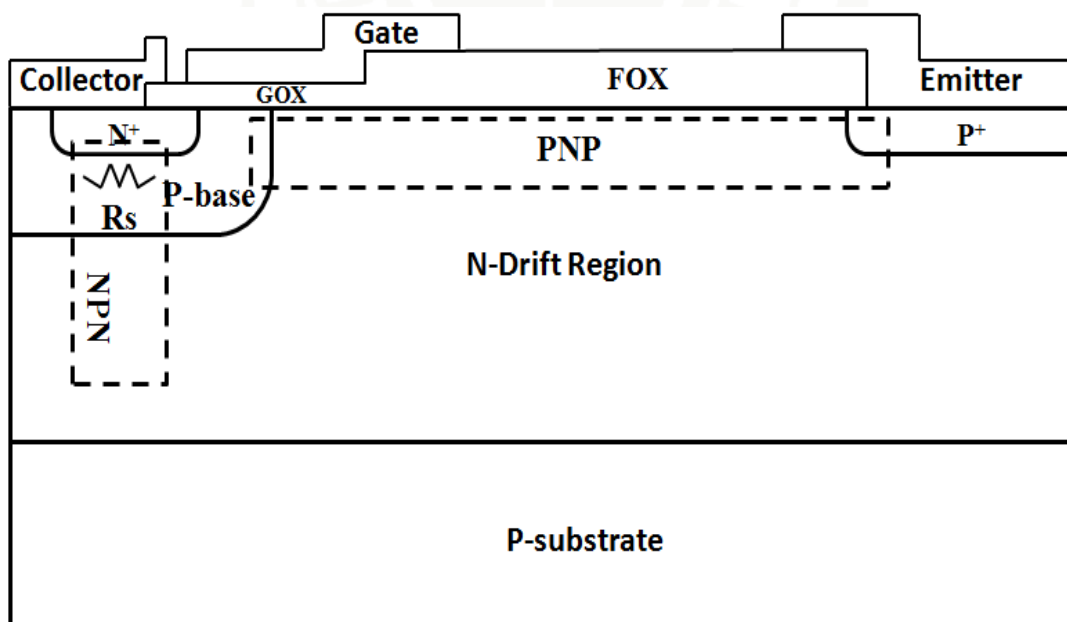


圖 2-21 LIGBT 寄生元件結構

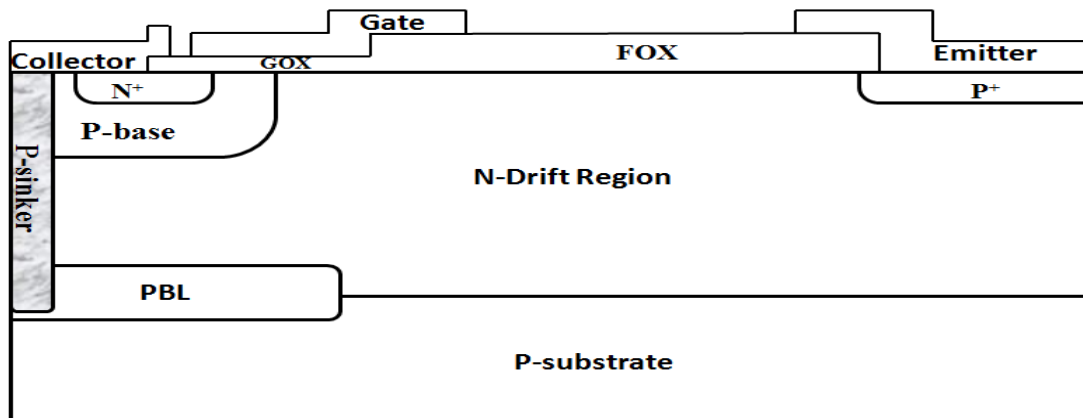


圖 2-22 P 型深埋層與 P 型井結構

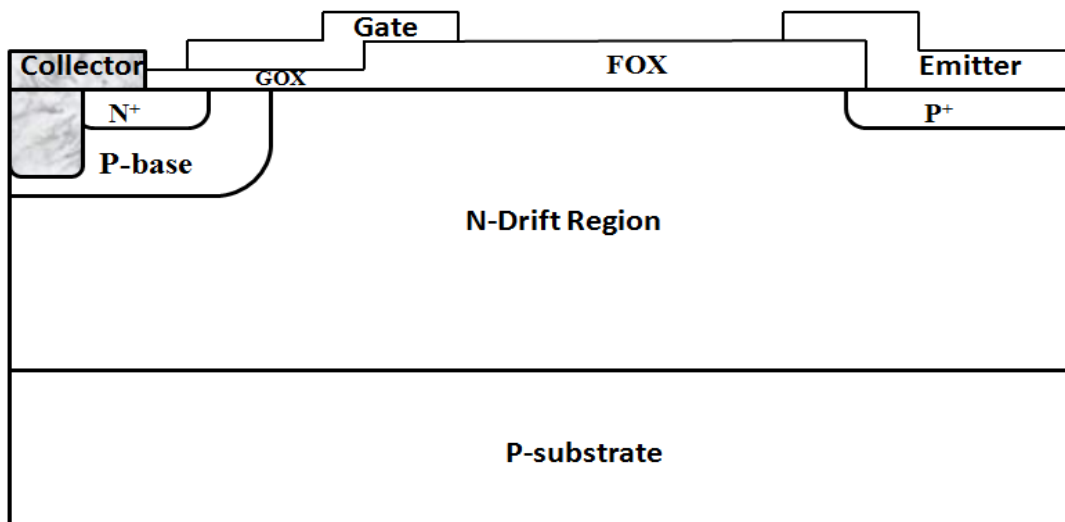


圖 2-23 自我對準溝朝式結構

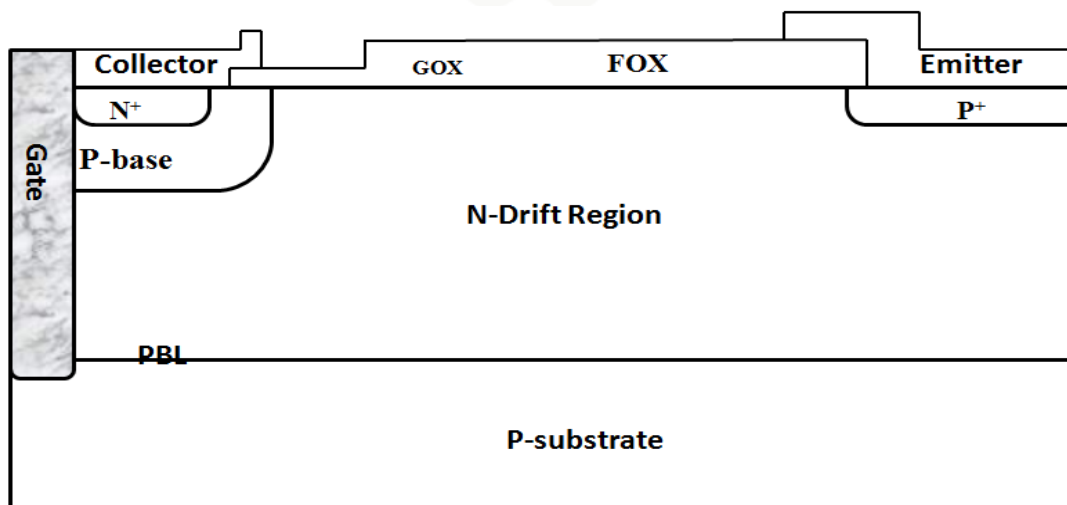


圖 2-24 溝朝式閘極結構

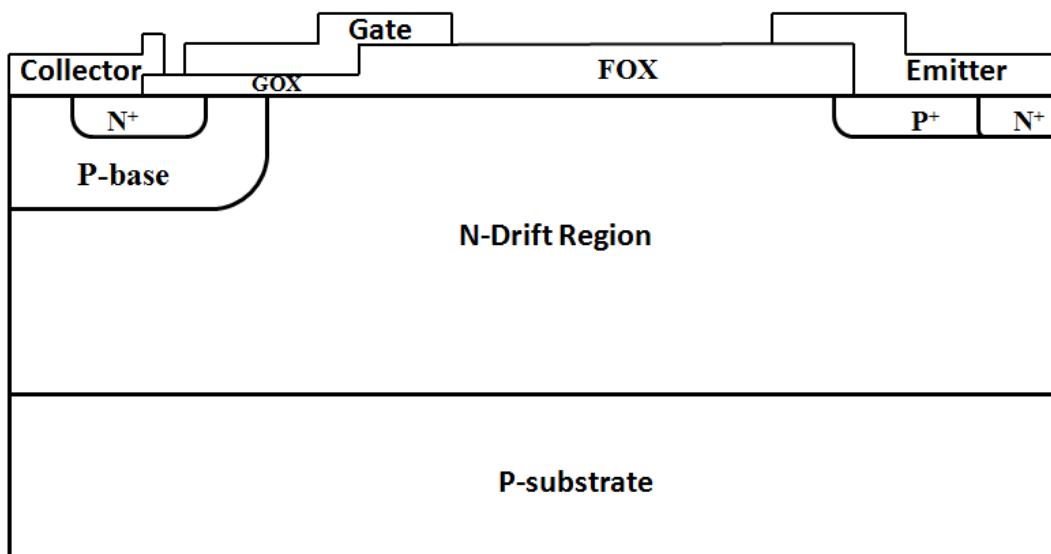


圖 2-25 陽極短路結構

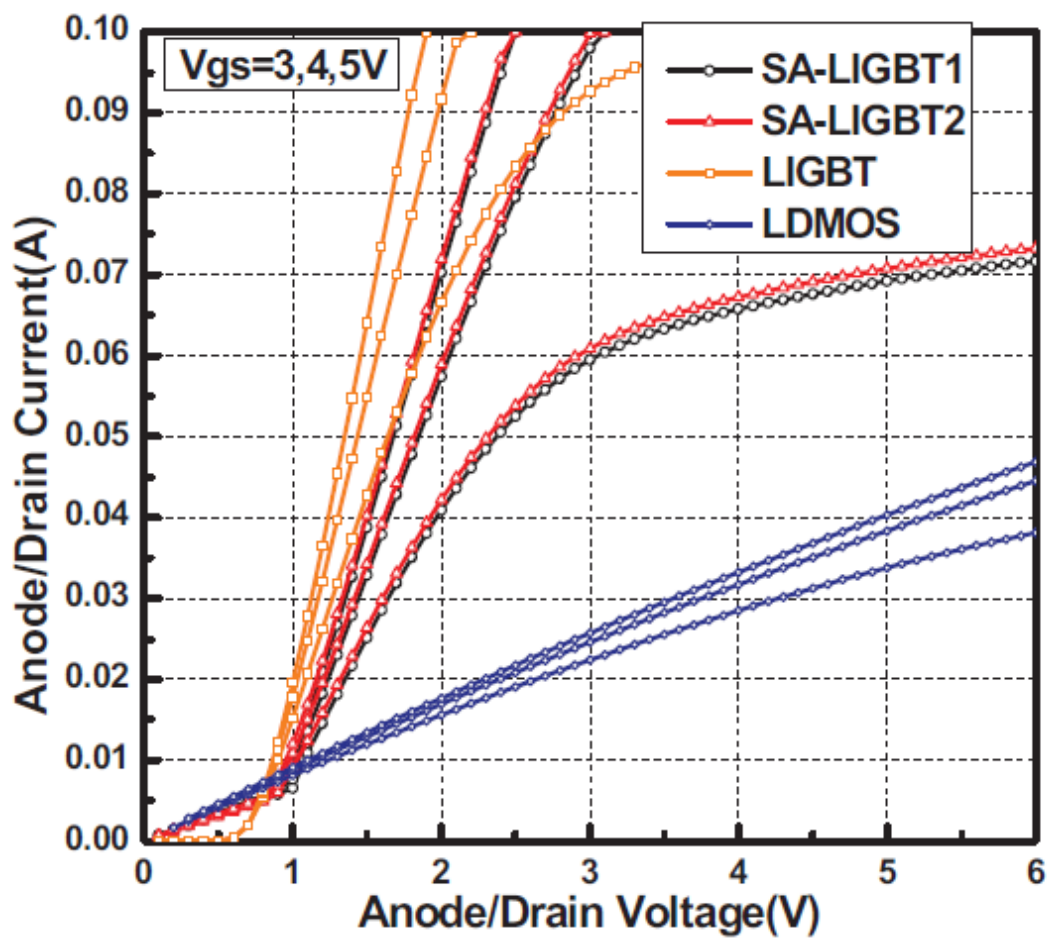


圖 2-26 文獻中的 $I_D V_D$ 曲線圖[30]

第三章 LIGHT 與 LDMOSFET 製程基本參數與電性模擬

經由第二章的元件結構討論後，此章節主要在於研究方法的進行，利用文獻的理論基礎，以 TCAD 驗證，並建立模組。為了提升功率元件的性能表現，RESURF 元件利用延伸空乏區的技巧，但也會侷限了導通電阻的範圍。根據上一章探討的 RESURF 文獻，先將 LDMOSFET、LIGHT 以 TCAD 模擬軟體，製作出模組，再進行討論。

3.1 基本參數與元件結構

在圖 3-1，元件的基本結構參考第二章所描述，文獻中得知橫向耐壓需要 N-drift region 須被完全空乏，降低表面電場，因此在此次設計中，加入 NBL 提高在陽極端底下的耐壓；加入 PBL、P-sinker 的設計，除了讓 N-drift region 空乏區能容易延伸外，更可確保降低門鎖效應的發生，並且在日後可讓功率元件與低壓控制電路在整合時，能達到隔離效果；加入 P-top 的結構，使用 double RESURF，提高耐壓。

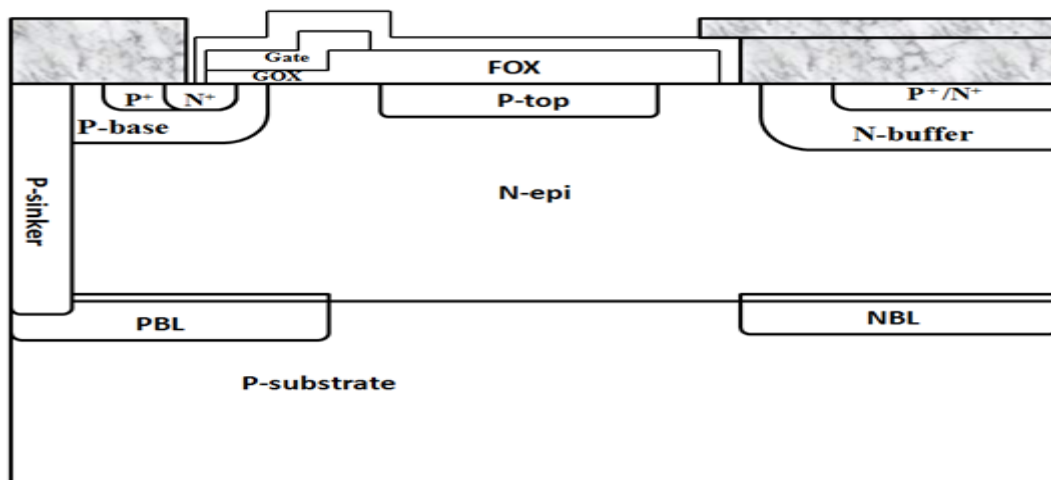


圖 3-1 元件結構設計圖

3.2 製程順序

圖 3-2 將文獻統整後，設計製程順序。所使用的 P 型基板為方向 <100> 濃度 $1.7e14$ 的矽晶圓，並在 N 型磊晶前，使用三次光罩，分別為在陽極端底下植入的 N 型砷離子；在陰極端底下植入濃、淡兩次的 P 型硼離子，並以退火(anneal)修補離子植入時的晶格損傷。完成上述三次摻雜後，便進行 N 型磊晶。磊晶過後，陽極端定義光罩在陽極端底下，植入 N 型磷離子做成 N-buffer 的區域；在陰極端底下植入 P 型硼離子做成 P-base 區域。由於此處有做 P-sinker 的步驟，因此需要多增加一次光罩，植入濃度較濃的 P 型硼離子，使 P-sinker 能在後續製程中，連接在一起。完成植入後，以爐管進行驅入(Drive in)，完成 N-buffer、P-base、P-sinker 區域後，在以光罩進行定義 P-top 的區域，並以退火(anneal)修補離子植入時的晶格損傷。接下來為設計鳥嘴(LOCOS)的區域，以及起始電壓的調整。再來定義閘極的長度，其電極大多使用多晶矽(Poly silicon)，接下來須考慮是 LDMOSFET、LIGBT，如果是 LIGBT，在陽極端必須多加一次 P+ 的摻雜，但在陰極端，光罩開的位置兩者皆相同，並且使用自我校準方式做植入，之後再有兩次的光罩，則是完成後段製程的部份(Backend process)。

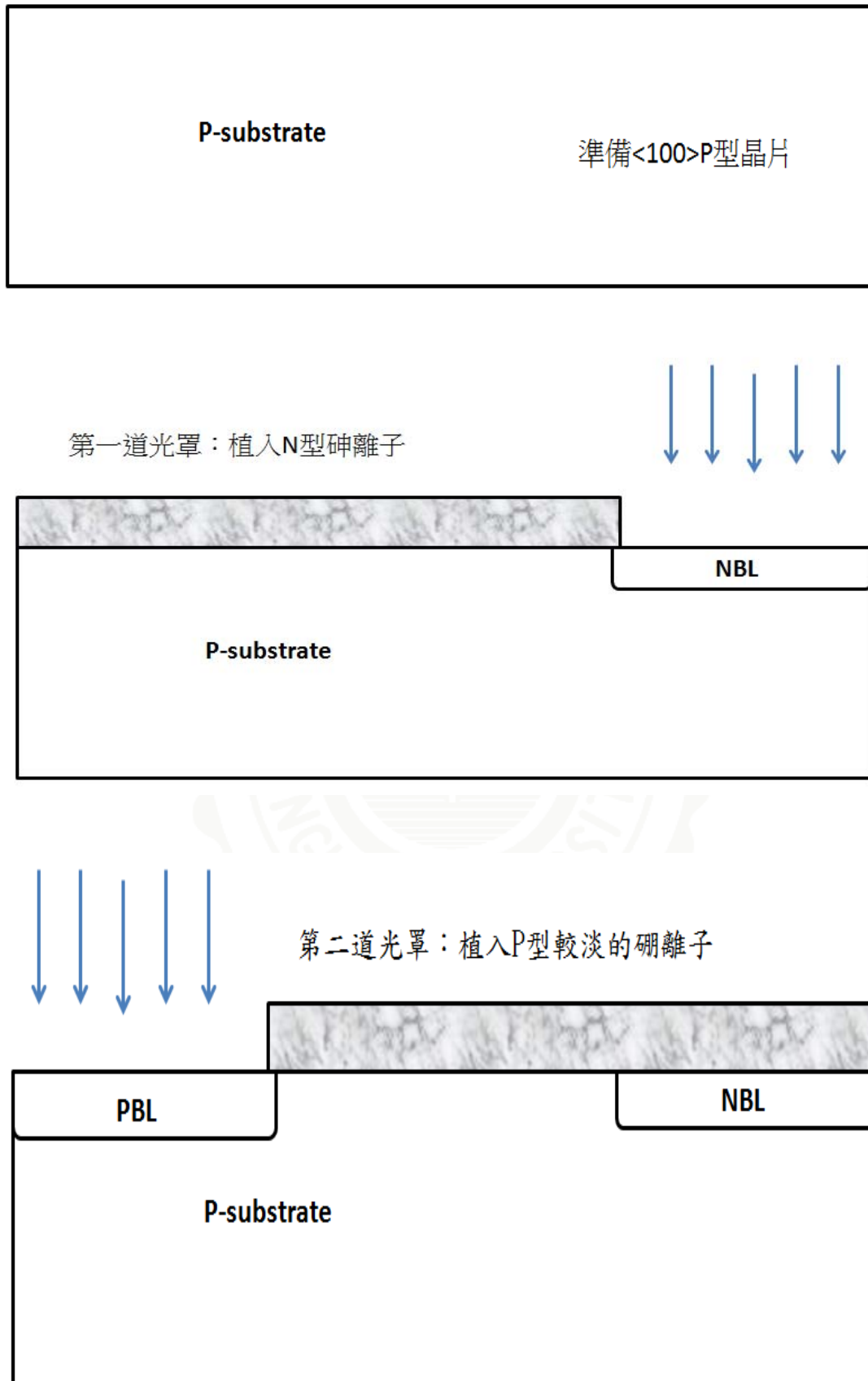


圖 3-2 元件設計流程圖

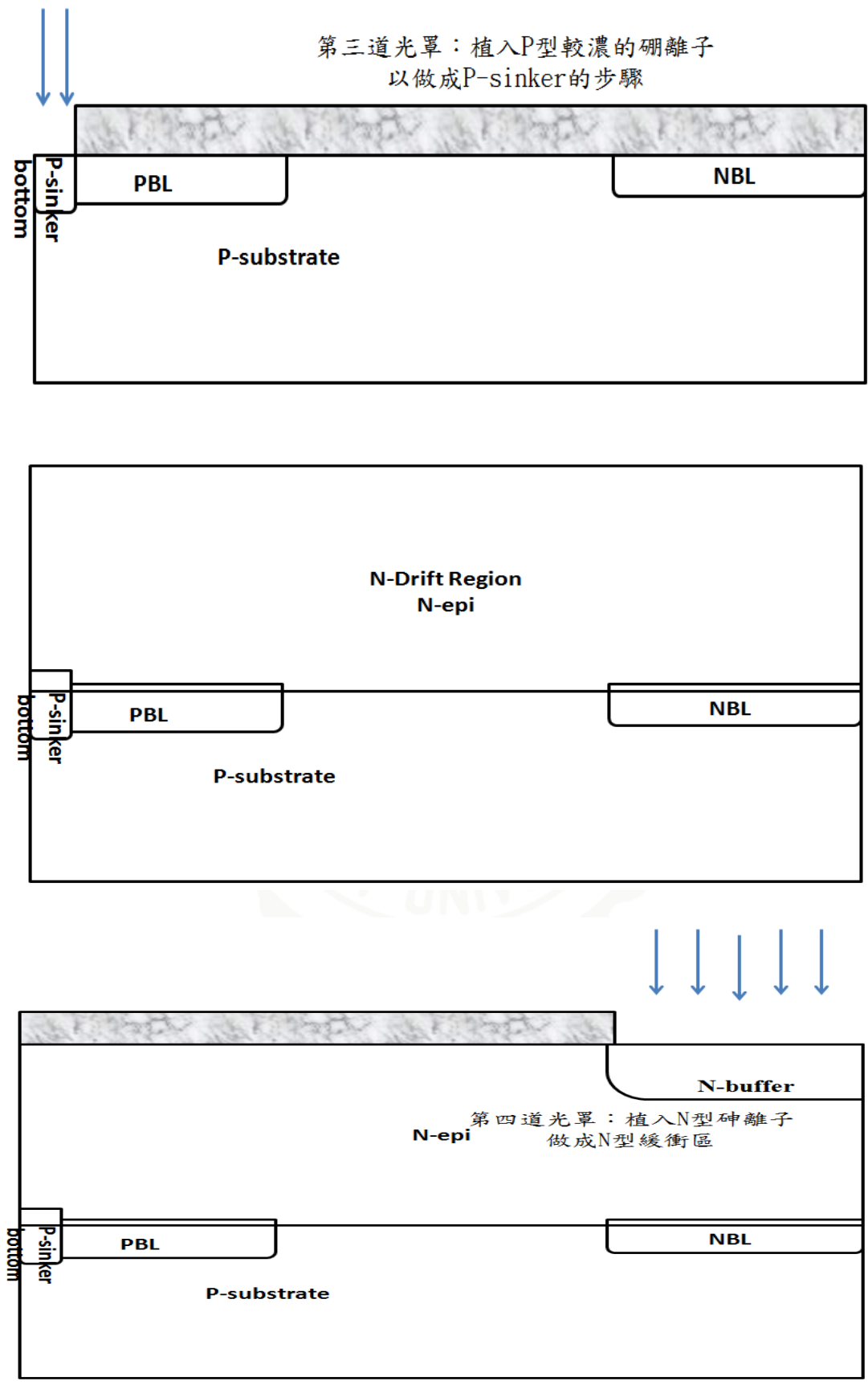


圖 3-2 元件設計流程圖

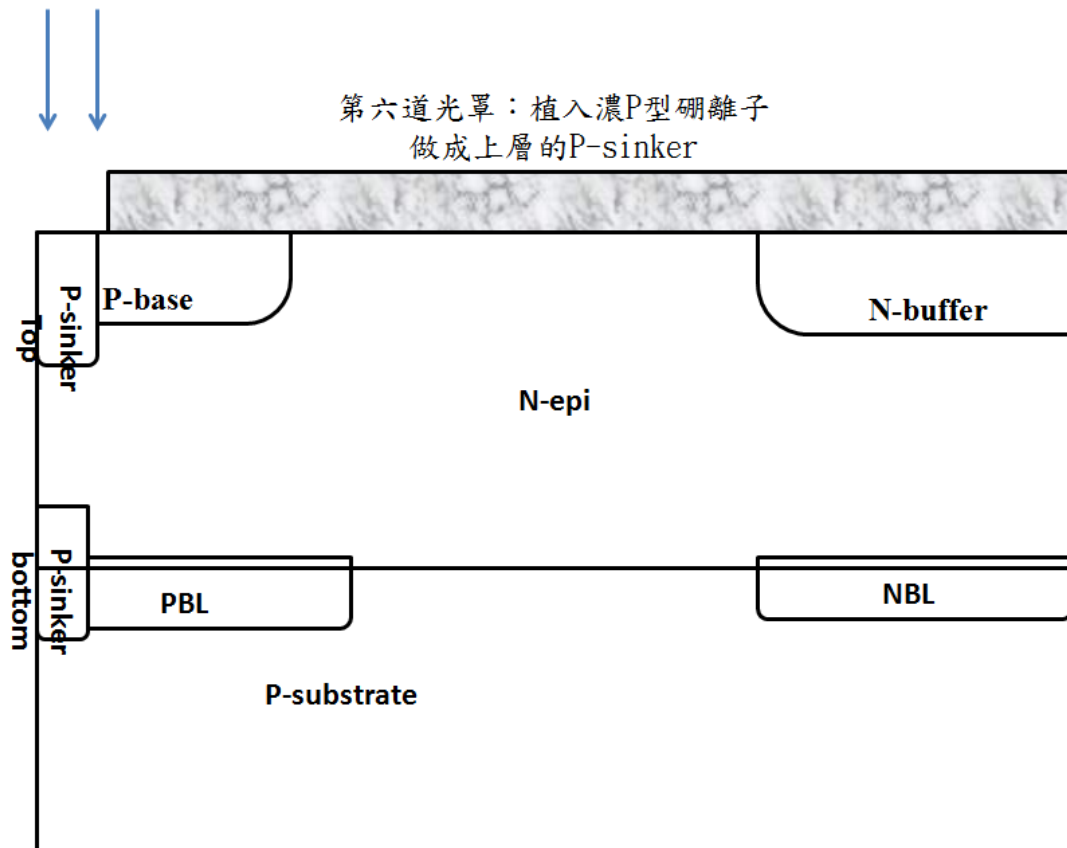
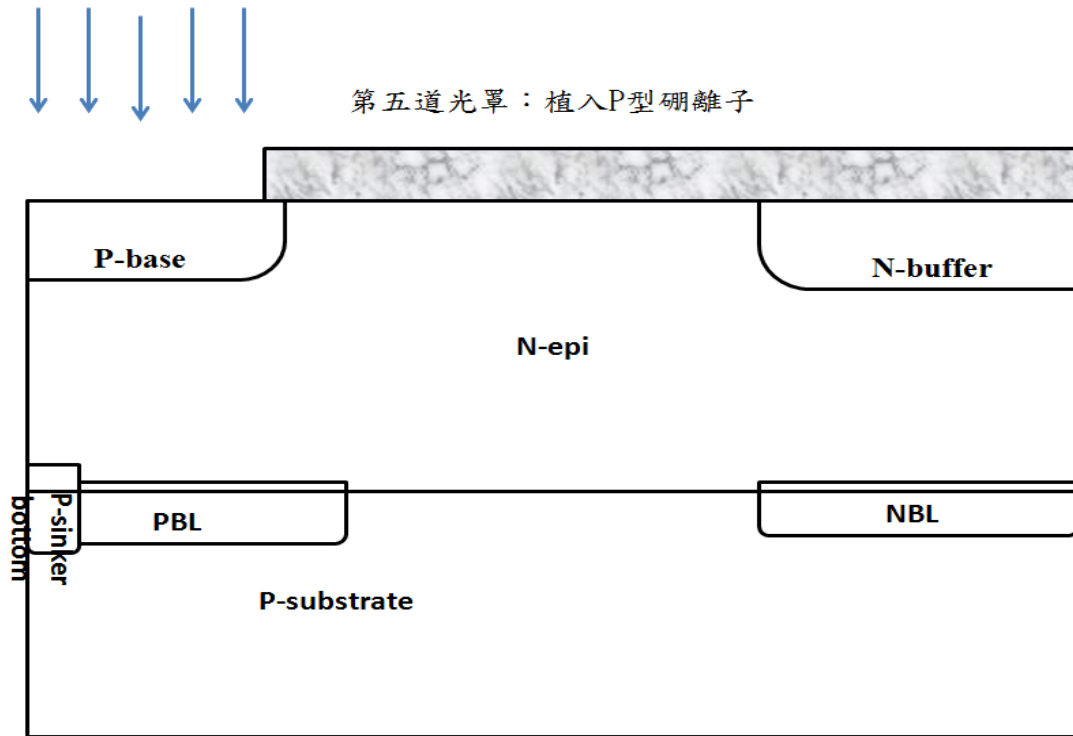
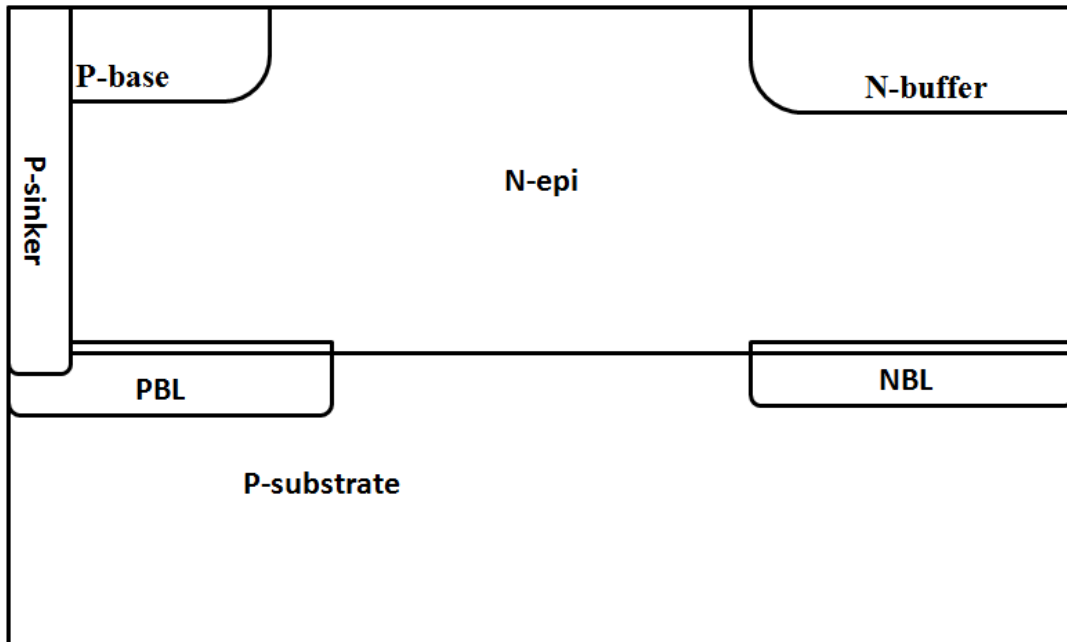


圖 3-2 元件設計流程圖

做Drive in 動作，使P-sinker做相連
也使N-buffer區域能驅入



第七道光罩：植入低能量P型硼離子
做成P-top區域

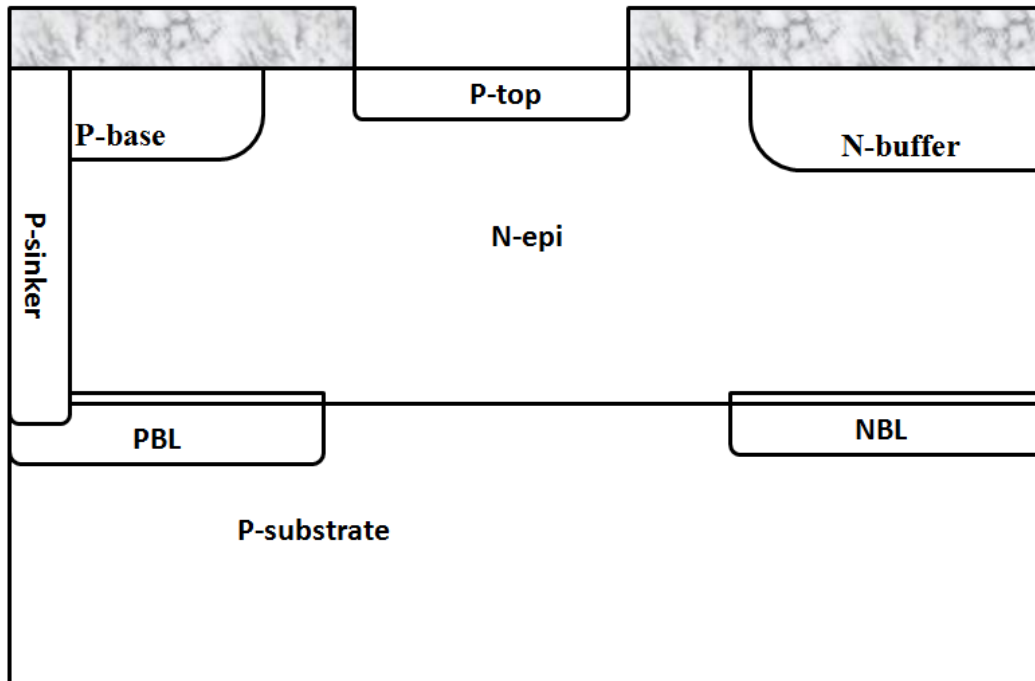
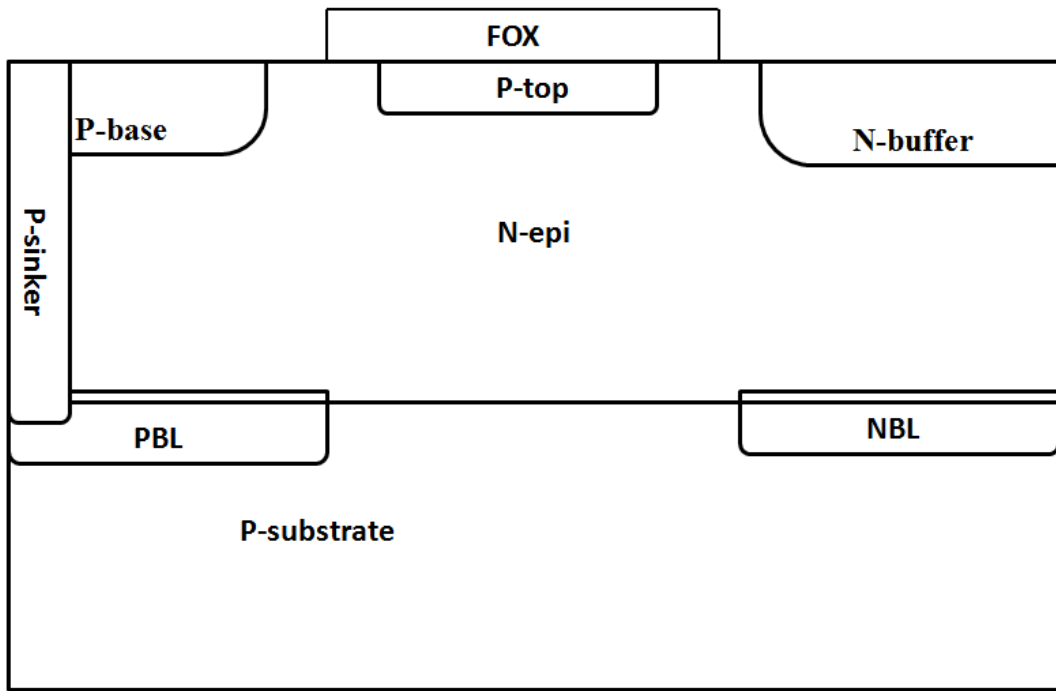


圖 3-2 元件設計流程圖

定義LOCOS的位置



第八道光罩：植入P型硼離子，調整V_{th}

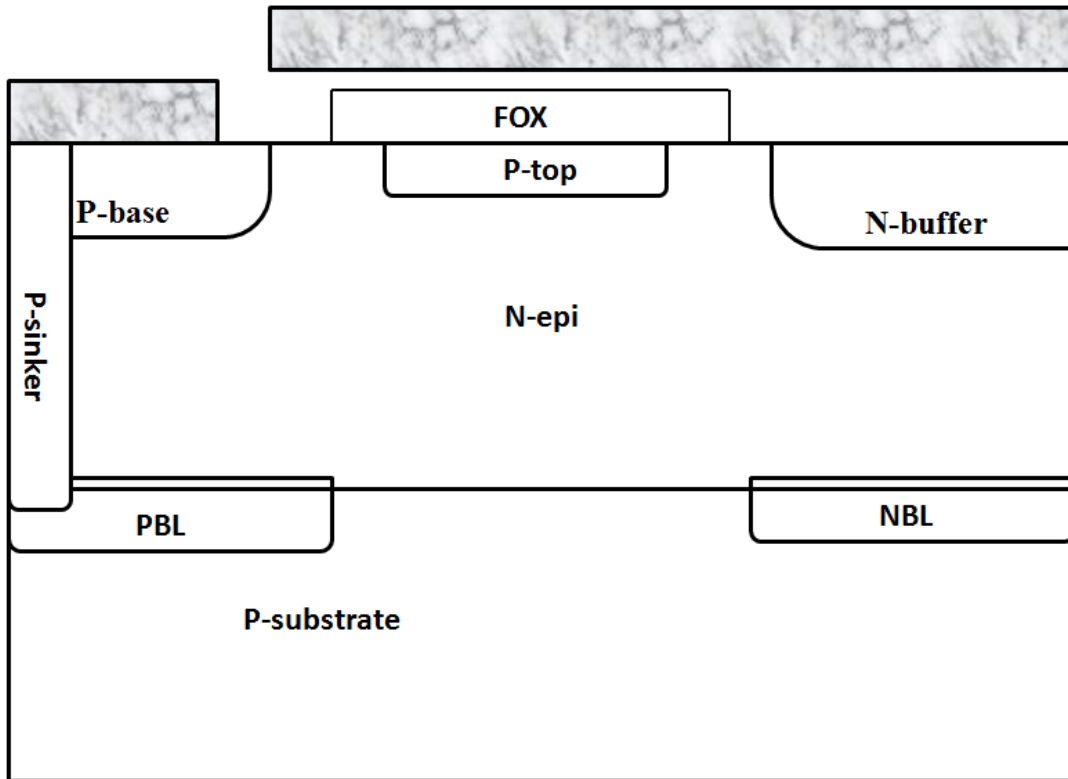
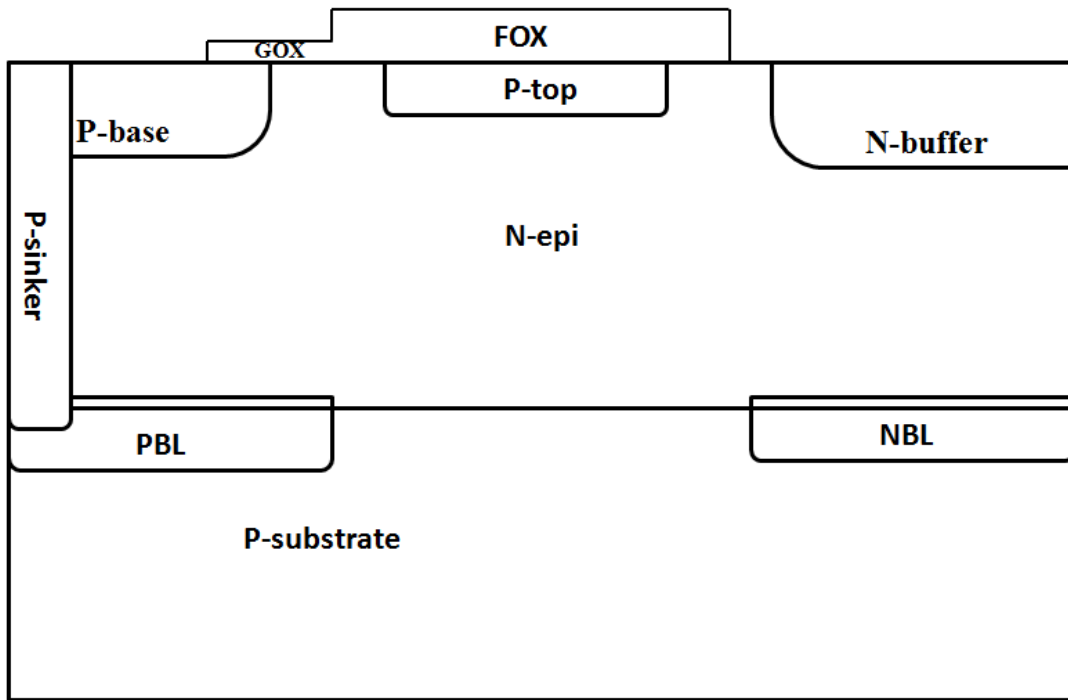


圖 3-2 元件設計流程圖

第九道光罩：定義GOX



第十道光罩：定義GATE的長度

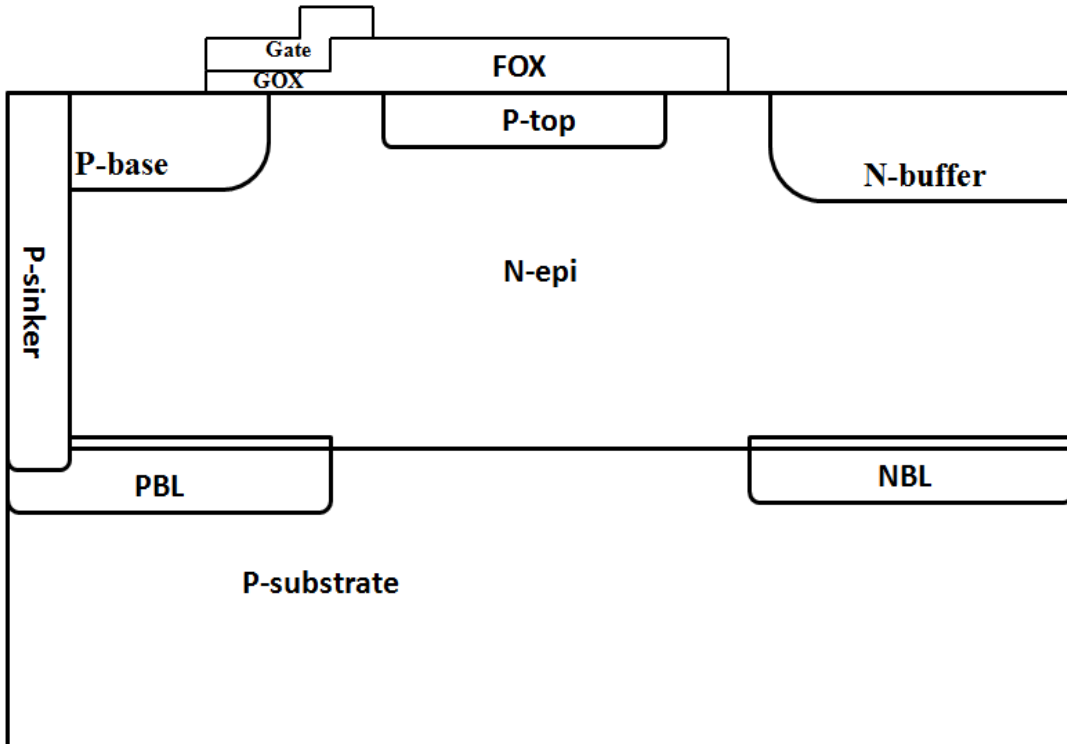
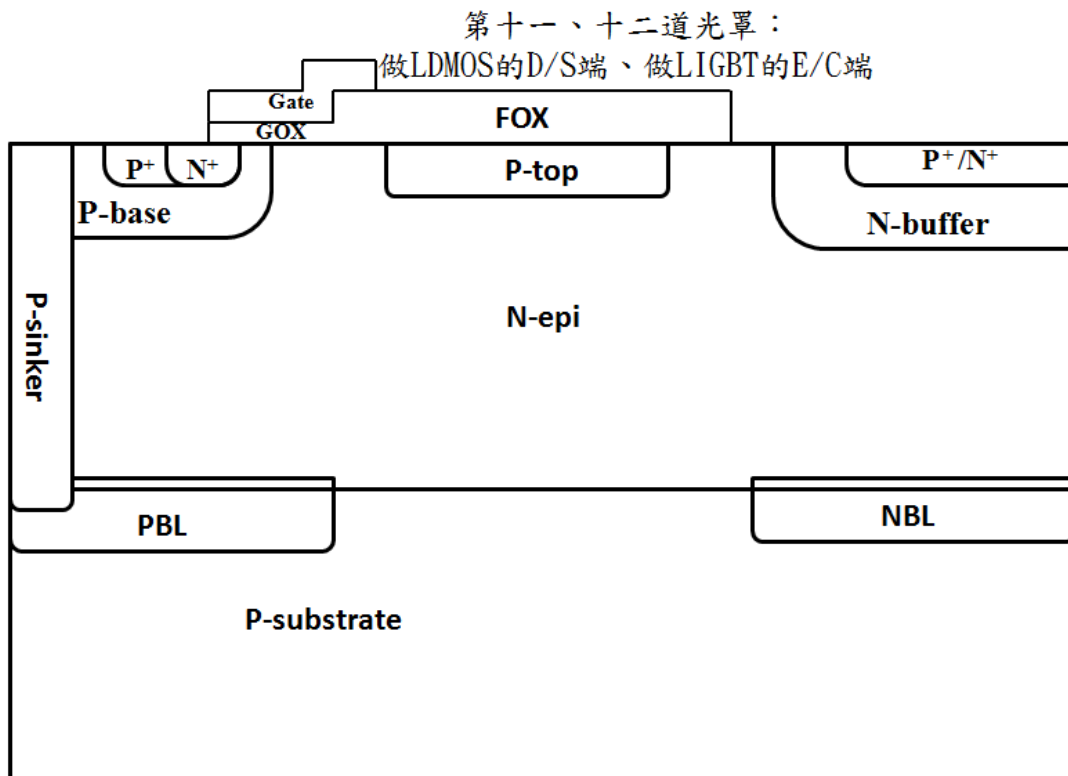


圖 3-2 元件設計流程圖



第十三、十四道光罩：
此處將如果是LIGBT，將Collector與P-sinker上的電極做分離，以便量取P-sub current
定義連接層與接觸窗(interconnect layer and contact)與金屬線

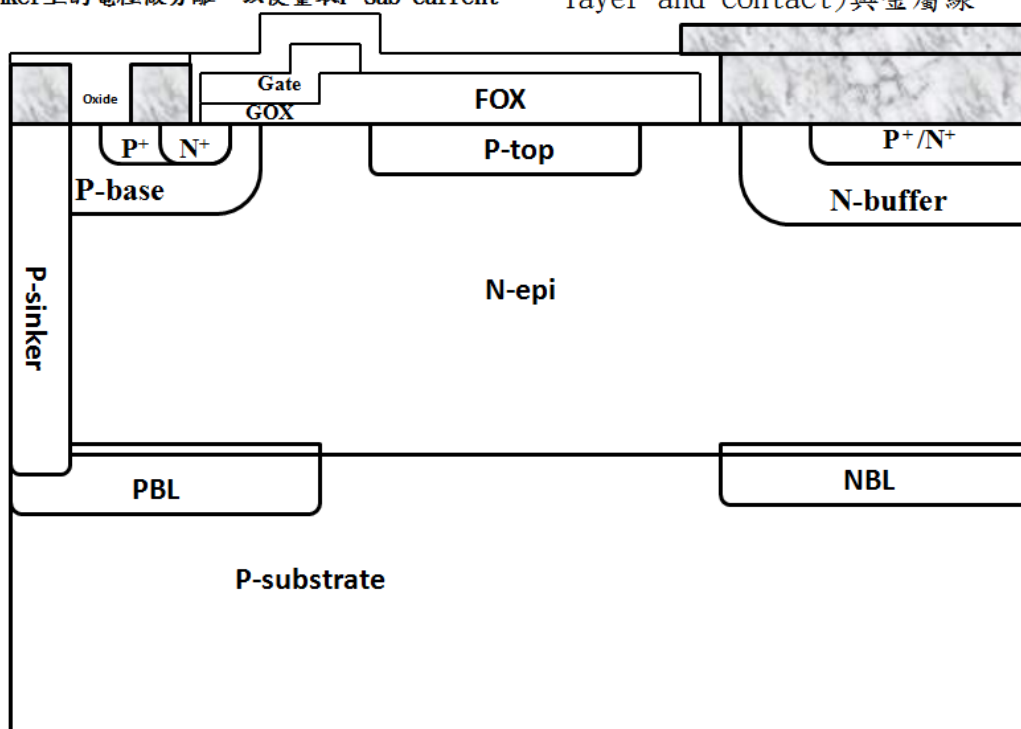


圖 3-2 元件設計流程圖

3.3 元件基本參數與元件結構

利用半導體製程模擬軟體(Tsuprem4)，模擬傳統 RESURF LDMOSFET 結構，使用電性模擬軟體 Medici 計算元件電力線、導通電流、電場的分佈，在單獨描繪出表面電場的情形，如圖 3-3、3-4、3-5、3-6 所示。透過模擬後的結果，可以簡單探討 RESURF 的結構與性能的關係，藉此說明幾項重要的參數的影響。

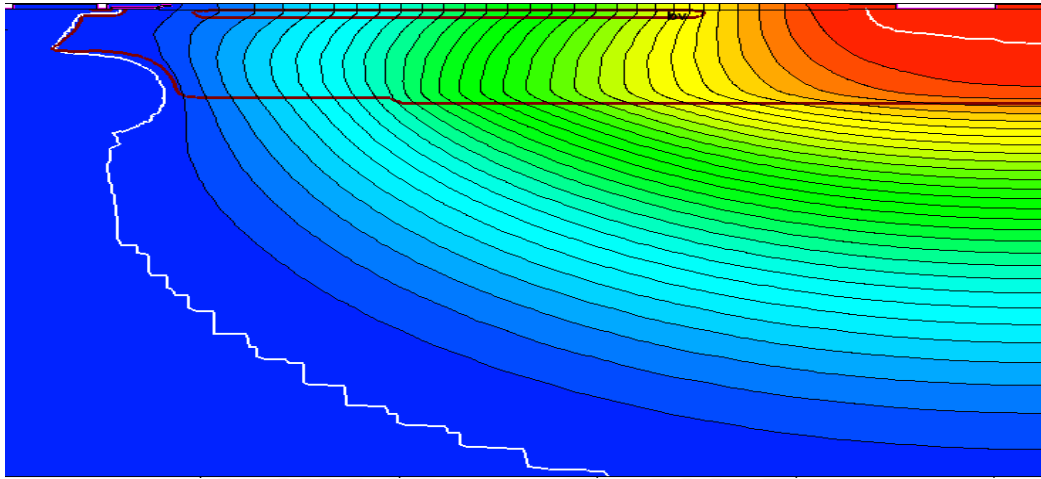


圖 3-3 電力線分佈(V)

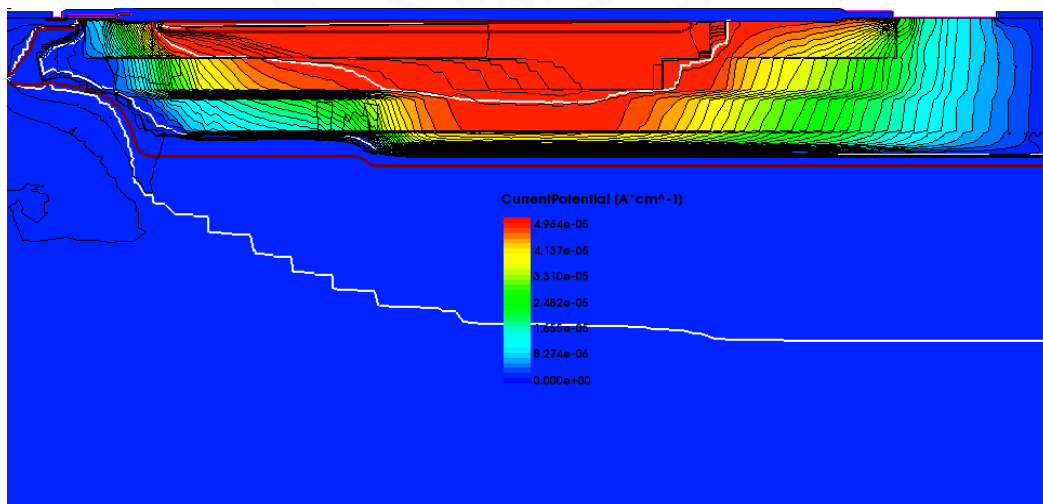


圖 3-4 導通電流 $A * cm^{-1}$

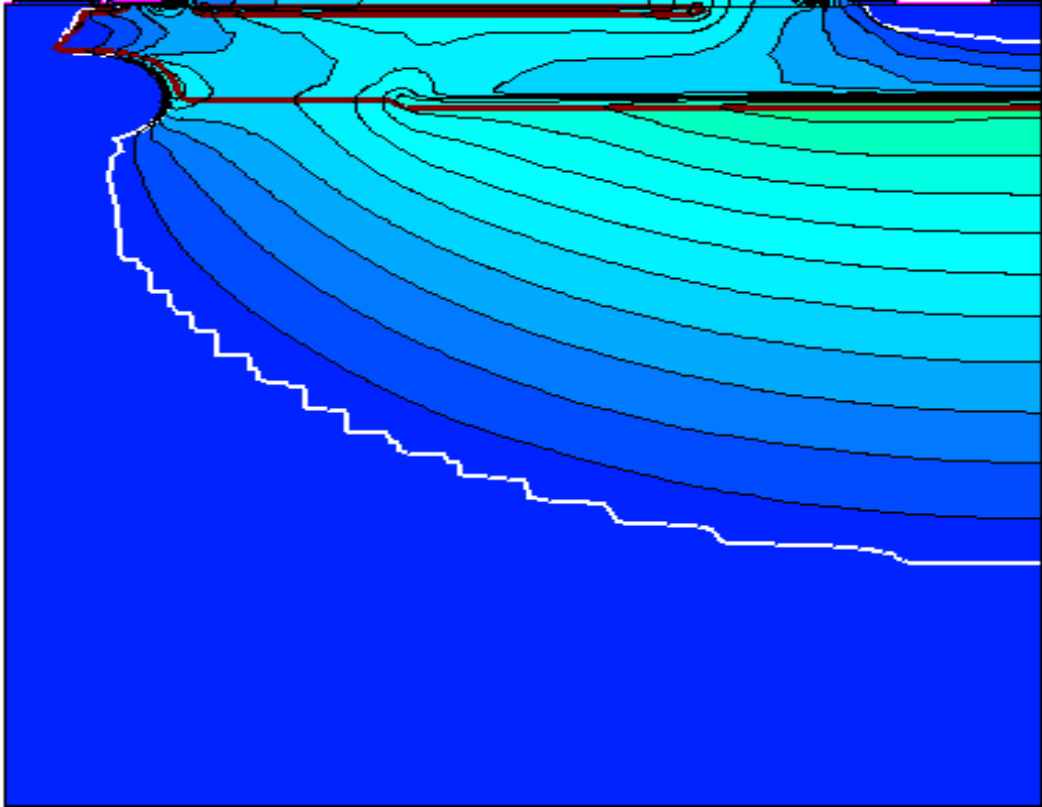


圖 3-5 電場分佈 $V \cdot cm^{-1}$

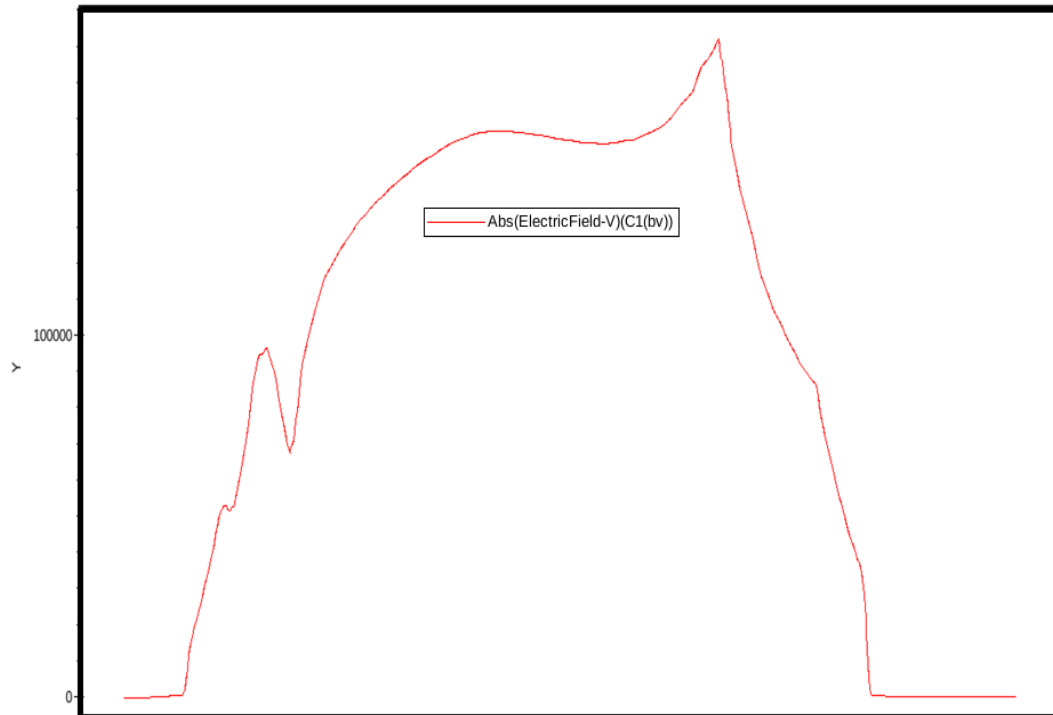


圖 3-6 表面電場切線圖 $V \cdot cm^{-1}$

(一)基板的濃度(P-sub doping)

基板濃度與元件崩潰電壓的變化情形，如圖 3-7 所示，在使用相同的磊晶層的情況下，使用 RESURF 原理，崩潰電壓將呈現火山形狀的分佈情況。

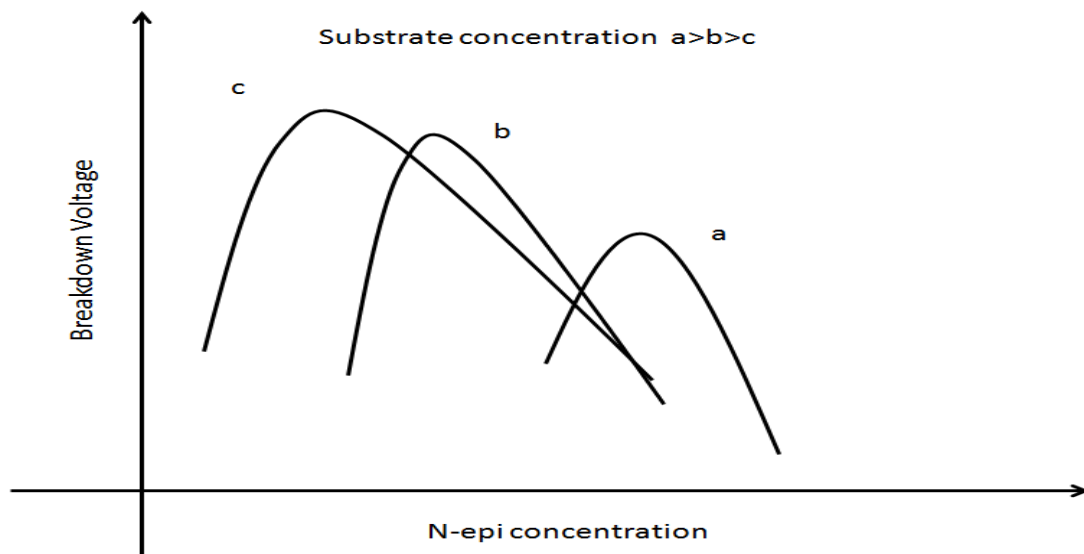


圖 3-7 基板濃度變動

(二)磊晶層的摻雜濃度(Epi-concentration)

當固定大部分的製程條件時，僅改磊晶層的濃度時，所得到的模擬結果，會如圖 3-8。如果 RESURF 後，將不再變更磊晶層的濃度，因會使其他的製程的濃度會更著變動，變得不穩定，因此當 RESURF 後，就不再對磊晶層做調變的動作。並且由於此耐壓區域的導通電阻皆由漂移區做決定，可由公式 3-1 得知。

$$\sigma = qn\mu_n + qp\mu_p \dots\dots\dots(3-1)$$

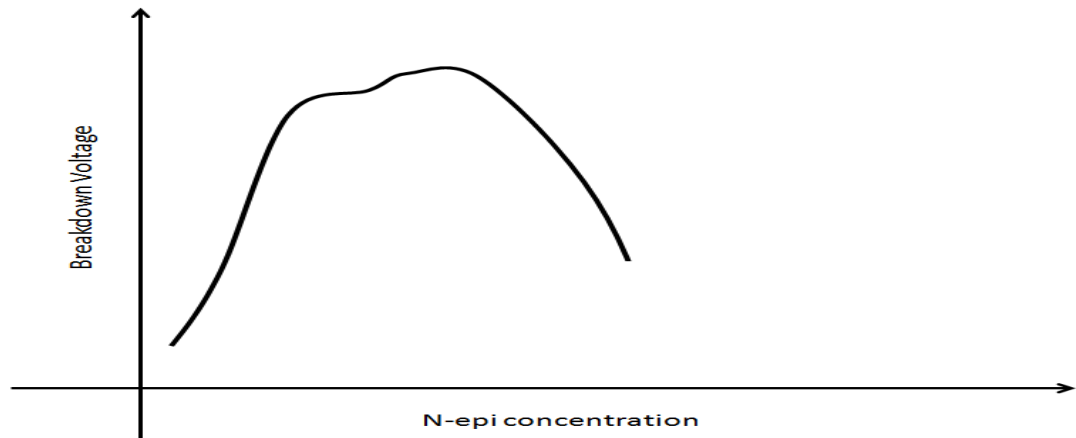


圖 3-8 磊晶層濃度與崩潰電壓

(三) 磊晶層的厚度(T-epi)

此磊晶層的厚度，會影響到崩潰電壓、以及導通電阻。如果厚度越厚，崩潰電壓會越大；導通電阻隨著厚度的厚度，成反比例，可由公式(2-4)推估，但成本相對的會提高。

(四) 場板長度(F-Length)

場板長度將會影響電場分佈，調到適當長度，便可增加崩潰電壓，但是長度到一定距離後，將不會再產生作用，如圖 3-8。

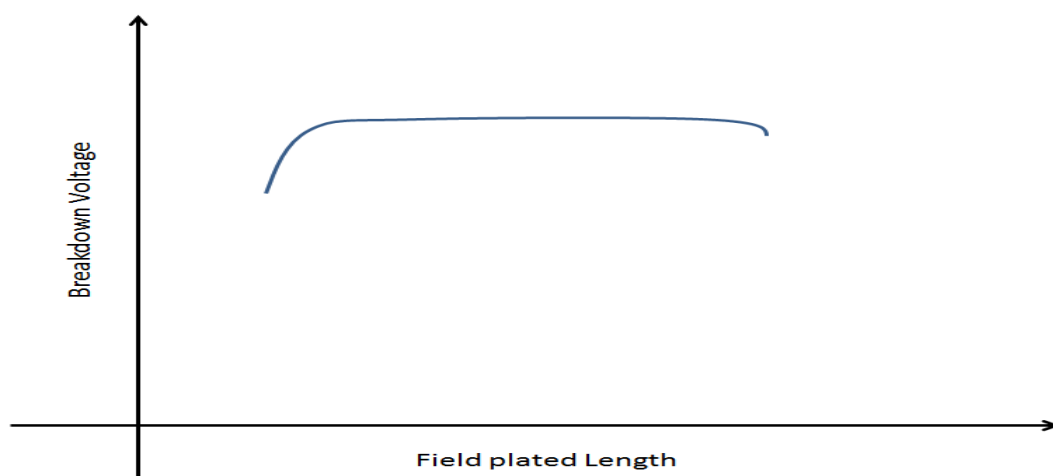


圖 3-9 場板的長度與崩潰電壓

(五)P 型深埋層長度(PBL-Length)

P 型深埋層的長度，在考慮崩潰電壓的情況下，可以降低在閘極端的電場，可以讓崩潰電壓上升。LDMOSFET 導通時，電子走的路徑變的較小，使電流降低，導通電阻變大。但在 LIGBT 裡，可以引導電洞的，使電洞能流經此處，減少門鎖效應、漏電流的發生。

(六)磊晶層的長度 D-Length

元件的長度越長，崩潰電壓將會越大；導通時，由公式[2-4]得知，如果 L 越大，電阻將會變大。

(七)P 型浮接層長度(P-top Length)

LDMOSFET，少數載子電子會受到 P 型影響，因此如果 P 型浮接層越長將會阻擋電子流的路徑，將降低導通電流；相對 LIGBT 而言，電流流動時，有電洞與電子的考量，P 型浮接層將會吸引電洞流經此處，減少漏電流的產生，並且對於導通電阻沒有太大的影響。考慮崩潰電壓時，可以使表面做第二次的 RESURF，電場得到紓解，可提高崩潰電壓。

(八)N 型緩衝濃度(D-Nb)

此濃度將可以使表面電場得到紓解，使電場由三角場，推至變為梯型電場，可提高崩潰電壓。在 LIGBT 裡頭，由於射極端會產生電洞，經由 N 型緩衝層後，將會被複合，減少電洞的注入。

3.4 電性模擬(反偏)

在閘極未施加任何電壓的情況下，於汲極/射極施加電壓，到達崩潰為止。圖 3-10、3-11 分別為 LDMOSFET 及 LIGBT 到達崩潰電壓時的電力線分佈。從圖 3-12、3-13 可觀察崩潰的情形下 LDMOSFET 與 LIGBT 崩潰位置差異不大，均在汲極/射極下緣的 N 型磊晶層與 P 型基板之間。圖 3-14 為 LDMOSFET 與 LIGBT 的崩潰曲線圖，皆維持在 700 伏特以上。

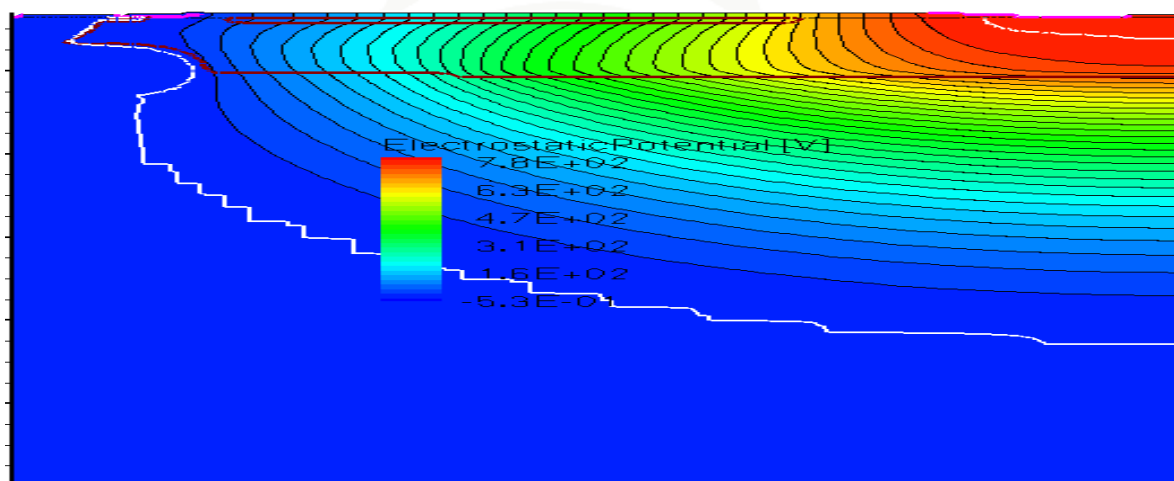


圖 3-10 LDMOSFET 反偏時電力線(V)

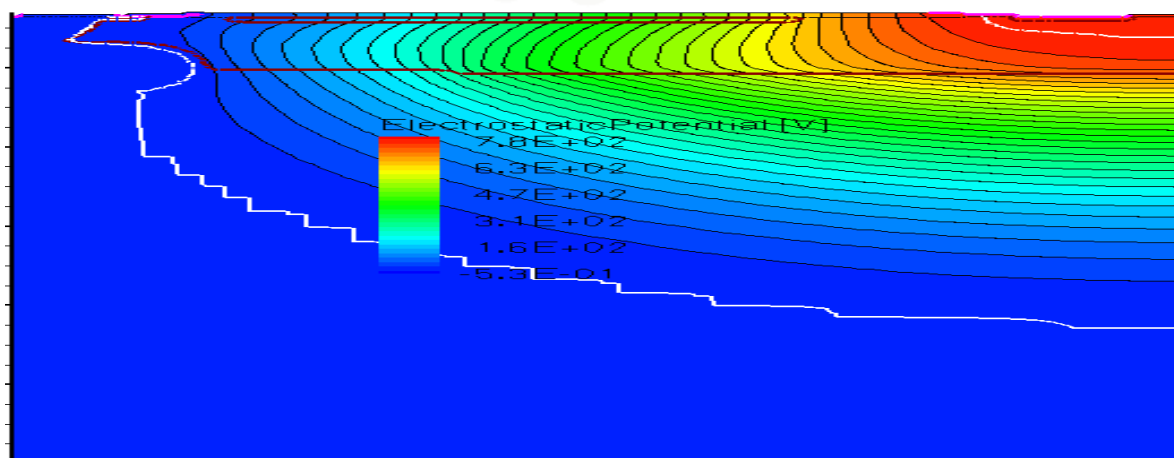


圖 3-11 LIGBT 反偏時電力線(V)

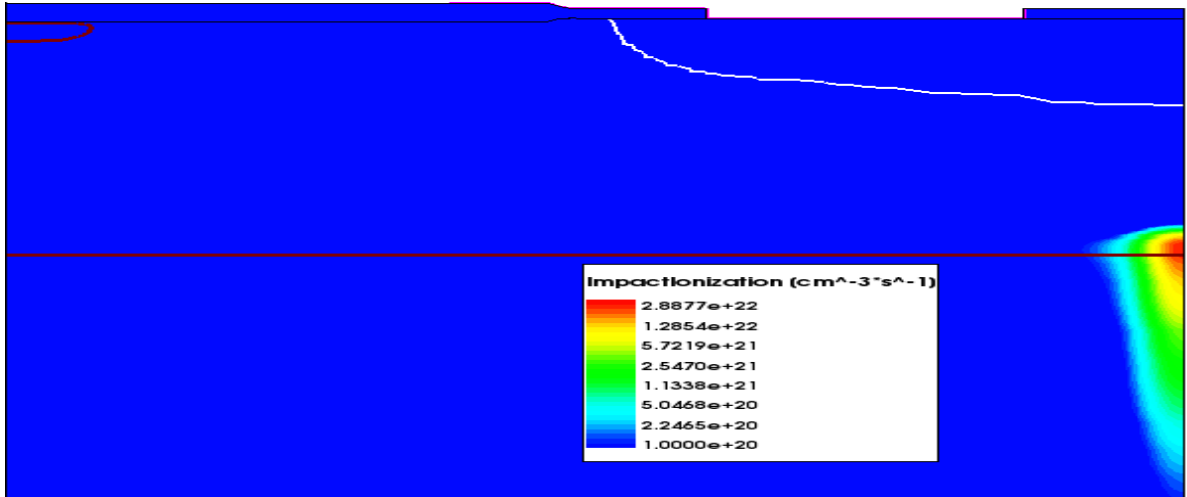


圖 3-12 LDMOSFET 崩潰位置

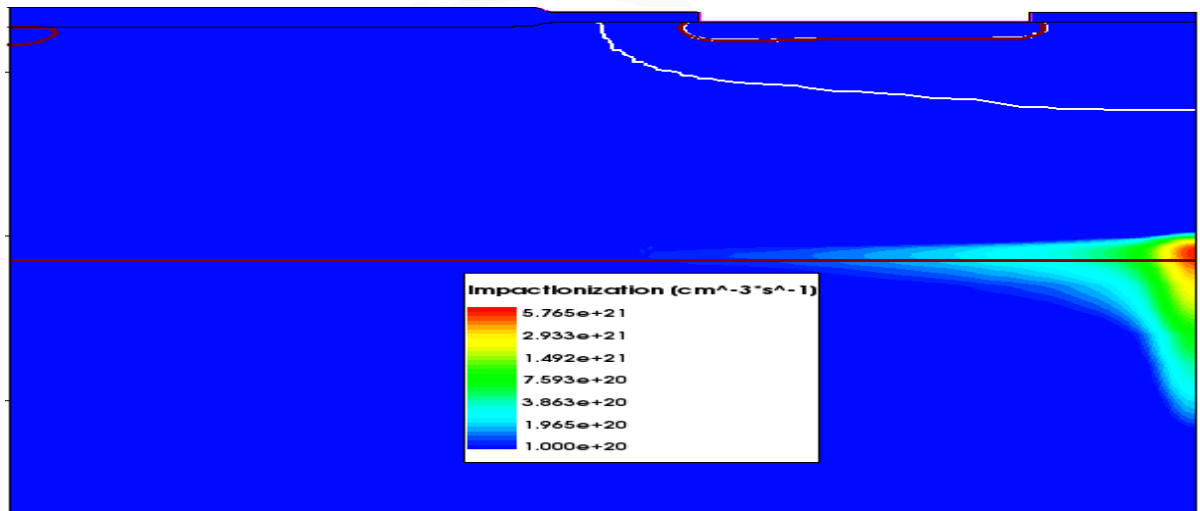


圖 3-13 LIGBT 崩潰位置

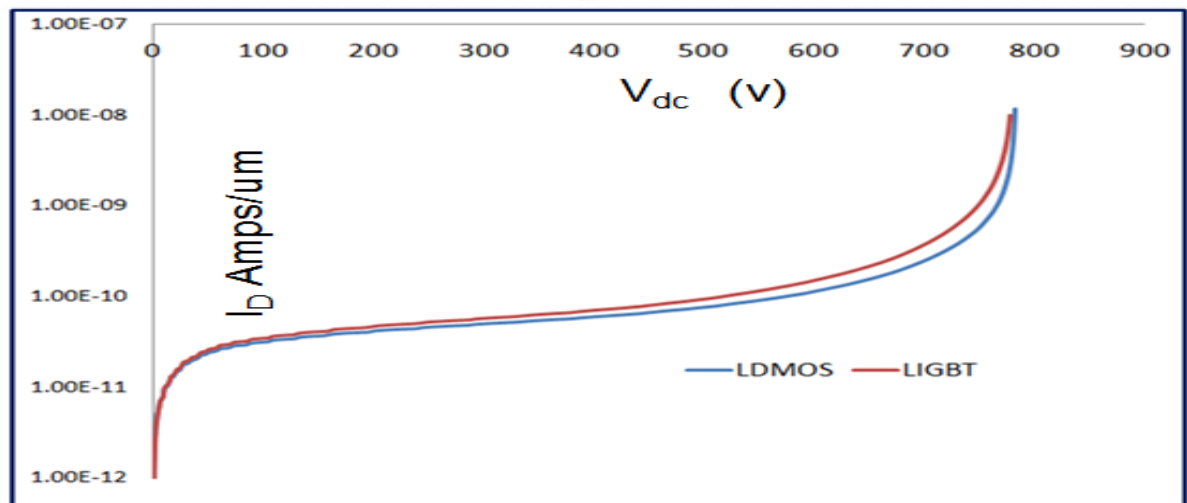


圖 3-14 LDMOSFET 與 LIGBT 崩潰電壓 (V) 曲線圖

3.5 電性模擬(順偏)

使用建立的LDMOSFET模組，在閘極處加入不同的電壓，從 I_D - V_D 曲線圖 3-15，用公式(3-2)計算在 V_g 為 20 伏特下的導通電阻，表 3-1。最後截取在 $V_g=20$ 伏特、 $V_d=10$ 伏特時的電子電洞流圖 3-16、3-17，可發現電子與電洞流皆無注入到基板。

$$\Delta V = \Delta I R \quad R = \frac{\Delta V}{\Delta I} \dots\dots\dots(3-2)$$

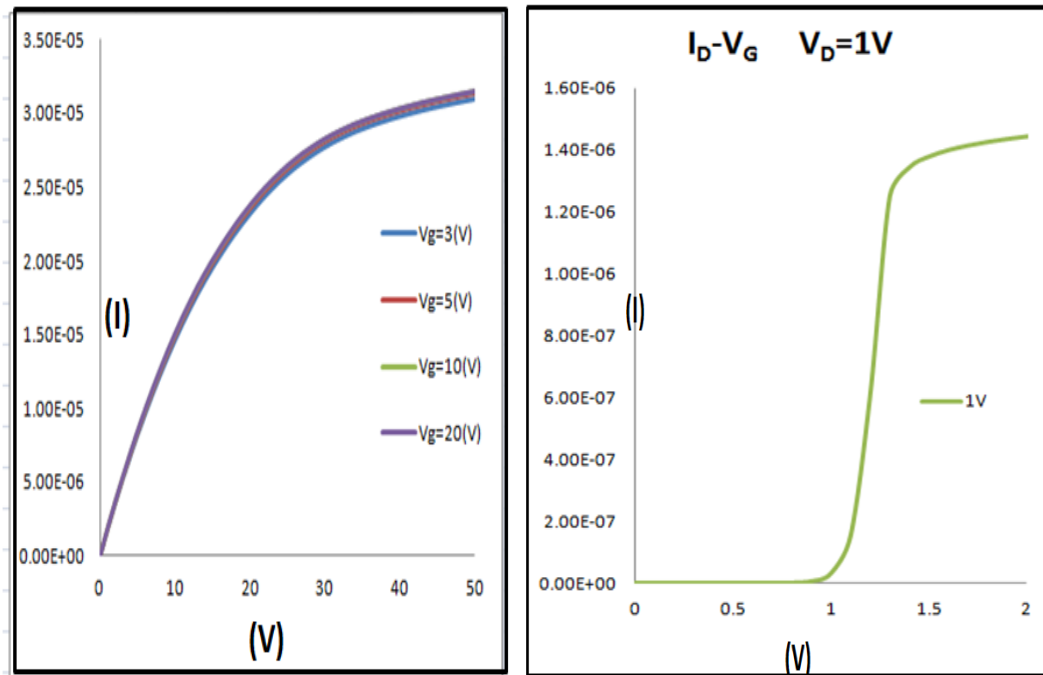


圖 3-15 LDMOSFET I_D - V_D 、 I_D - V_G 曲線圖

表 3-1 LDMOSFET 導通電阻

Ron	$V_G = 20V$ $V_D = 2V$	$V_G = 20V$ $V_D = 4V$	$V_G = 20V$ $V_D = 6V$
LDMOSFET	$5.77e^5 \mu m\Omega$	$6.4e^5 \mu m\Omega$	$7.04e^5 \mu m\Omega$

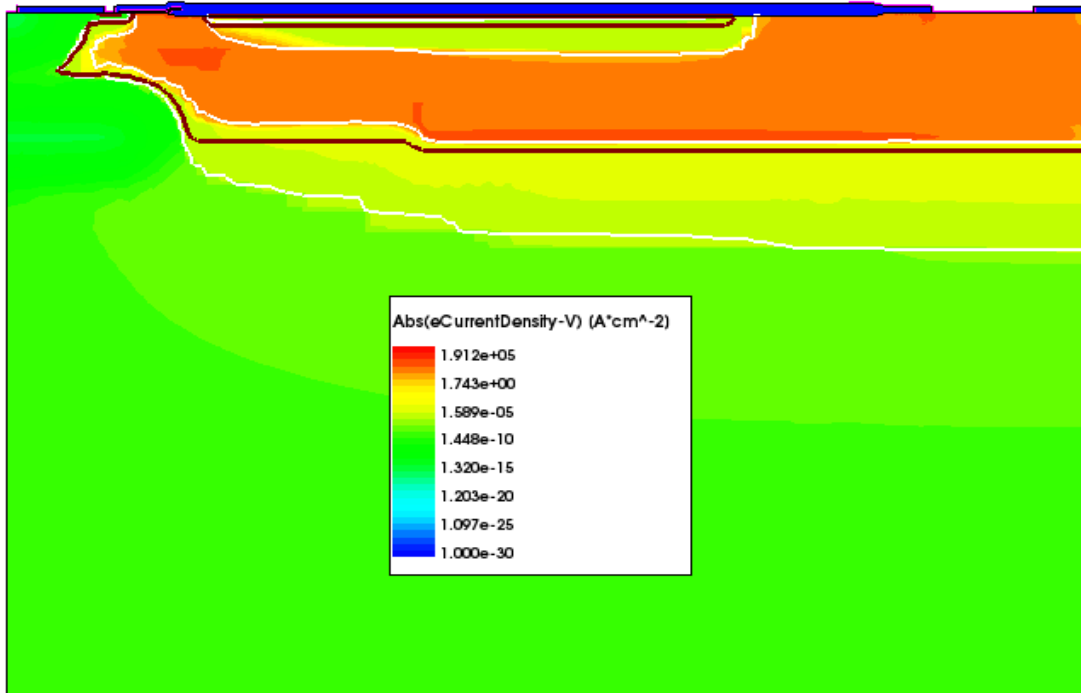


圖 3-16 LDMOS FET Electron current density for $V_G=20V$ and $V_D=10V$

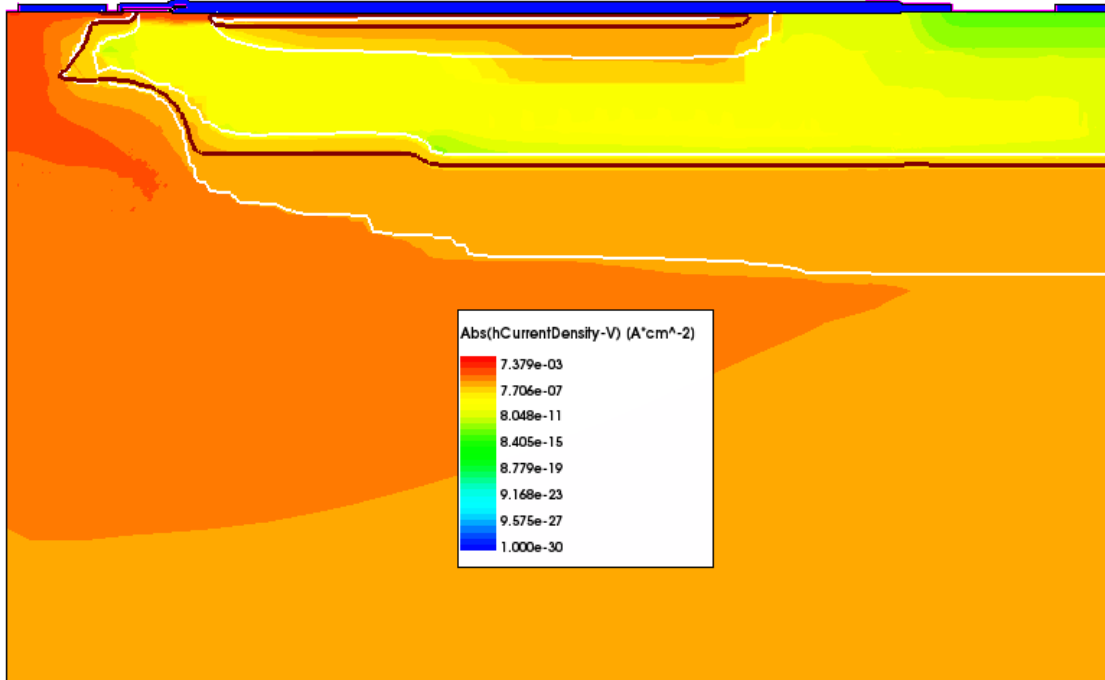


圖 3-17 LDMOSFET Hole current density for $V_G=20V$ and $V_D=10V$.

如同上述步驟，使用建立的 LIGBT 模組，在閘極處加入不同的電壓，分析 I_D - V_D 曲線圖 3-18，計算在 V_g 為 20 伏特下的導通電阻，表 3-2。並截取 $V_g=20$ 伏特、 $V_d=10$ 伏特的電子電洞流圖 3-19、3-20，可發現因汲極端摻雜了 P^+ ，在導通時，汲極端變會有電洞的注入，流出後，因橫向電場小於垂直電場，電洞便直接注入到基板中，使基板電位逐漸有正電荷的存在，電子也因正電荷的影響，開始垂直的流入基板中。為改善此漏電流，並維持崩潰電壓在 700 伏特以上，將是本篇的研究重點。

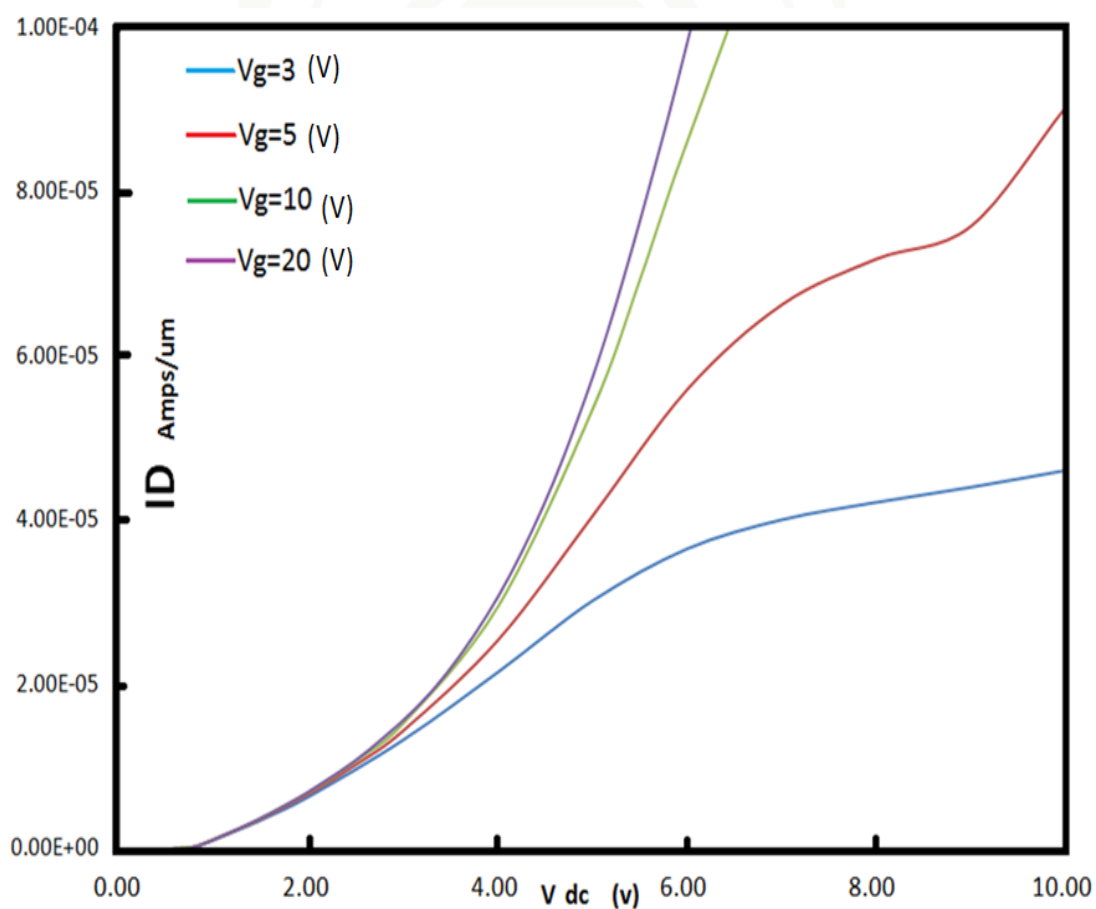


圖 3-18 LIGBT I_D - V_D 曲線圖

表 3-2 LIGBT 導通電阻

R_{on}	V_G =20V V_E =2V	V_G =20V V_E =4V	V_G =20V V_E =6V
LIGBT	2.82e⁵umΩ	4.76e⁴ umΩ	2.25e⁴ umΩ

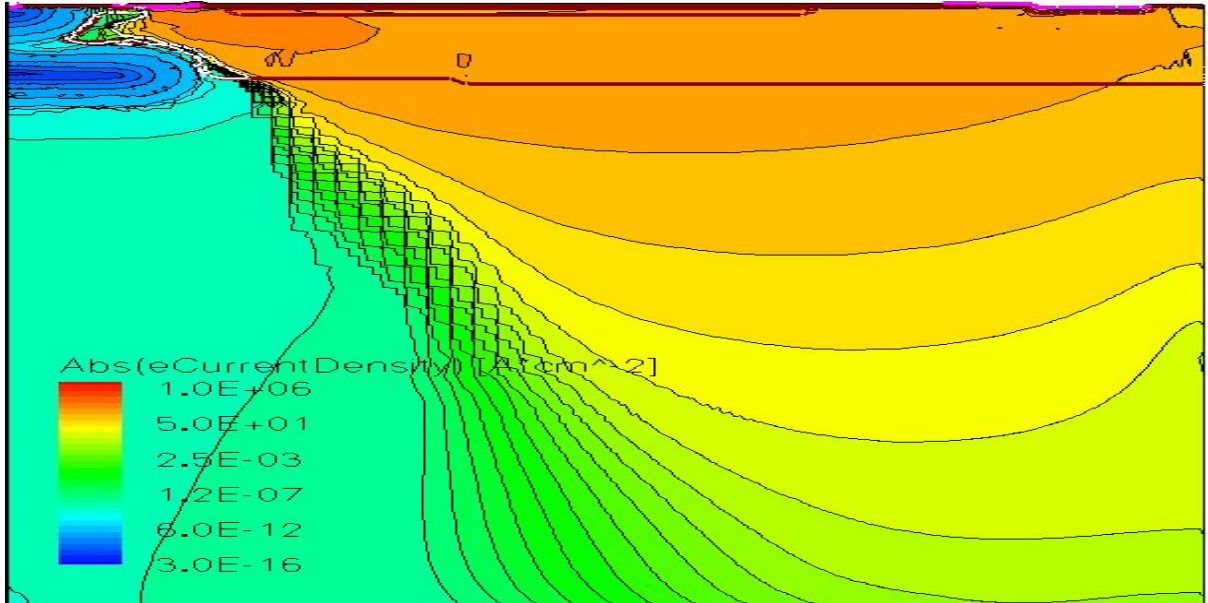


圖 3-19 LIGBT Electron current density for V_G=20V and V_E=10V.

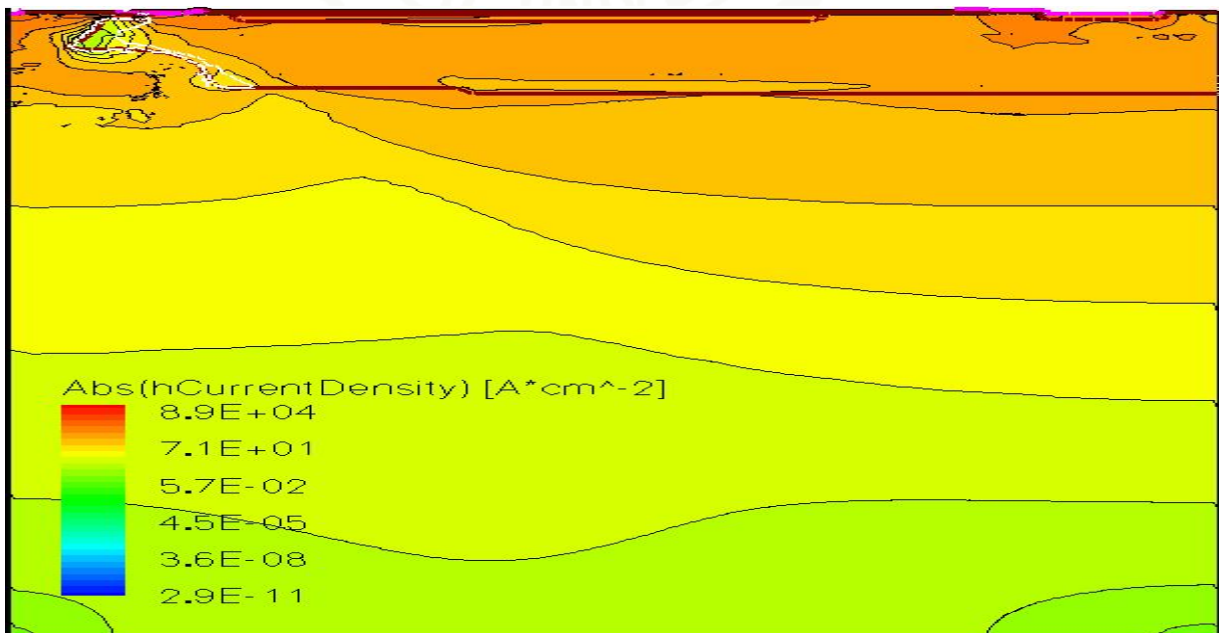


圖 3-20 LIGBT Hole current density for V_G=20V and V_D=10V.

第四章：改善基板漏電 LIGBT 的設計與模擬

可由第二章、第三章的 LIGBT 導通情形 I_D - V_D 觀察到，在模擬的後的曲線圖，如同文獻中所參考的，在 V_D 通以額定電壓後，曲線便會急遽的往上升，並且觀察到，電洞會直接從射極端發射出，往 P 型基板中流動，造成漏電流的產生。因此將提出新的改善方式，以降低基板漏電流。

4.1 改善基板漏電流 LIGBT 的製程步驟

將 RESURF 的 700 伏特 LDMOSFET，在陽極端加入 P^+ 摻雜，變更為 700 伏特的 LIGBT。其結構包含 N 型深埋層 (N-type Buried Layer, NBL)、P 型埋層 (P-type Buried Layer, PBL)、P-Sinker、P-top，在不增加額外的光罩為目標，達到改善漏電流 LIGBT 的製程步驟。

4.1.1 設計原理

傳統 LIGBT 結構，其結構與橫向擴散金氧半場效電晶體(Lateral Diffused MOSFET, LDMOSFET)相近，但在陽極端摻雜了一個 P^+ 的結構。在導通時，此 P^+ 的結構便會注入電洞。根據文獻在元件集極處加入了 P 型隔離層(P-type Isolation layer)與 P 型埋層。P 型隔離層的濃度比 P 型體極(P-type base)高，可降低 P 型體極的阻值；而 P 型體極下方的 P 型埋層，可以吸引部分的電洞，避免門鎖效應的發生。

元件在導通時，在 P^+ 陽極端底下因垂直電場大於橫向電場，造成

電子與電洞之情形，將會有電子與電洞流向 P 型基板中。使用 N 型深埋層與 P 型埋層之間與 P 型基板、N-epi 的逆偏造成的空乏區，圖 4-1，增加在陽極 P⁺端底下的橫向電場大小，讓橫向電場大於垂直電場，讓基板的電流減少。如果將設計概念從能帶圖表示，圖 4-2 為射極端切至 P 型基板的能帶圖，可看出在 N 型埋層與 P 型埋層的運用，將可以阻擋電洞流入至基板中。

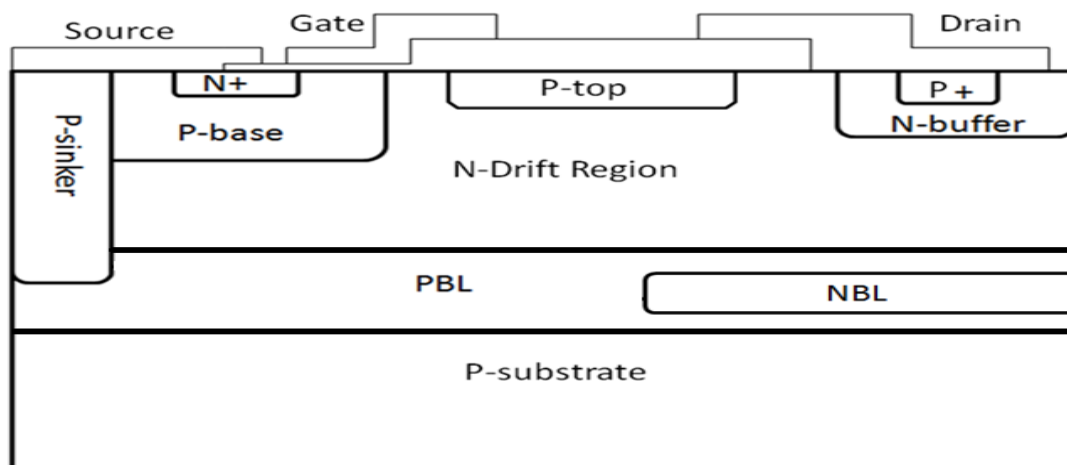


圖 4-1 設計元件概念結構圖

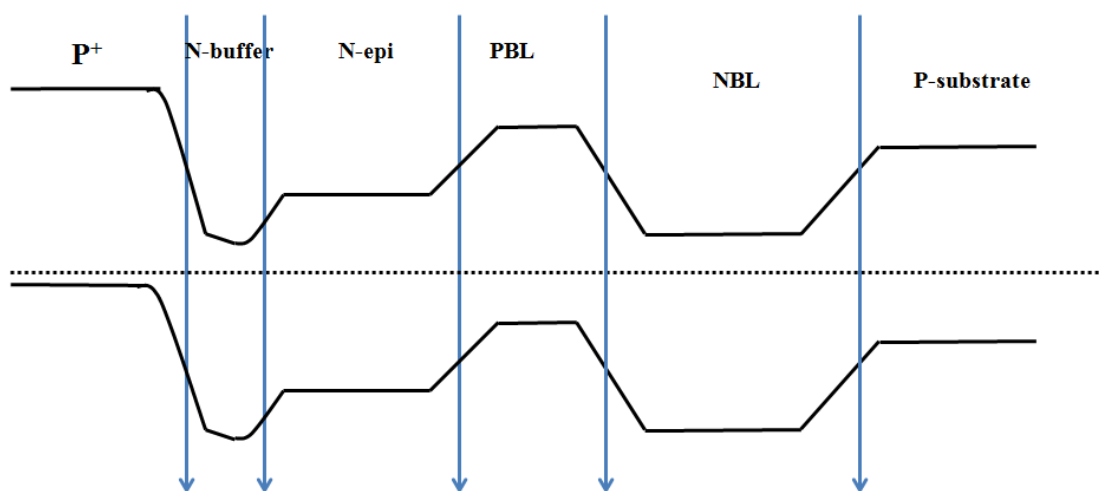


圖 4-2 能帶圖

4.1.2 運用 NBL 與 PBL 之間的關係

依上述設計原理，利用淺層 P 型埋層與 N 型深埋層來降低導通時在陽極 P⁺端底下的垂直電場，圖 4-3。圖中的淺層 P 型埋層在陽極端底下會與 N-epi 之間形成一個逆偏、而 N 型深埋層與 P 型基板會形成第二個逆偏，藉由兩個逆偏所形成的空乏區的關係，分散峰值電場，同時讓一個橫向電場產生於 P 型基板與 N-epi 之間。使得電洞不易直接往基板流動，因此基板電位依然保持負電位，電子將不會往下流動，基板的漏電流可大幅度的下降。

但在實際的設計中，N 型深埋層與淺層的 P 型埋層需在磊晶之前就先摻雜；後製的溫度都必須先考量，所以在設計上增加了困難度。為了使 N 型深埋層與 P 型埋層在擴散製程時的溫度不要提升太快，劑量與能量必須控制好，使得此製程完成後之濃度能介於磊晶與基板之間。

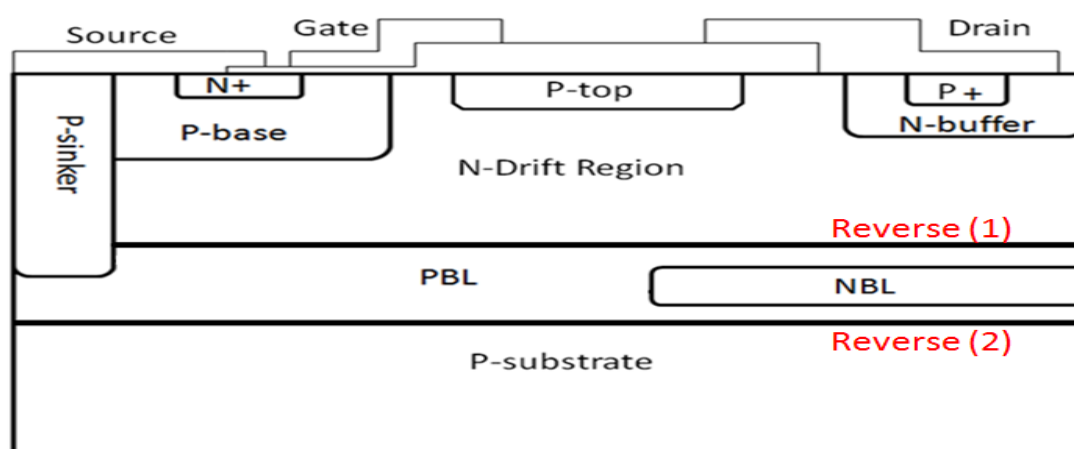


圖 4-3 設計原理圖

4.1.3 設計製程步驟

圖 4-4 設計原理，加入了製程順序。所使用的還是為 P 型基板，方向<100>濃度 $1.7e14$ 的矽晶圓，此次做摻雜時，有別於前面所述的製程，將 PBL 的光罩拿掉，做整片的 P 型硼離子植入，之後依序步驟再植入 N 型，P-sinker，後面的製程皆如上一章所述。

設計完，以製程模擬軟體跑出圖 4-5，並探討其導通情形，可從圖 4-6 看出，電洞流會受到 N 型的阻擋，順著 PBL 流動，並且在圖 4-7，N-drift region 與 NBL 間，有橫向電場的產生，並驗證的其設計理念。

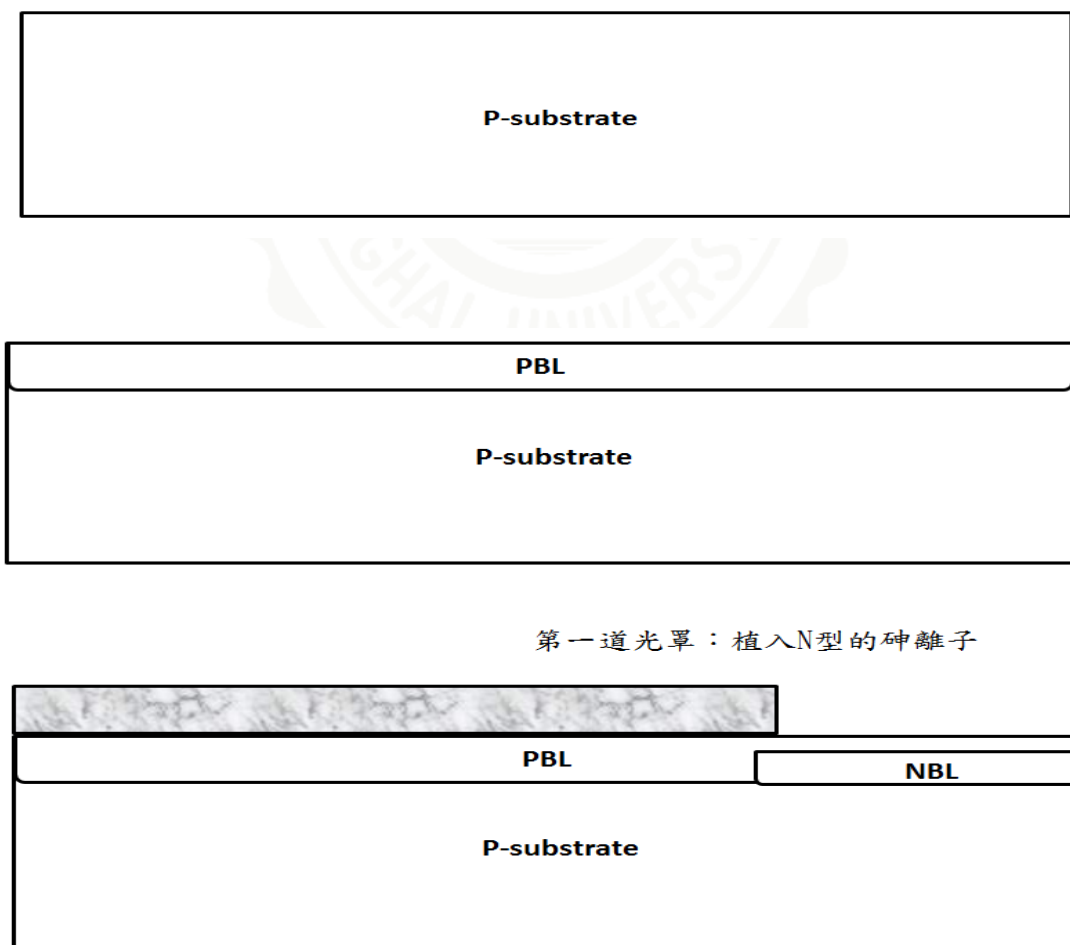


圖 4-4 製程步驟

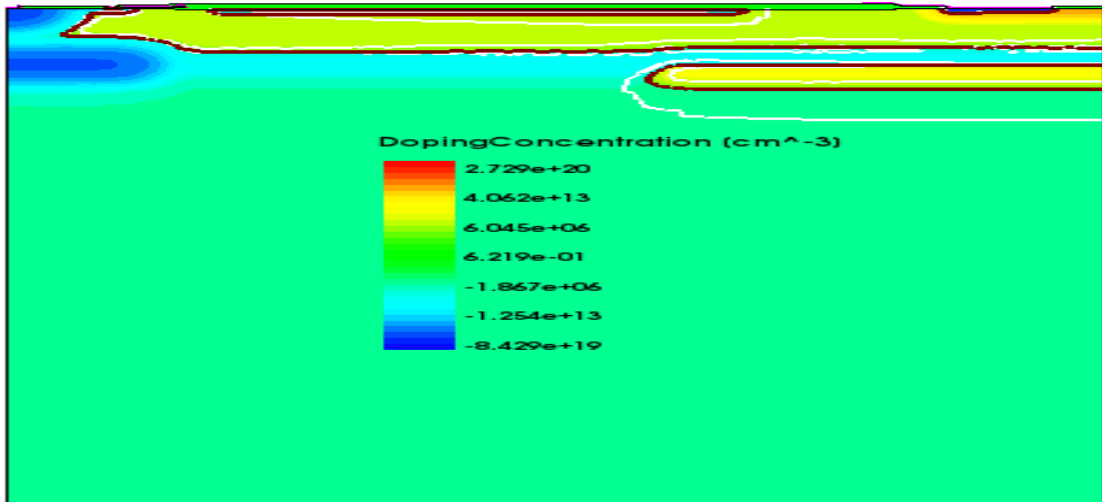


圖 4-5 製程模擬圖

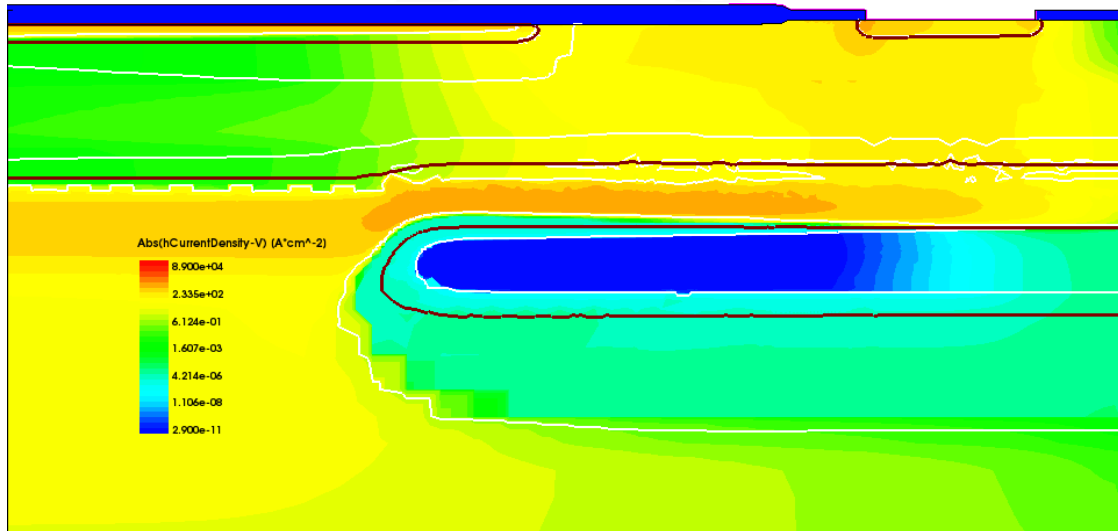


圖 4-6 Hole current density for $V_G=V_E=20V$.

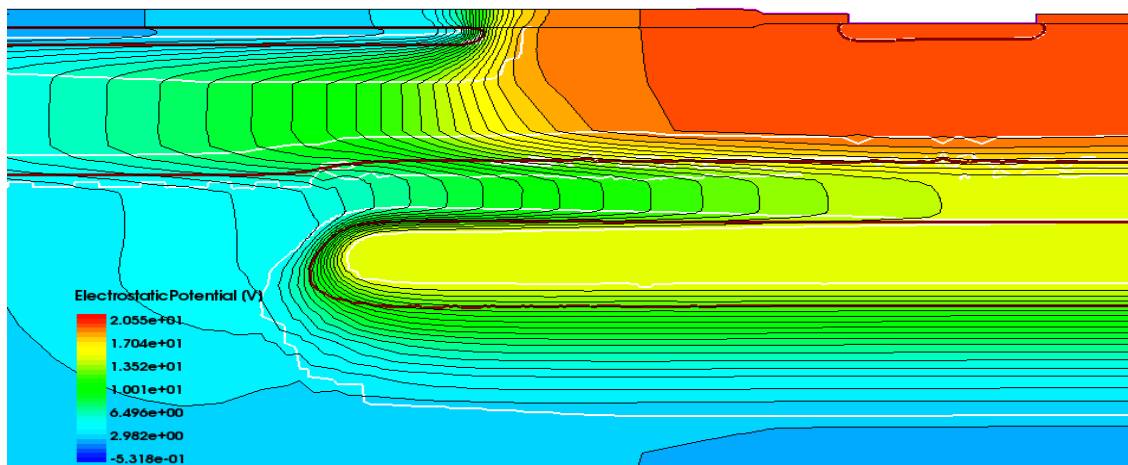


圖 4-7 電力線分佈 for $V_G=V_E=20V$.

4.1.4 設計製程修改

由 4.1.3 章節的設計，使用 NBL 與 PBL 的兩次逆偏可抵擋電洞直接注入到基板，進而思考，圖 4-8 連 NBL 的光罩也去掉，使 PBL 與 NBL 的兩次逆偏延伸至 Sink 端。使用製程模擬軟體後，加以用電性模擬，結果不如當初所思考的，可成功的阻擋電洞流注入到基板當中，從圖 4-9 可觀察到在射極的下端的空乏區(白線部分)出現了不正常情形，推測為主要原因，影響此結構無法在擋住電洞流，圖 4-10 不可再阻擋電洞流注入基板，並思考其原因。

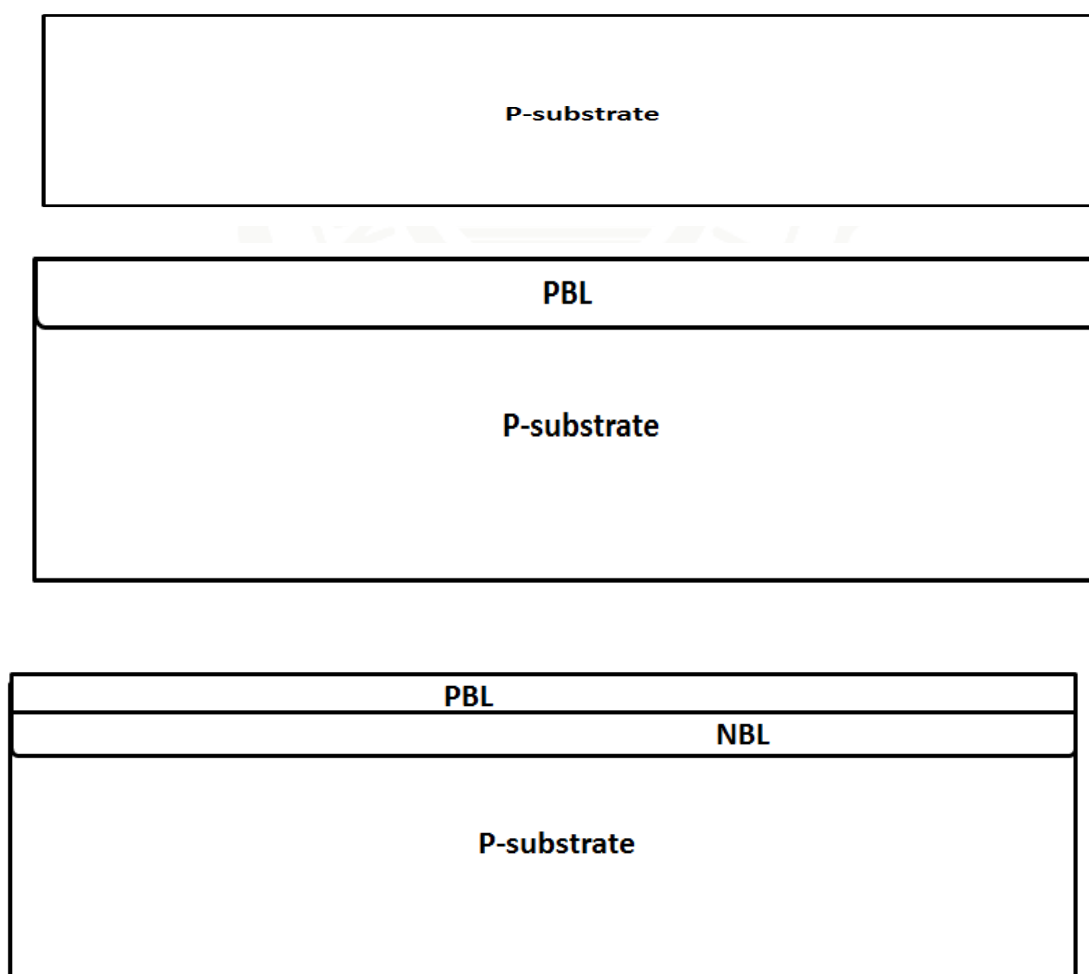


圖 4-8 製程步驟

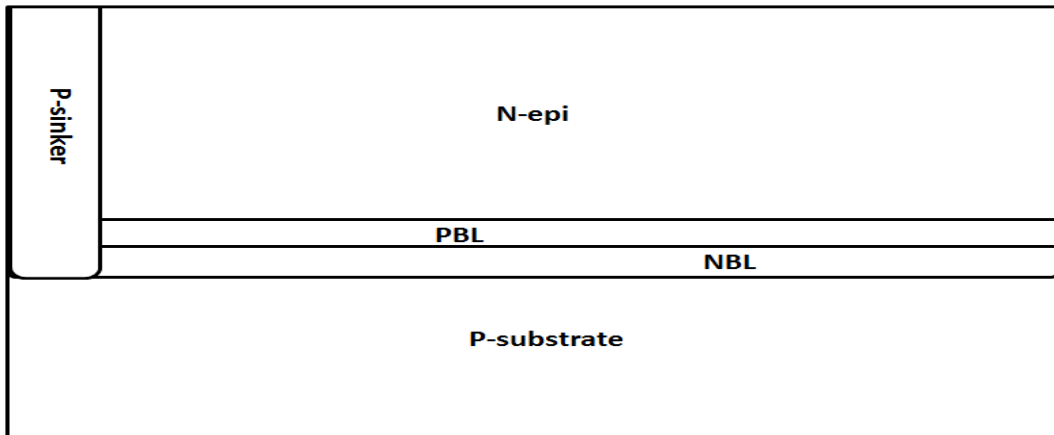


圖 4-8 製程步驟

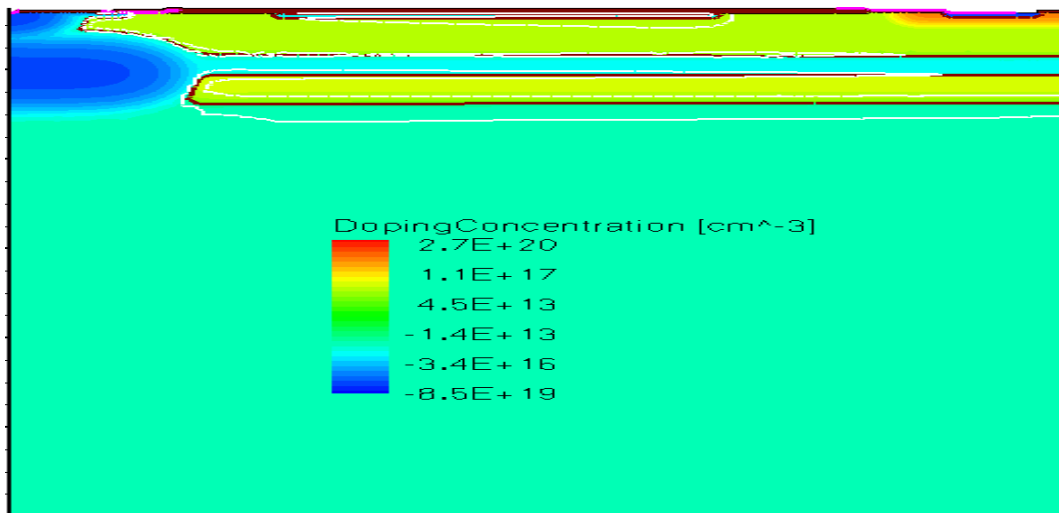


圖 4-9 順偏導通情形 for $V_G=V_E=20V$.

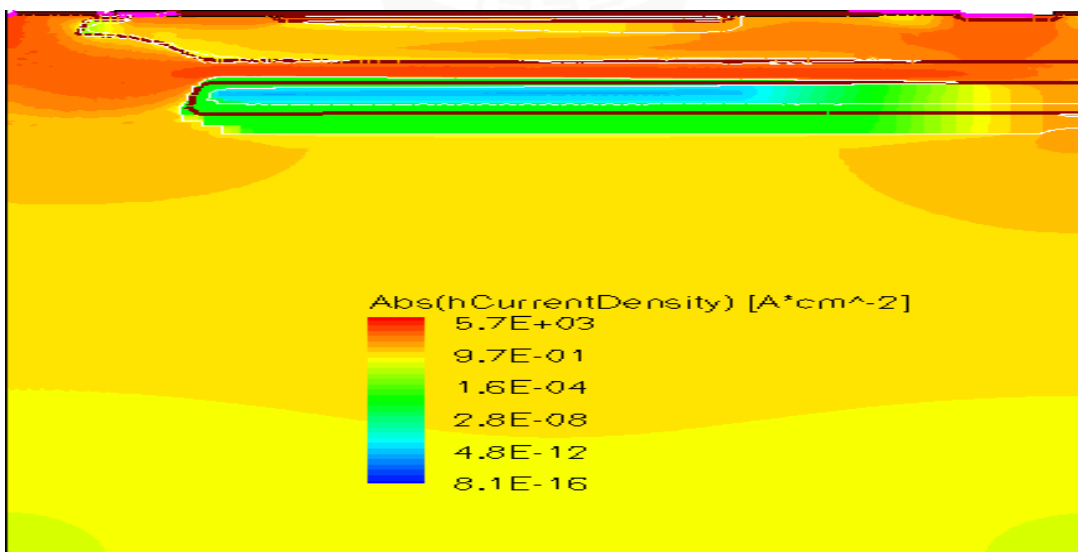


圖 4-10 Hole current density for $V_G=V_E=20V$.

4.1.5 限制因素(導通)[57][58][59]

從上述電性中可發現，當電洞注入到一定的數量時，PBL 中的空乏區會消失，根據文獻可得知，由於 LIGBT 為 BJT+MOSFET 所組成，在射極端的底下為一個 PNP 電晶體，P+端為射極、N-Epi 為基極、基板端為集極，但在此設計的結構中，圖 4-11，集極變為 PBL 的 P 型部分，因此可能發生了高階注入、Kirk effect 效應、Base Widening at High Current Densities。其可由公式 4-1、4-2、4-3、4-4 的運用推出 PBL 的厚度中，並參考圖 4-12，可容許多少電洞的注入，並且需要多少濃度才能乘載住電洞的注入。

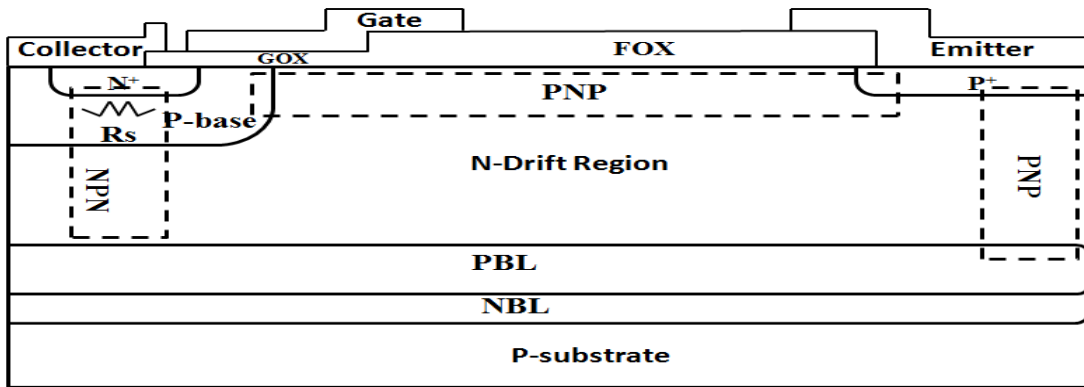


圖 4-11 寄生元件圖

由於從圖 4-11 上可觀察，PBL 以變為集極端，高電場存在於此，
 如果對應公式(4-4)，此時 POISSON 方程式為

$$\frac{d^2\phi}{dx^2} = -\frac{q}{\epsilon_0 \epsilon_r} (N_D - N_A)$$

.....

當 J_c 越小時，電場之峰值在 BCJ 處 ($X=0$)，此時 $n=N_D$ ，若 J_c 持續上升，至 $E(0)=0$ ，此時的電流密度為 Kirk current density

4

.....

當 $J_c > J_K$ ，有 current induced base region 出現，此時 $n \gg N_D$

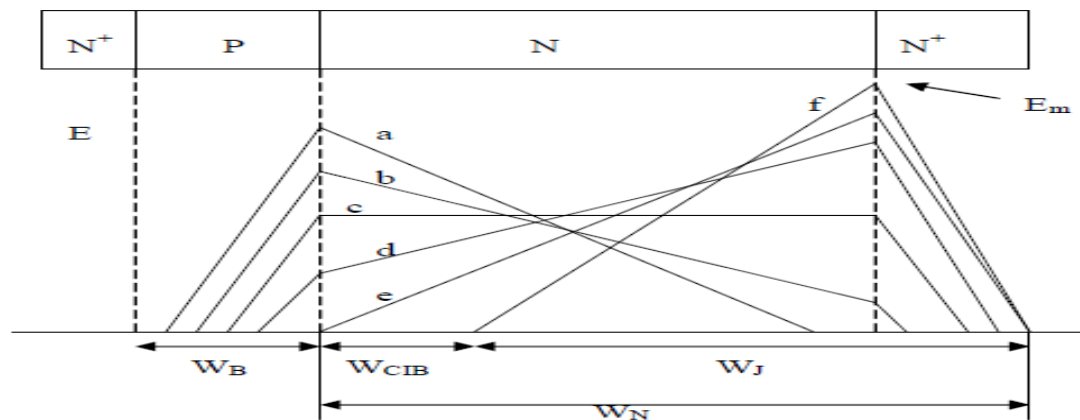


圖 4-12 Base Widening at High Current Densities[17]

此上述公式可得知，在 PBL 濃度提高、厚度越厚情形下，導通時，便能夠承載較多的電洞，但崩潰電壓會因為電荷平衡的關係，因此下降，需再設計、考量。

4.1.5-2 限制因素(崩潰電壓)

由導通情形，可以得知，如果要使導通電流變大，又不發生高階注入、Kirk effect 效應、Base Widening at High Current Densities 的情形，PBL 就必須加大、加濃，但考慮到先前的 RESURF 情況，基板與磊晶層已有一個最佳化的設計，這時的 PBL 將會影響到電荷平衡

的關係，使空乏區的延展不易，因此由圖 4-12， R_{on} 與 BV 皆取得一個平衡值。可由圖 4-13 得知，當固定能量，改變劑量時，越濃的劑量，將會使崩潰電壓降低，提早崩潰。崩潰位置會如圖 4-14，在 PBL 上，直接有漏電流 4-15，透過 PBL 到 P-sinker 的結構流出電流。

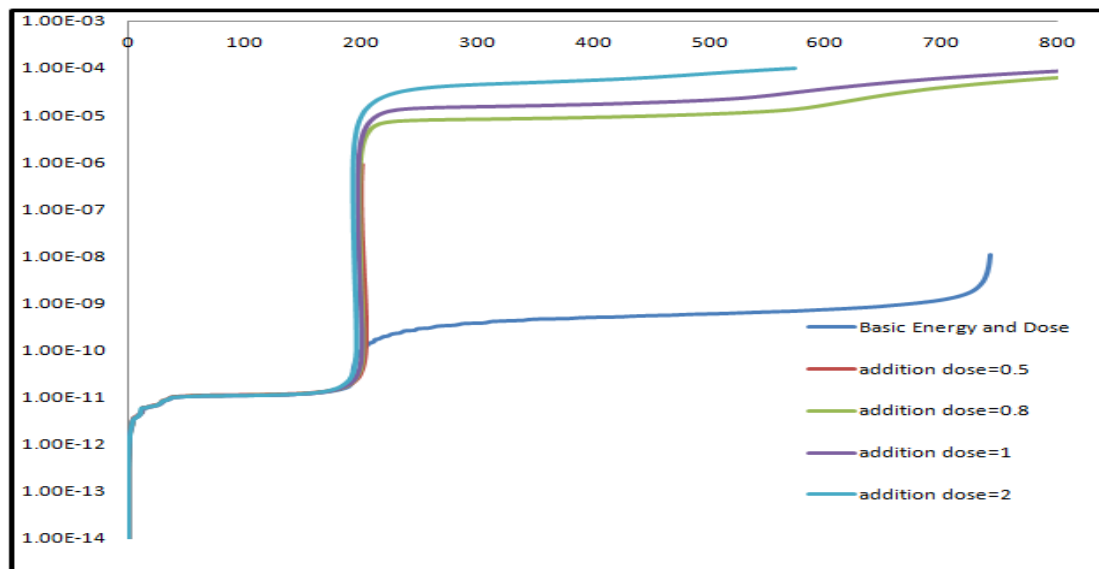


圖 4-13 改變 PBL 劑量

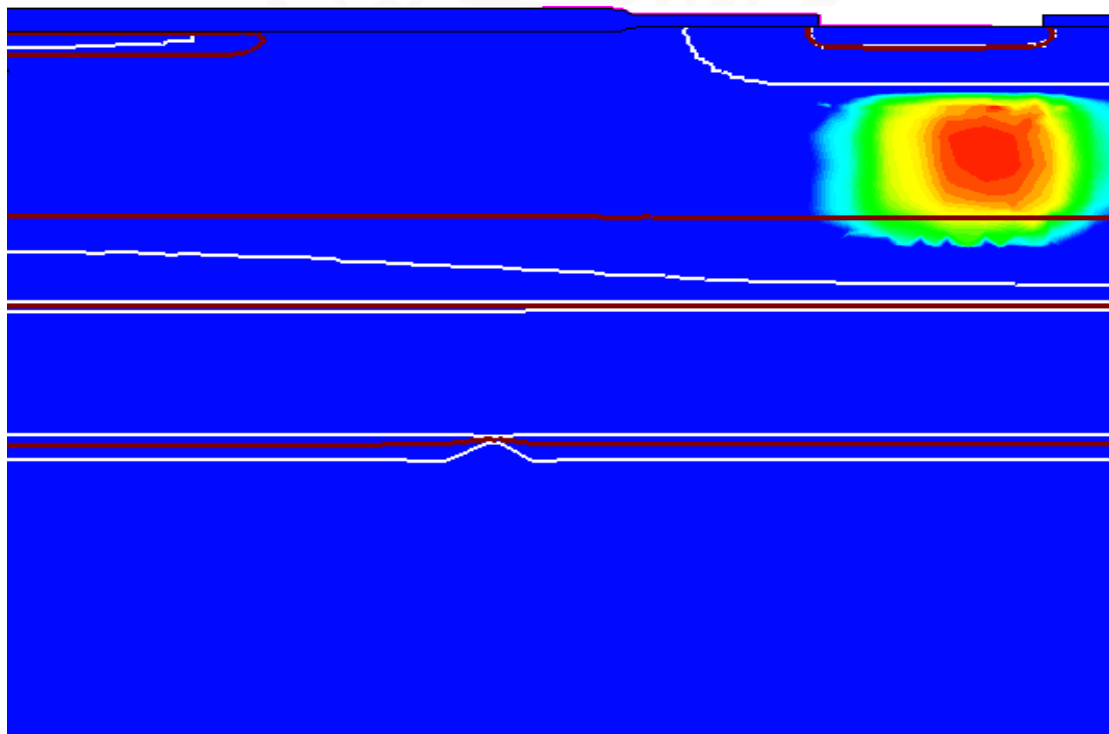


圖 4-14 Impact ionization

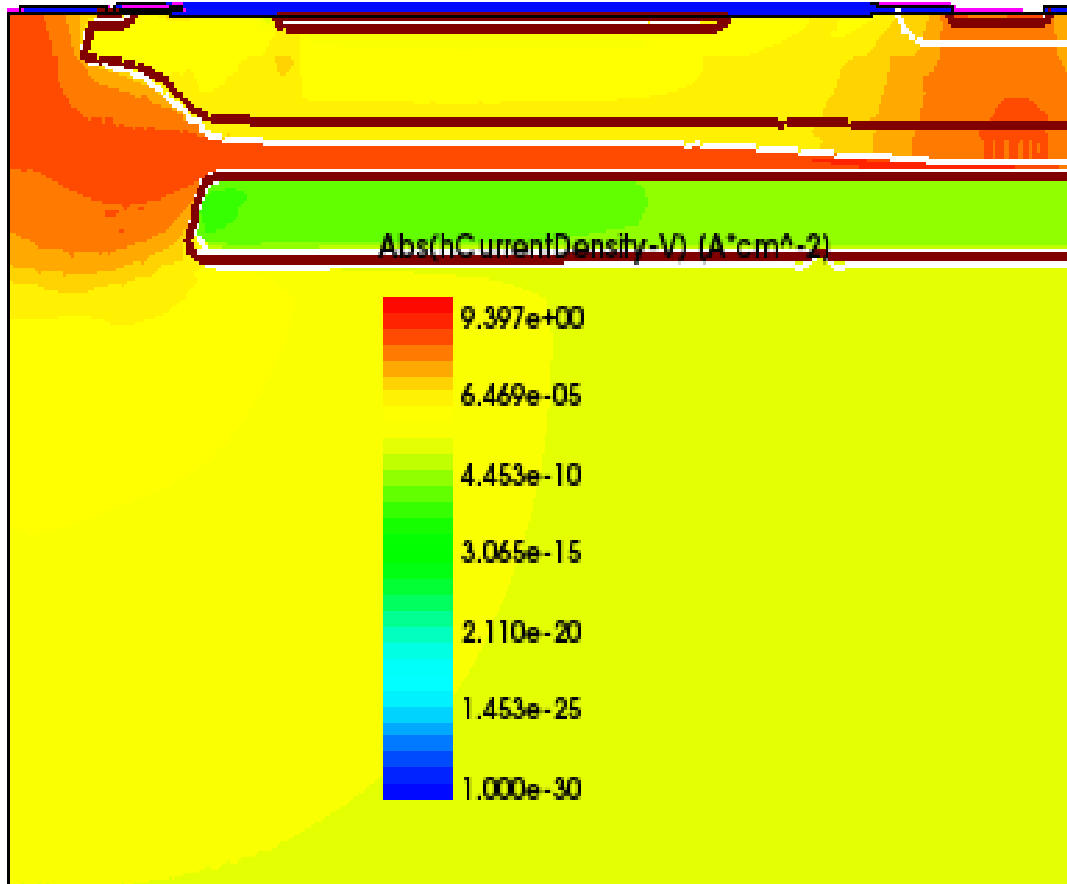


圖 4-15 Hole current density for $V_G=V_E=20V$.

4.1.6 改善後的漏電流與崩潰電壓大小

由上述製程步驟、限制因素的考量後，再經由製程模擬軟體設計出本文初步的結構，先使漏電流能明確的降低後，再進行最佳化的考量。可由圖 4-16 得到本次設計的結構，在導通時，已利用利用兩層逆偏所形成的空乏區(圖上的白色線條)，使淺層的 P 型埋層與 N 型深埋層之間形成橫向的電場，因為在 N 型深埋層與 P 型深埋層之間有較強的橫向電場，圖 4-17 電晶體沒發生高階注入、Kirk effect 效應、Base Widening at High Current Densities，電洞因此不會直接往基板中

流動，圖 4-18 電子也不會受到電洞的影響，往基板中流動。而可發現在基板底下 40um 處，圖 4-19 電洞密度已降至 $10^{-4} \text{A} \cdot \text{cm}^{-2}$ ，這是導因於 N 型深埋層與淺層 P 型埋層的作用所致，電洞不再垂直的往基板流動，是由水平電場引導後再透過 P 型深埋層從 BULK 端流出。

減少基板的漏電流後，圖 4-20 可觀察到改善過後的 I_D-V_D 曲線，相較於之前的情況，曲線已平滑許多。圖 4-21 比較原始結構與新結構在基板表面下 40um 處電洞與漏電流的情況。新結構對基板漏電流的改善達四個數量及以上。圖 4-22 崩潰電壓仍然維持在 700 伏特以上，與原始元件的崩潰電壓一樣大，不受到影響。

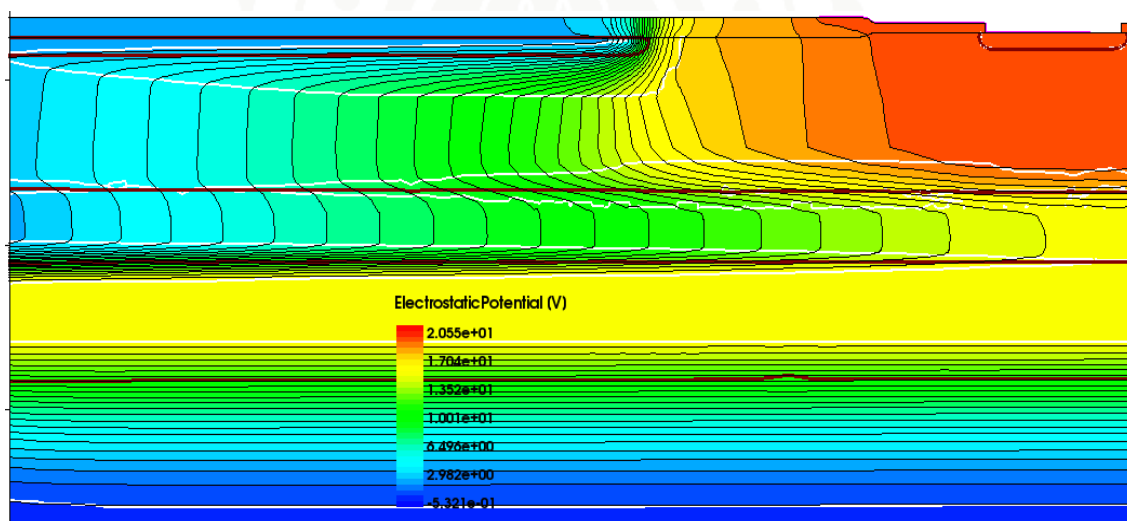


圖 4-16 $V_G=V_E=20\text{V}$ Electrostatic potential distribution

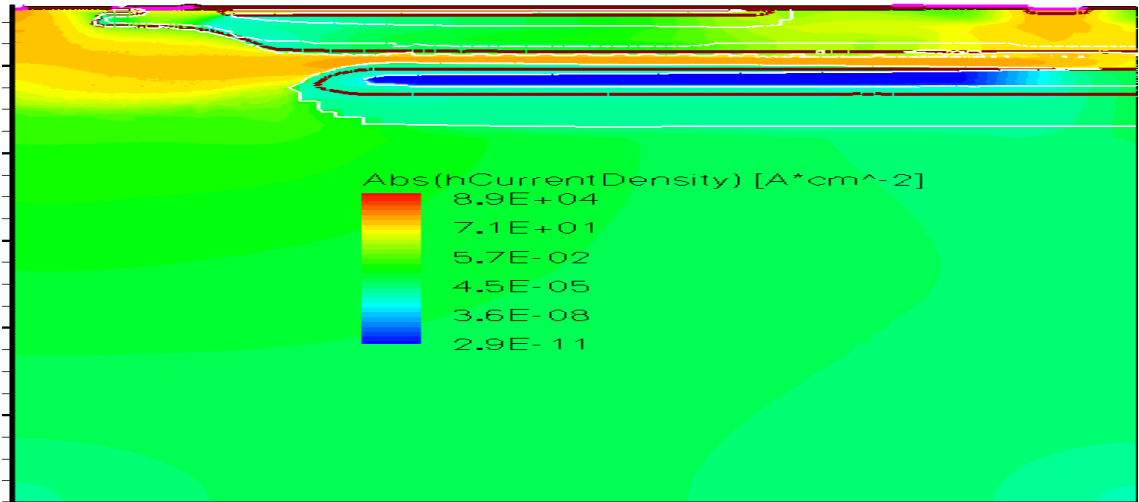


圖 4-17 $V_G=V_E=20V$ Hole Current Density(A*cm⁻²)

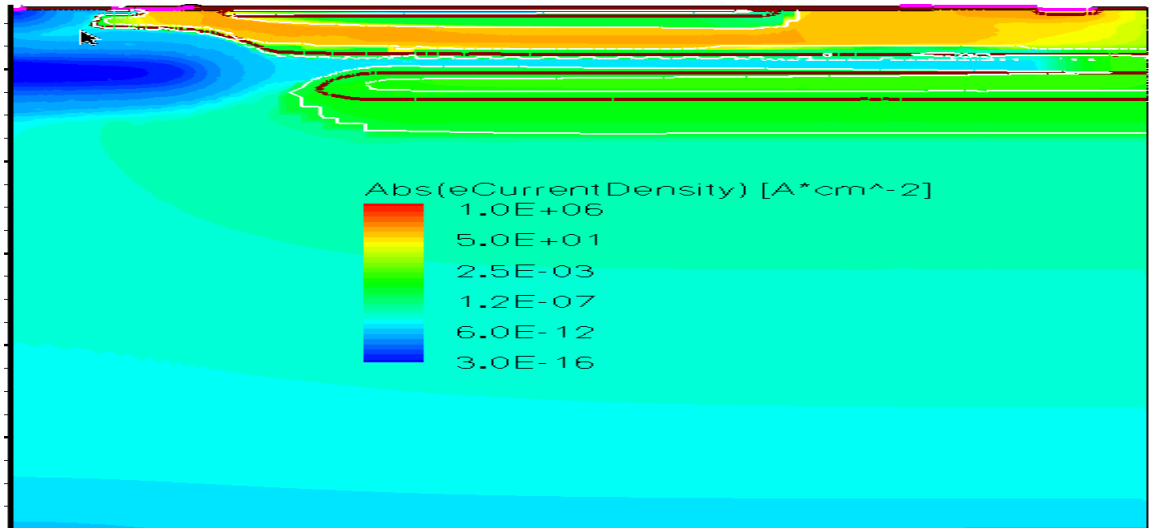


圖 4-18 $V_G=V_E=20V$ Electron Current Density(A*cm⁻²)

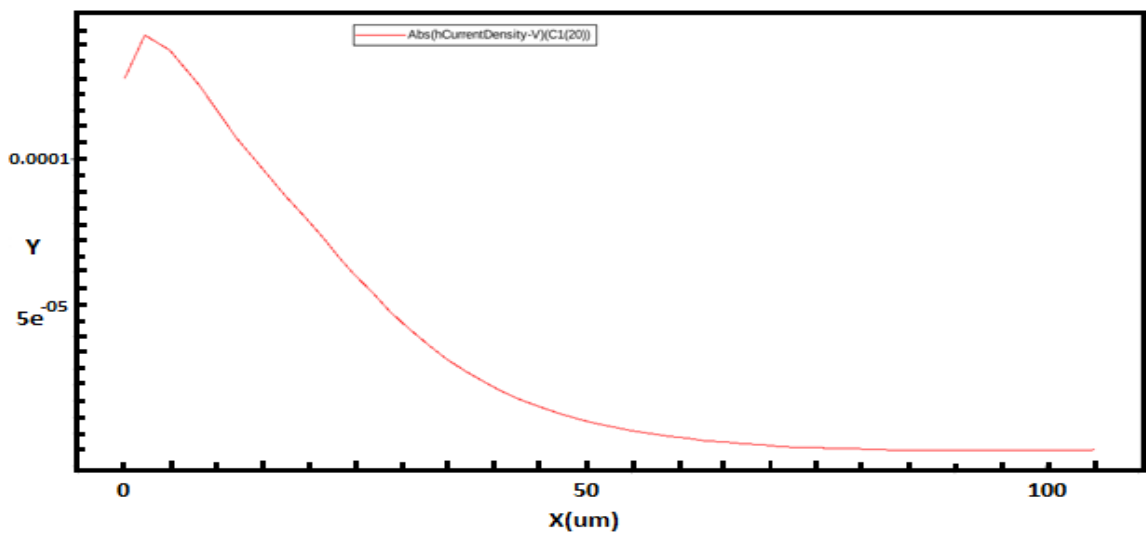


圖 4-19 基板表面下 40um 處 Hole Current Density ($A \cdot cm^{-2}$)

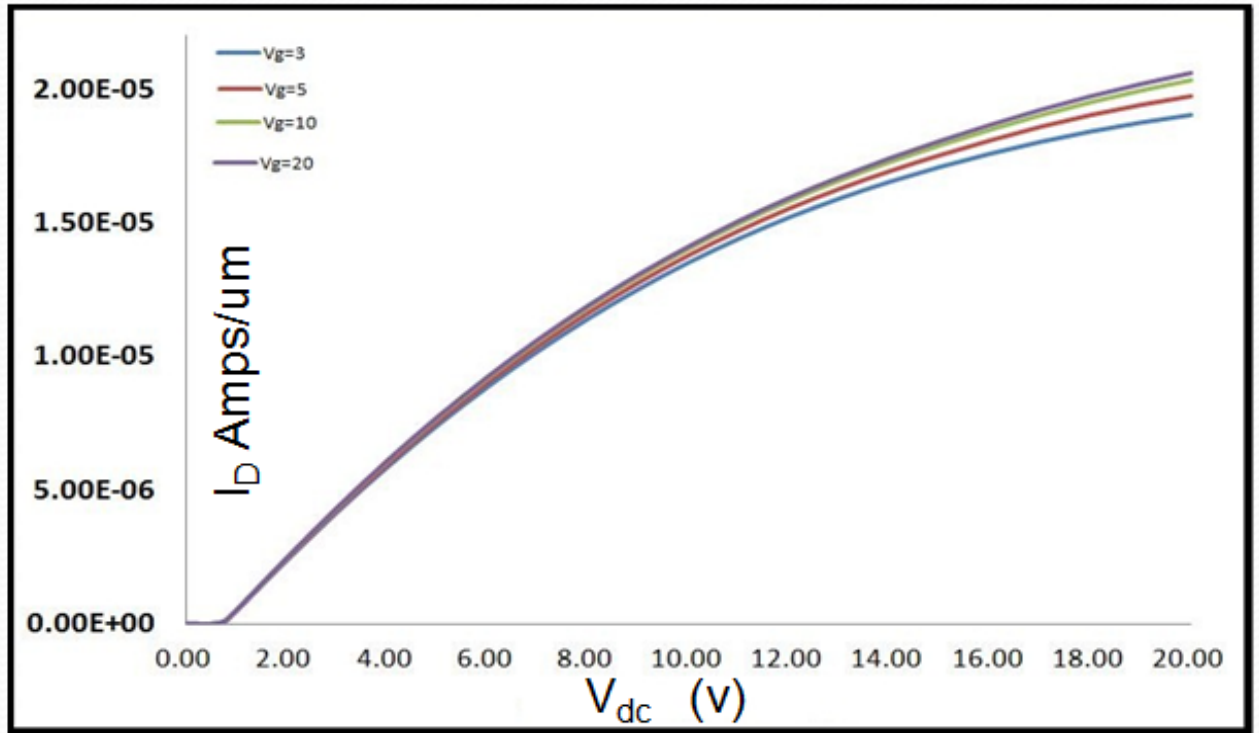


圖 4-20 設計 LIGBT device I_D - V_D curve

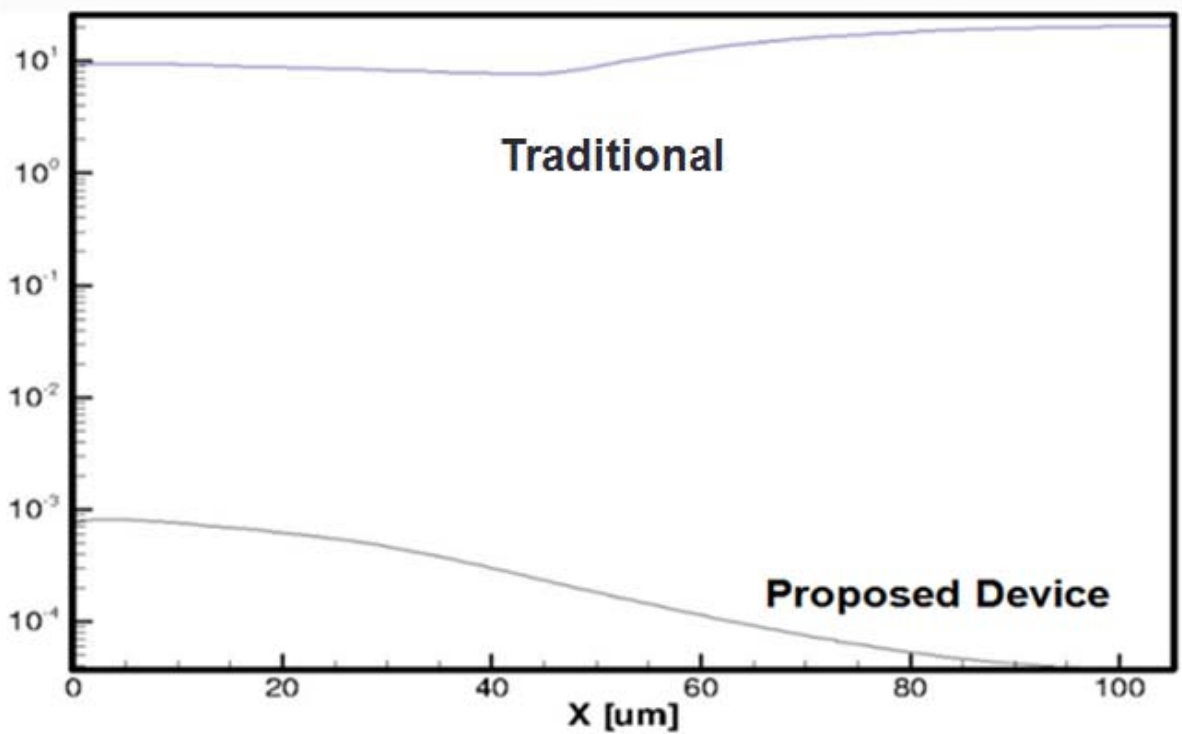


圖 4-21 基板表面下 40um 處 Hole Current Density ($A \cdot cm^{-2}$)

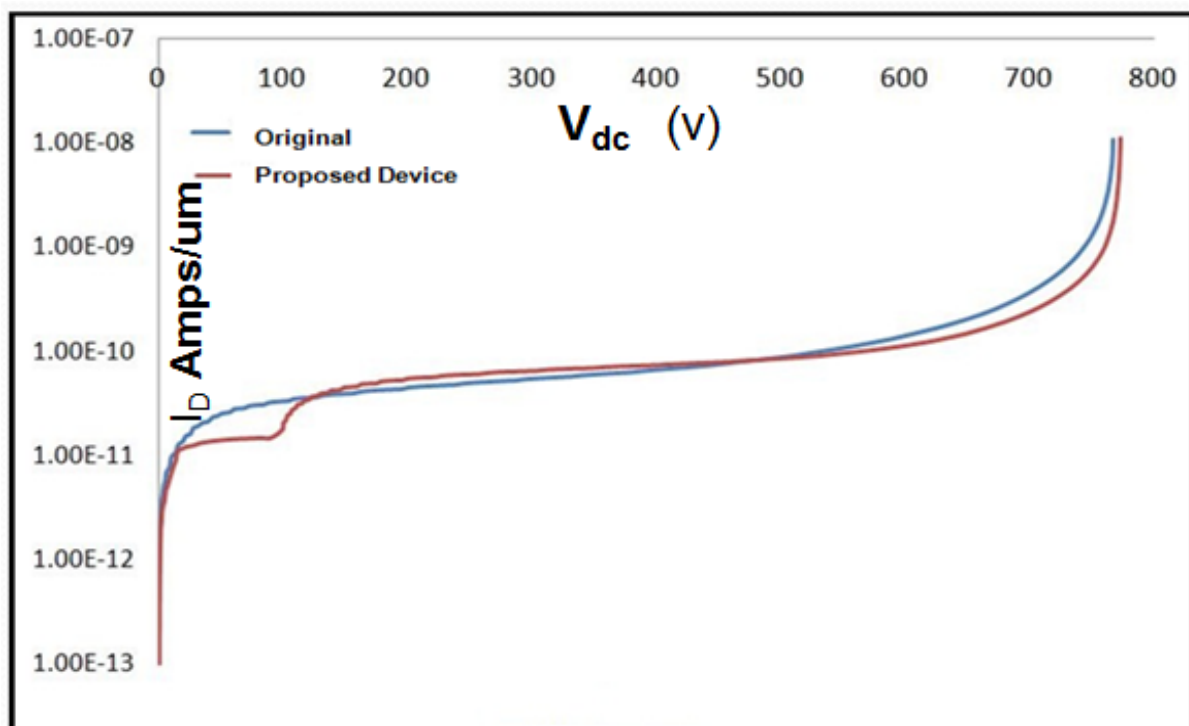


圖 4-22 崩潰電壓 (V)

4.2 製程設計最佳化

從初步的設計當中，可觀察漏電流情形已加以改善，但在導通電流的部份仍需加強，因此運用不同的劑量、摻雜離子做個最適當的設計。圖 4-23 為此次改良後的步驟。如同之前，所使用的還是為 P 型基板，方向<100>濃度 $1.7e14$ 的矽晶圓，但此次是以業界提供的最高能量植入 N 型磷(Phosphor)離子做成 NBL，在以低能量植入 P 型氟化硼離子(BF₂)做成 PBL。在磊晶前，NBL 與 PBL 間已有明顯的分開，在後製的溫度當中，由於磷離子容易擴散，因此便會往 P 型基板裡面

做擴散；而 P 型氟化硼離子不容易擴散，因此往 N 型磊晶層、NBL 擴散的程度相對於減少，但整體植入的劑量不變，相較於使用硼離子摻雜的 N 型磊晶層的厚度，不會被 PBL 擴散的關係，失去太多。經設計後，考量限制因素，把電流先訂為比 LDMOSFET 大的情況下，並不發生漏電流為目標，由公式(4-1)(4-2)(4-3)(4-4)進行設計。可從圖 4-24，在調整過後的 LIGBT，導通電流有增加的情形，圖 4-25 崩潰電壓保持在 700 伏特以上，並且圖 4-26 漏電流依然在 10^{-4} 以下。

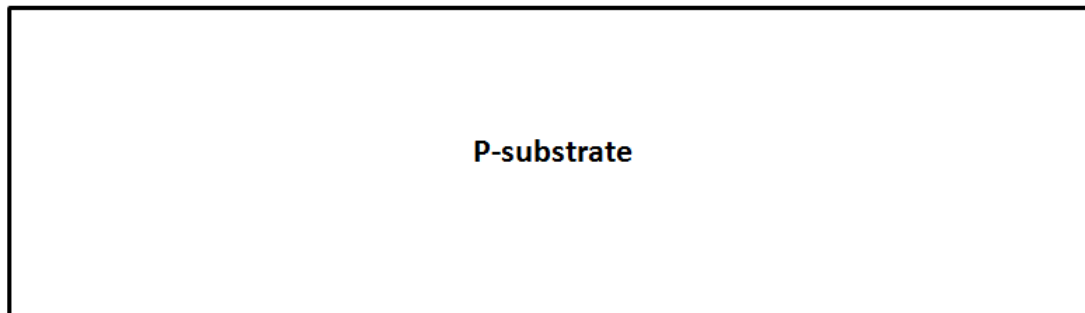
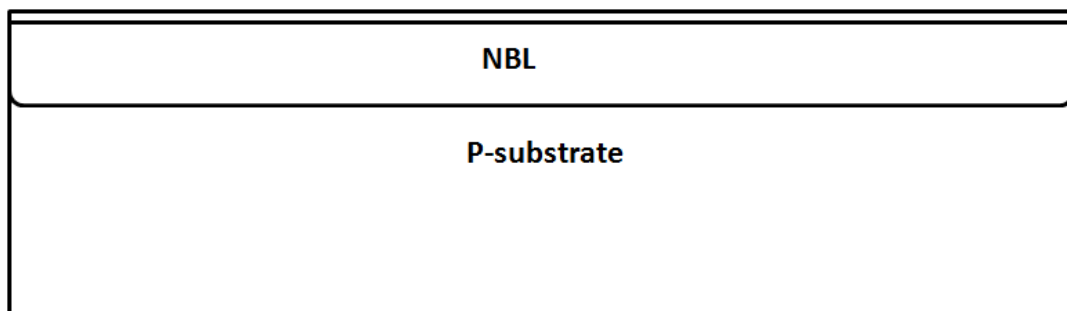


圖 4-23 製程設計最佳化

植入高能量N型的磷離子



植入低能量P型的氟化硼離子

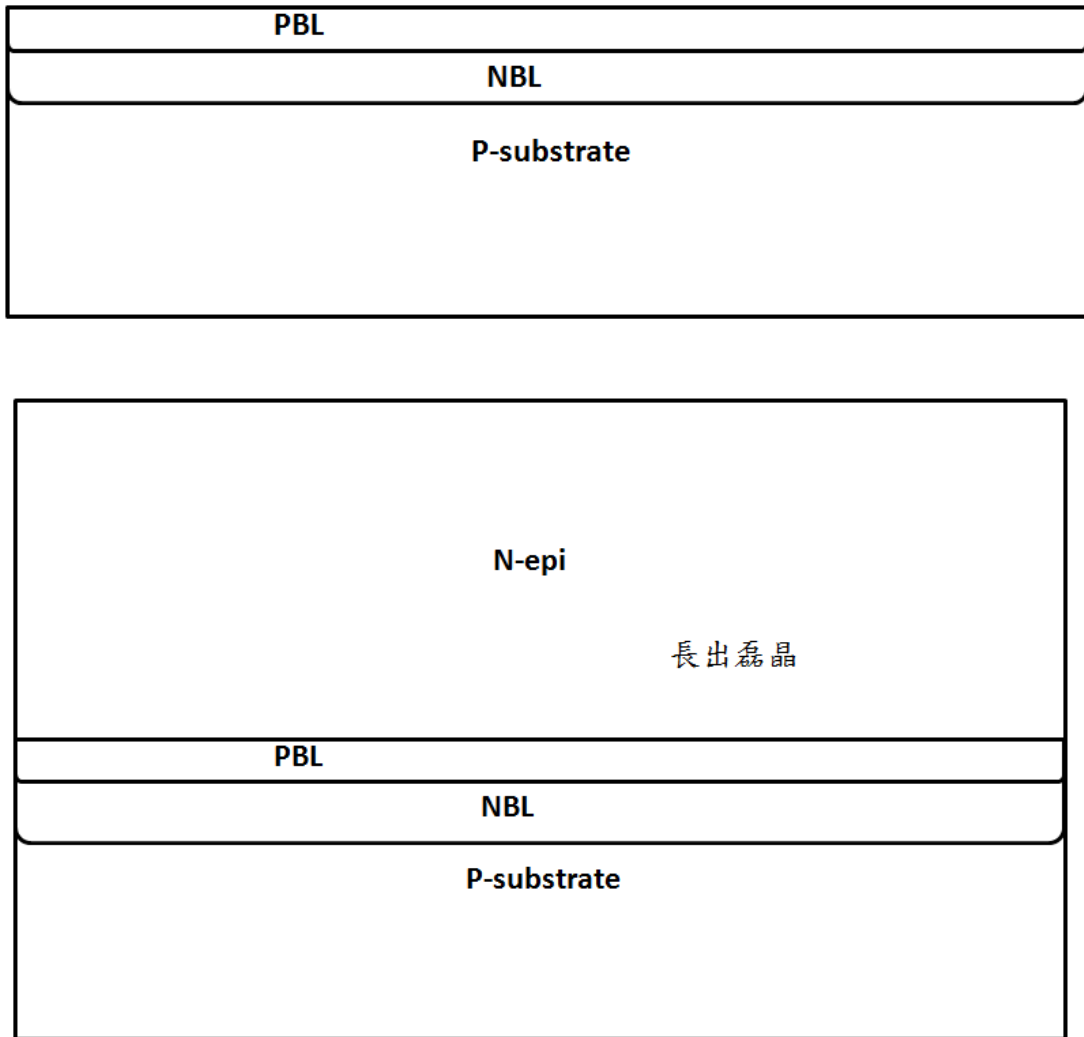


圖 4-23 製程設計最佳化

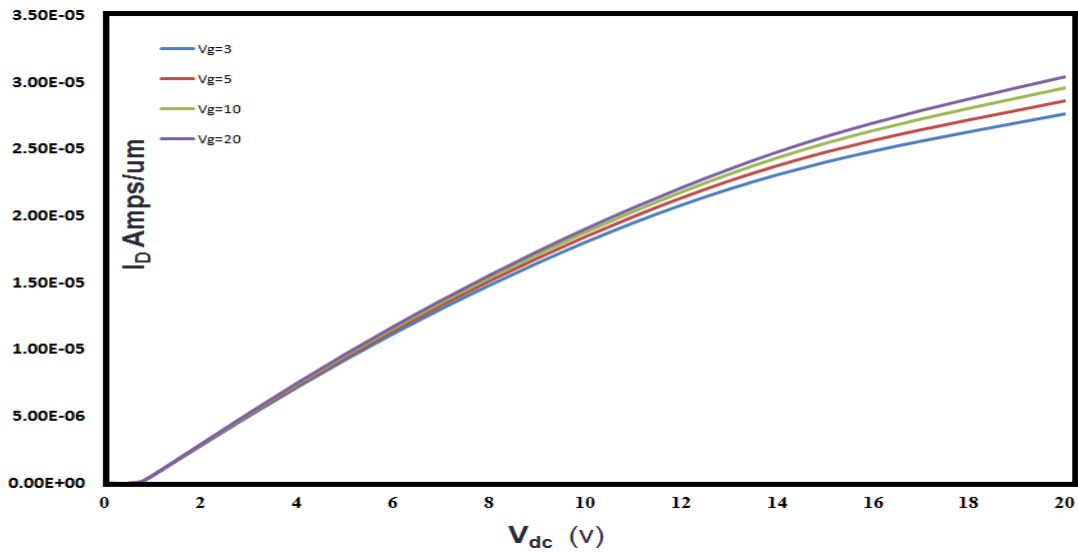


圖 4-24 製程設計最佳化 I_D-V_D curve

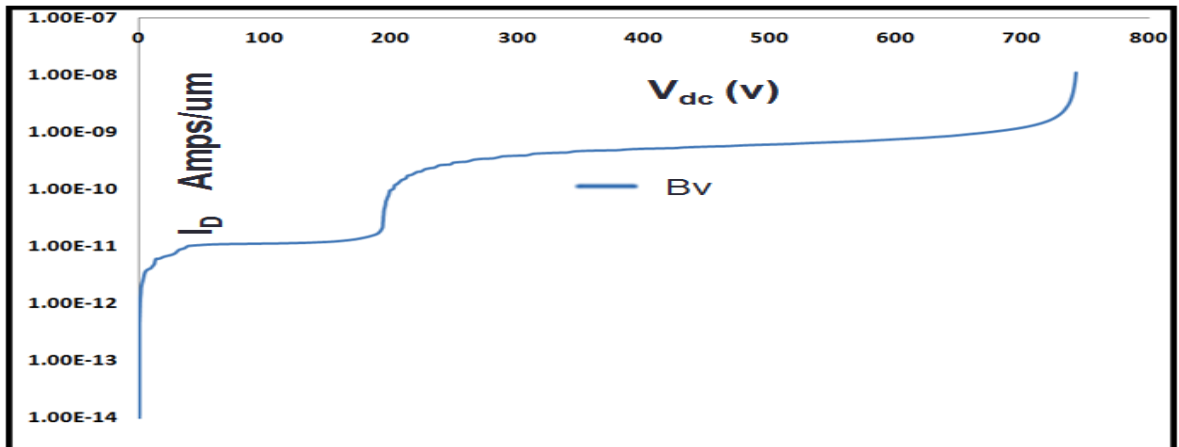


圖 4-25 製程設計最佳化 崩潰電壓(V)

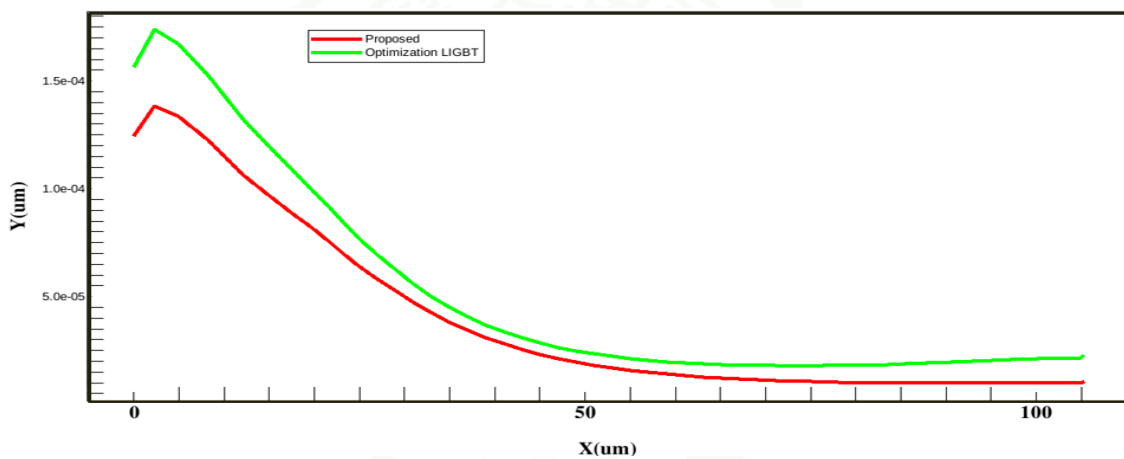


圖 4-26 最佳化後基板表面下 40um 處 Hole Current Density ($A*cm^{-2}$)

4.3 最佳化 LIGBT 與傳統高壓元件的比較

將最佳化設計的 LIGBT，與 LDMOSFET、傳統 LIGBT 做比較，並詳細的探討。

4.3.1 最佳化 LIGBT 與 LDMOSFET 的比較

圖 4-27 最佳化設計後的 LIGBT 保持在 700 伏特的崩潰電壓，並且漏電流也在 10 的負四次方，並且電流如圖 4-28 所示，再由圖 4-29、

4-30，可觀察 LDMOSFET 在導通時，只有電子的流動，在圖 4-31、4-32 最佳化設計後的 LIGBT，多了電洞的流動，因此在表 4-1 計算導通電阻後，並且再比較效能指標，如表 4-2 所示。

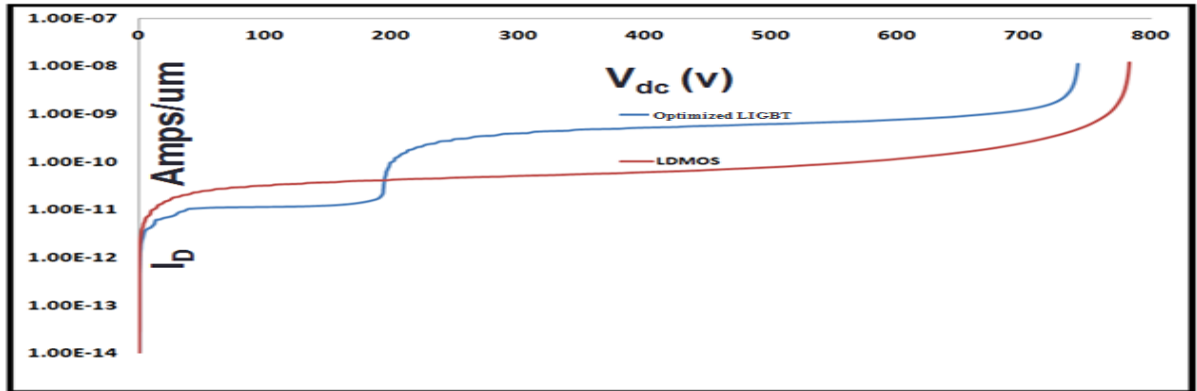


圖 4-27 LDMOSFET 與最佳化 LIGBT 崩潰電壓 比較(V)

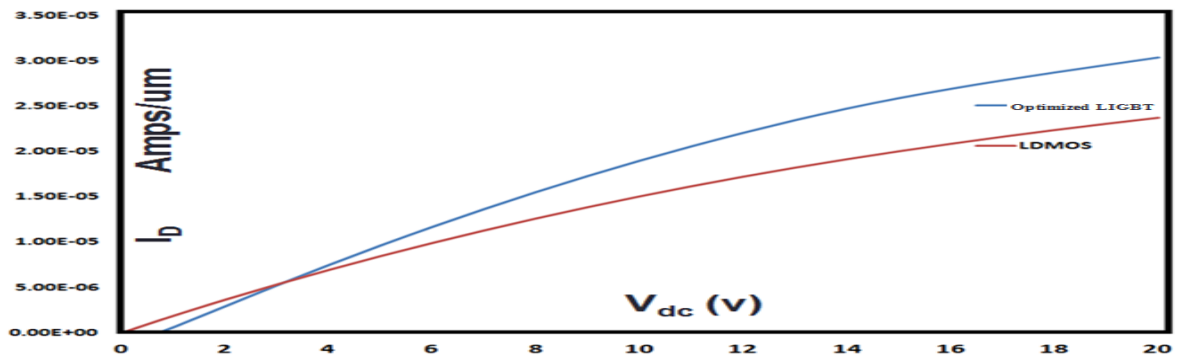


圖 4-28 LDMOSFET 與最佳化 LIGBT I_D - V_D curve 比較

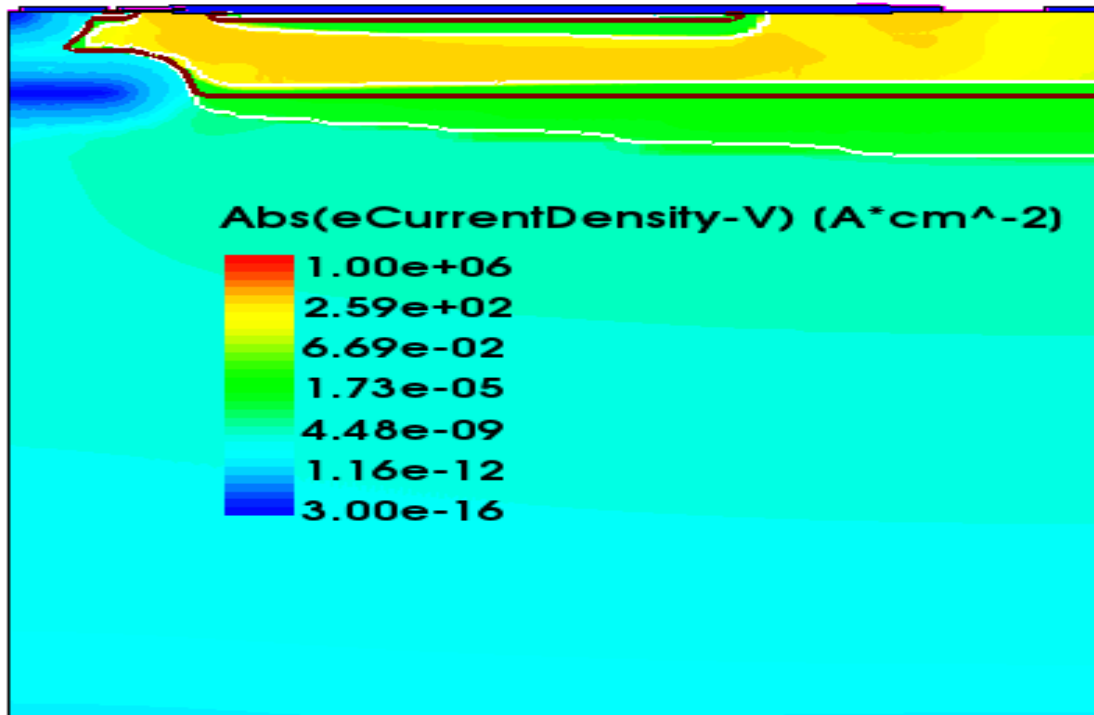


圖 4-29 LDMOSFET $V_G=V_D=20V$ Electron Current Density ($A \cdot cm^{-2}$)

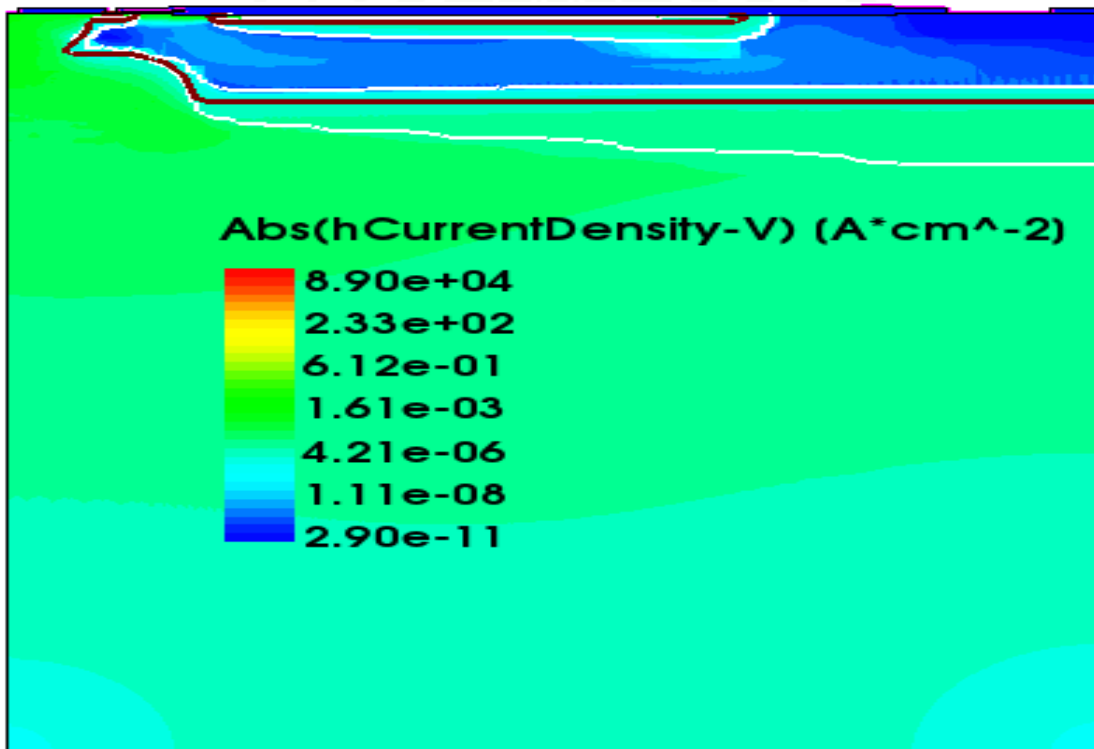


圖 4-30 LDMOSFET $V_G=V_D=20V$ Hole Current Density ($A \cdot cm^{-2}$)

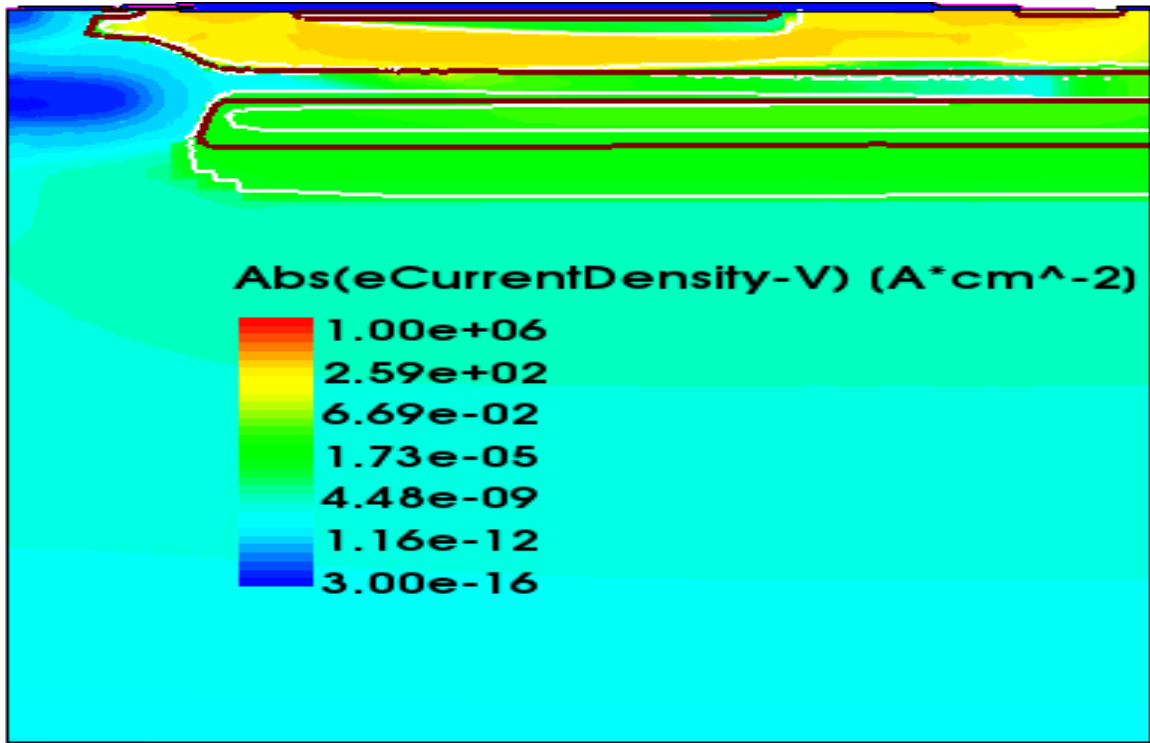


圖 4-31 LIGBT $V_G=V_E=20V$ Electron Current Density(A*cm⁻²)

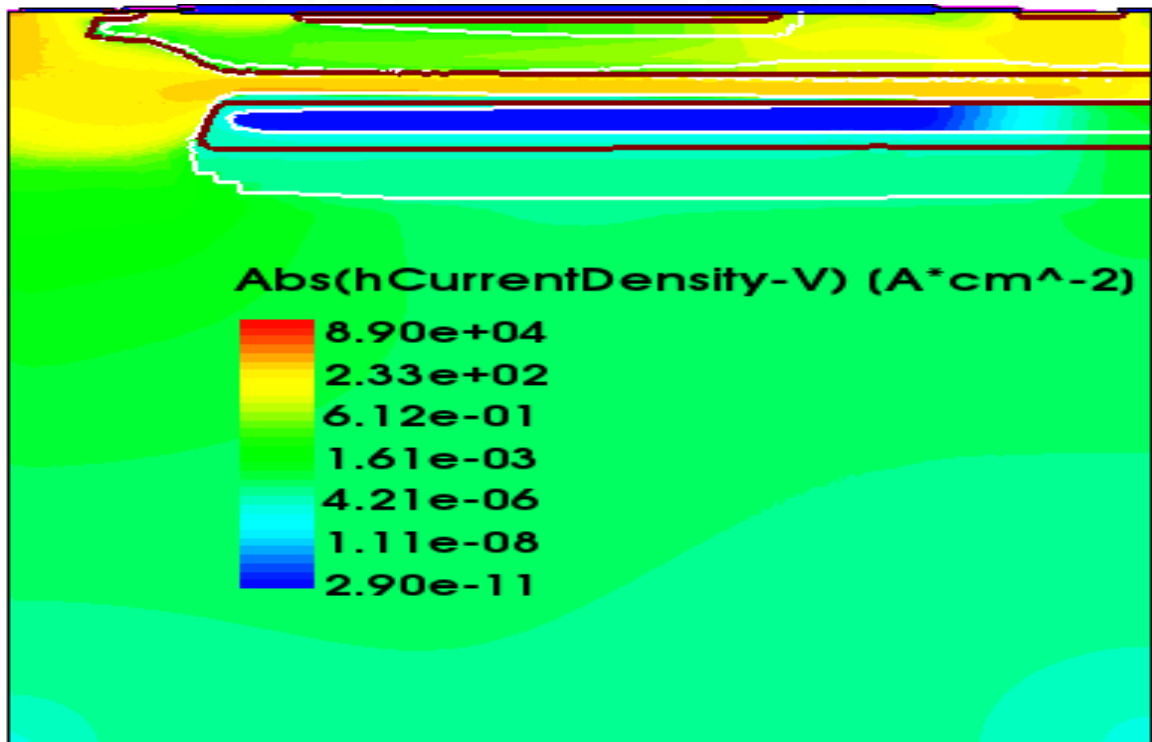


圖 4-32 LIGBT $V_G=V_E=20V$ Hole Current Density(A*cm⁻²)

表 4-1 LDMOSFET 與最佳化 LIGBT R_{on} 比較

Ron	$V_G = 20V$ $V_{D/E} = 2V$	$V_G = 20V$ $V_{D/E} = 4V$	$V_G = 20V$ $V_{D/E} = 6V$
LDMOSFET	$5.77e^{05} \text{ um}\Omega$	$6.40e^{05} \text{ um}\Omega$	$7.04e^{05} \text{ um}\Omega$
Optimization	$4.31e^{05} \text{ um}\Omega$	$4.54e^{05} \text{ um}\Omega$	$4.96e^{05} \text{ um}\Omega$

表 4-2 LDMOSFET 與最佳化 LIGBT 效能指標比較

	Breakdown Voltage	$V_G = 20V$ $V_{D/E} = 6V$	效能指標 (Efficiency index)
LDMOSFET	764V	$6.40e^{05} \text{ um}\Omega$	$119.375e^{-5}$
Optimization	747V	$4.54e^{05} \text{ um}\Omega$	$164.54e^{-5}$

4.3.2 最佳化 LIGBT 與 傳統 LIGBT 的比較

比較圖 4-33 崩潰電壓，兩者皆維持在 700 伏特以上。但傳統 LIGBT 有詬病的基板漏電流，與最佳化設計後的 LIGBT 相比，在圖 4-34、4-35 基板表面下 40um 處電洞與電子的漏電流情況，最佳後設計的 LIGBT，已無電洞、電子在基板內流動。圖 4-36 可看出兩者相差在 4 個數量集以上，且圖 4-37 導通曲線，也變為正常。

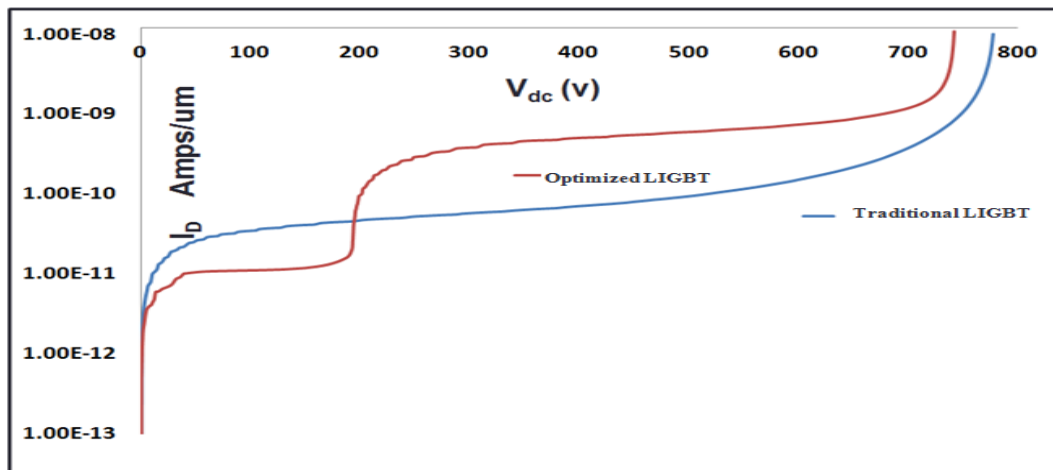


圖 4-33 Traditional 與 Optimized LIGBT 崩潰電壓 比較(V)

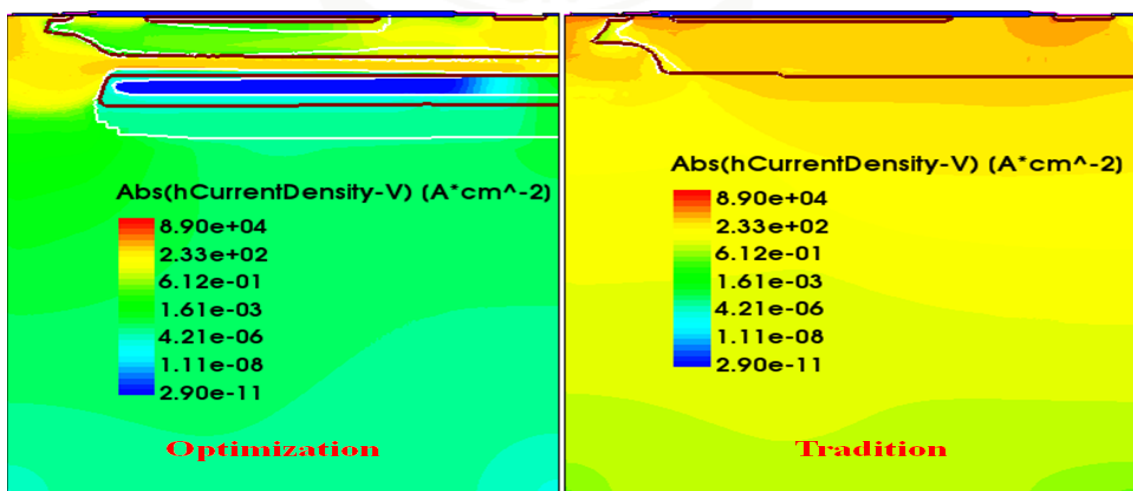


圖 4-34 Optimized 與 Traditional LIGBT

Hole current density for $V_G=20V$ and $V_E=10V$ (V)

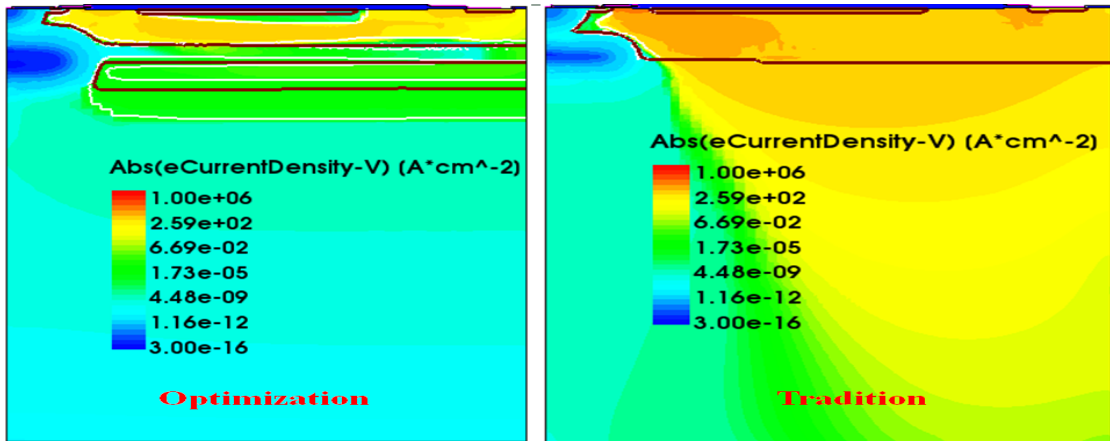
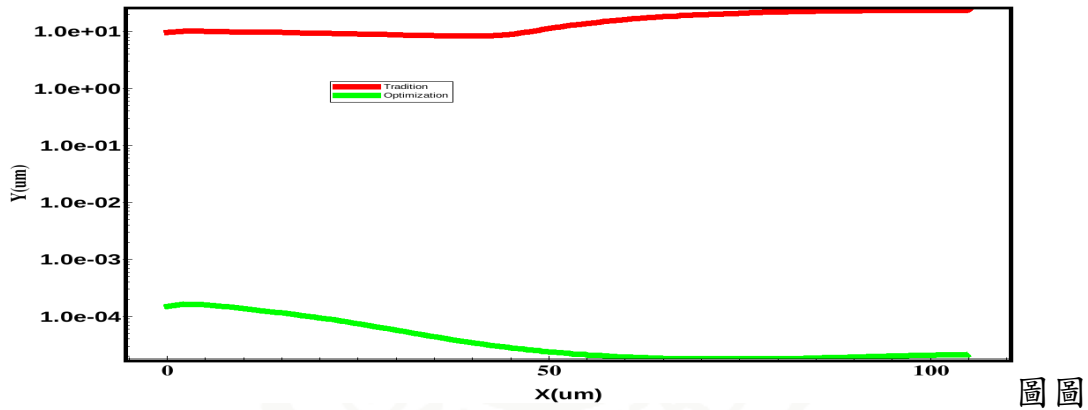


圖 4-35 Optimized 與 Traditional LIGBT

Electron current density for $V_G=20V$ and $V_E=10V$ (V)



4-36 Optimized 與 Traditional LIGBT

40um 處 Hole Current Density ($A*cm^{-2}$)

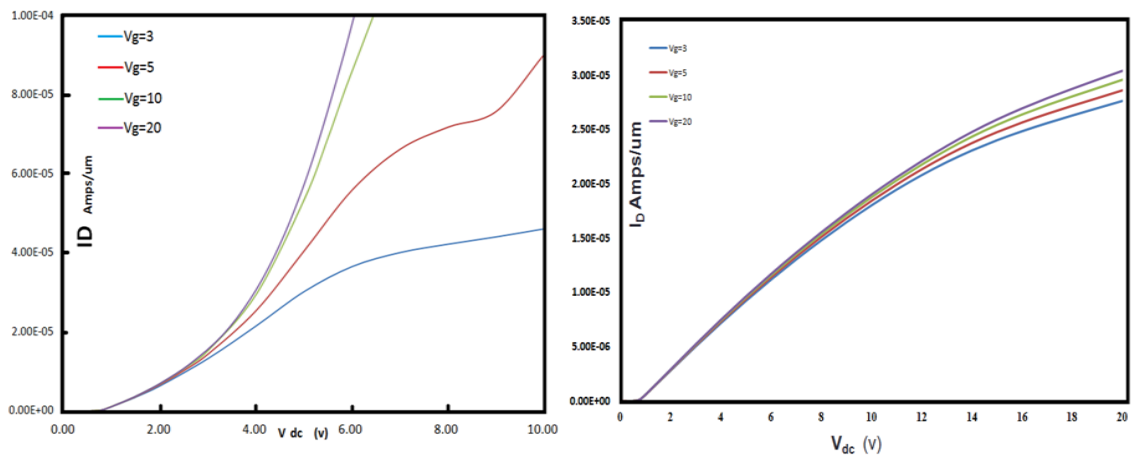


圖 4-37 Optimized 與 Traditional LIGBT I_D - V_D curve

第五章：結論及未來展望

本文針對 LIGBT 在導通時，陽極 P⁺ 的結構會注入電洞，造成基板漏電流的問題，提出了在 P⁺ 陽極端底下使用兩層逆偏 PN 結構，以分散垂直方向電場峰值的方法，加強在 N-epi 與 P 型基板界面間的橫向電場，使得橫向電場能大於垂直電場，藉此能達到電洞不會直接往基板流入。但電流的大小將受限於 PBL 的濃度與厚度，因此在設計時，須先考量，使其不發生 Kirk effect 或是高階注入。

經文中設計後，將漏電流在基板 40um 處的電洞密度(A*cm⁻²)從 20(A*cm⁻²)降至 10 的-4 次方，也因沒有電洞流入基板的影響，電子也將不會受到正電荷的影響流入基板；並且使崩潰電壓保持在 700 伏特以上。因為阻絕了基板漏電流的路徑，導通電阻相較於傳統 LIGBT 也因而升高。但是整個功率積體電路將得以正常運作，不會受基板漏電流破壞。而如果以相同條件下與 LDMOSFET 做比較，LIGBT 因有電洞的注入，導通電阻較小於 LDMOSFET。

此次研究，雖然將 LIGBT 漏電流的詬病，提出方法並解決，希望在未來，可以將導通電流提升，並且能與其他低壓電路元件做整合，實際下線，並量測其漏電流的大小，是否已達到改進。

第六章：參考文獻

- [1] S. Duan, M. Qiao, K. Mao, B. Zhong , L. Jiang, B. Zhang. International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Nov. 2010.
- [2] David W.Green, Shyam Hardikar, Ramakrishna Tadikonda, Mark Sweent, Konstantin V. Vershinin, and E. M .Sankara Narayanan. IEEE Tranksactions on Electron Devices Vol.52, No.7, July 2005.
- [3] E. Gevinti, L. Cerati, M. Sambhi, M. Dissegna, L. Cecchetto, A. A. Tazzoli , G. Meneghesso. EOS/ESD symposium, 2008
- [4] J. B .Cheng, B. Zhang, B. X. Duan and Z. J. Li. Electronics Letters, Vol. 47, No. 20, 29th September 2011.
- [5] B. Bakeroot, J. Doutreloigne, and P. Moens. IEEE Electron Device Letters, Vol. 27, No. 6, June 2006.
- [6] B. Bakeroot, J. Doutreloigne, P. Vanmeebeek, and P. Moens. Proceedings of the19th International Symposium on Power Semiconductor Devices & ICs, May 27-30, 2007.
- [7] Lei Lei Xiaorong, Luo Zhan Zhan, Wei Zhang ,Bo Zhang, Zhaohi Li. International Conference on Solid-State and Integrated-Circuit Technology. Oct, 2008.
- [8] B. Bakeroot, J. Doutreloigne, P. Vanmeerbeek, and P. Moens. IEEE Eletron Device Letters, Vol. 28, No. 5, May 2007.
- [9] Sze, S.M, Semiconductor Devices Physics and Technology, Copyright 1997 by John Wiley & Sons Inc
- [10] Donald A. Neamen, Semiconductor Physics & Devices, Second Edition, Copyright 1997.1992 by McGraw-Hill Inc
- [11] John F. Donlon*, Eric R. Motto*, Kazufumi Ishii**, Takahiko lida, “APPLICATION ADVANTAGES OF HIGH VOLTAGE HIGH CURRENT IGBTs WITH PUNCH THROUGH TECHNOLOGY”
- [12] Hideo Iwamoto*, Hideki Haruguchi*, Yoshifumi Tomomatsu**, John F. Dodon***, Eric R. Motto “A NEW PUNCH THROUGH IGBT HAVING A NEW N-BUFFER LAYER”
- [13] Thomas Pompl and Martin Kerber” Failure Distributions of Successive Dielectric Breakdown Events”
- [14] A. Ochoa, Jr., F. W. Sexton, T. F. Wrobel, and G. L. Hash Sandia National Laboratories Albuquerque, NM 87185 And R. J. Sokel, INMOS Colorado Springs, CO “IEEE Transactions on Nuclear Science, Vol. NS-30, No. 6,December 1983”SNAP-BACK: A STABLE REGENERATIVE BREAKDOWN MODE OF MOS
- [15]

DEVICES”

- [16] TORU TOYABE, MEMBER, IEEE, KEN YAMAGUCHI, MEMBER, IEEE, SHOJIRO ASAI, MEMBER, IEEE AND MICHAEL S. MOCK “A Numerical Model of Avalanche Breakdown in MOSFET’s”
- [17] B.J.Baliga “Fundamentals of power semiconductor
- [18] J. A. Appeals, and H. M. J. Vaes, “High-voltage thin layer devices (RESURF devices)”, IEDM Tech. Dig., pp. 238-239, 1979
- [19] J. A. Appeals, and H. M. J. Vaes, “High-voltage thin layer devices (RESURF devices)”, IEDM Tech. Dig., pp. 238-239, 1979
- [20] Zahir Parpia, and C. Andre T. Salama, “Optimization of RESURF LDMOS transistors: an analytical approach”, IEEE Electron Device, Vol. ED-37, No. 3, pp. 789-795, 1990
- [21] Zahir Parpia, and C. Andre T. Salama, “Optimization of RESURF LDMOS transistors: an analytical approach”, IEEE Electron Device, Vol. ED-37, No. 3, pp. 789-795, 1990
- [22] ZAHIR, MEMBER, IEEE, AND C. ANDRE T. SALAMA. FOLLOW IEEE” Optimization of RESURF LDMOS Transistors: An Analytical Approach”
- [23] Qin Lu, P. Ratnam and C. Andre T. Salama” HIGH VOLTAGE SILICON-ON-INSULATOR(SO1) MOSFETS”
- [24] Sh. Shahbazia M. Fathipourb” Characteristics Optimizing of LDMOS Devices with Advanced-RESURF”
- [25] E.M. Sankara Narayanan, G. Amaratunga and W.I. Milne” A STUDY OF THE RESURF PRINCIPLE FOR THIN EPITAXIAL LAYER HIGH VOLTAGE INTEGRATED CIRCUITS”
- [26] Jung-Ruey Tsai^{1,2*}, Yuan-Min Lee¹, Min-Chin Tsai¹ Gene Sheu^{1,2}, and Shao-Ming Yang¹ “Development of ESD Robustness Enhancement of a Novel 800V LDMOS Multiple RESURF with Linear P-top Rings”
- [27] W. Wang, S. Banerjee, T. P. Chow, and R. J. Gutmann” 930-V 170- μm^2 Lateral Two-Zone RESURF MOSFETs in 4H-SiC With NO Annealing”
- [28] S. Banerjee, Student Member, IEEE, T. P. Chow, Senior Member, IEEE, and R. J. Gutmann, Fellow, IEEE” 1300-V 6H-SiC Lateral MOSFETs With Two RESURF Zones”

- [29] Zitouni, M.; Morancho, F.; Rossel, P.; Tranduc, H.; Buxo, J.; Pages, I. , “A new concept for the lateral DMOS transistor for smart power IC's”, ISPSD '99, pp.73-76
- [30] Zia Hossain, Mohamed Imam, Joe Fulton, M a s h Tanaka” Double-resurf 700V N-channel LDMOS with Best-in-class On-resistance”
- [31] Sameh G. Nassif-Khalil, Senior Member, IEEE, Li Zhang Hou, and C. Andre T. Salama, Fellow, IEEE “SJ/RESURF LDMOST”
- [32] Sameh G. Nassif-Khalil, Student Member, IEEE, and C. Andre T. Salama, Fellow, IEEE “Super-Junction LDMOST on a Silicon-on-Sapphire Substrate”
- [33] Sameh G. Nassif-Khalil, Student Member, IEEE, and C. Andre T. Salama, Fellow, IEEE “Super-Junction LDMOST on a Silicon-on-Sapphire Substrate”
- [34] Shyam Hardikar, Ramakrishna Tadikonda, David W. Green, Student Member, IEEE, Konstantin V. Vershinin, and Ekkanath Madathil Sankara Narayanan, Senior Member, IEEE “Realizing High-Voltage Junction Isolated LDMOS Transistors With Variation in Lateral Doping”
- [35] Der-Gao Lin, S. Larry Tu, Yee-Chaung See, and Pak Tam Advanced Custom Technologies Center, SPS, Motorola Inc.” A Novel LDMOS Structure With A Step Gate Oxide”
- [36] Elizabeth Ching Tee Kho, Alexander Dietrich Hoelke, Steven John Pilkington, Deb Kumar Pal, Wan Azlan Wan Zainal Abidin, Liang Yew Ng, Marina Antoniou, and Florin Udrea “200-V Lateral Superjunction LIGBT on Partial SOI”
- [37] Zuxin Qin and E.M.Sankara Narayanan “A Novel Multi-cell Lateral Insulated Gate Bipolar Transistor in the DELDI Technology”
- [38] Juhyun Oh, Dae Hwan Chun, Reum Oh, Hyun Soo Kim” A Snap-back Suppressed Shorted-Anode Lateral Trench Insulated Gate Bipolar Transistor (LTIGBT) with Insulated Trench Collector”
- [39] E. M. Sankara Narayanan” A STUDY OF FAST SWITCHING, ANODE SHORTED LATERAL INSULATED GATE BIPOLAR TRANSISTOR”
- [40] Wensuo Chen, Bo Zhang, and Zhaoji Li” Area-Efficient Fast-Speed Lateral IGBT With a 3-D n-Region-Controlled Anode”

- [41] Hiroki Fujii, Shinichi Komatsu, Masaharu Sato and Toshihiko Ichikawa "Devices & Analysis Technology Division, Renesas Electronics Corporation" Design of an 80V-class high-side capable double-resurf JI L-IGBT"
- [42] T.P. Chow, D.N. Pattanayak, B.J. Baliga, and Md. S. Adler" LATCHING IN LATERAL INSULATED GATE BIPOLAR TRANSISTORS"
- [43] Azzouz Nezar, Philip K.T. Mok and C. Andre T. Salama" Latch-up Prevention in Insulated Gate Bipolar Transistors"
- [44] Jian Wu, Shurong Dong*, Member, IEEE, Yan Han, Jie Zeng, Fei Ma and Jianfeng Zheng ESD Lab, Department of Information Science & Electronic Engineering" Lateral IGBT in Thin SOI Process for High Voltage ESD Application"
- [45] Johnny K. O. Sin, Member, IEEE, and Satyen Mukherjee, Member, IEEE" Lateral Insulated-Gate Bipolar (LIGBT) with a Segmented Transistor Anode Structure"
- [46] Lei Lei Xiaorong Luo Zhan Zhan Wei Zhang Bo Zhang Zhaoji Li" New Lateral IGBT on Partial Membrane"
- [47] H.P. Zhang, Member, IEEE & ACS L.L. Sun, Senior Member, IEEE L.F. Jiang, L.J. Ma, M.Lin, Member, IEEE" Process Simulation of Trench Gate and Plate and Trench drain SOI NIGBT with TCAD Tools"
- [48] 洪嘉偉 "應用於Power IC 之700伏特LIGBT元件研發" Design and Implementation of 700V LIGBT for Power IC Application"
- [49] T.P. Chow, D.N. Pattanayak, B.J. Baliga, and Md. S. Adler" LATCHING IN LATERAL INSULATED GATE BIPOLAR TRANSISTORS"
- [50] Azzouz Nezar, Philip K. T Mok and C. Andre T. Salama "Latch-up Prevention in Insulated Gate Bipolar Transistors"
- [51] B.J. Baliga, Power Semiconductor Devices, PWS publishing Company, 1995.
- [52] L.A. Robinson D.N. Pattanayak, M S Adler, B.J. Baliga, and E.J. Wildi "Lateral insulated gate transistors with improved latching characteristics" IEEE Electron Device Letters, 1996. vol EDL-7 no.2 pp.61-63
- [53] A. Nezar, K.T.P Mok and C.A.T. Salama" Latch-up prevention in insulated gate bipolar transistors" ISPSD93, pp236-239
- [54] J. Cai and K.F. Lo "A latch-up immunized lateral trench-gate conductivity modulated power transistor" in Proc IPFA99, 1999, Singapore, pp168-172.

- [55] T.P.Chow,B.J Baliga D.N pattanayak and M.S.Adler
“Comparison of P-channel lateral insulated –gate bipolar transistors with and without collector shorts “IEEE Electron Device Letters,1990 vol11 pp.184-186.
- [56] Shuangliang Duan *, Ming Qiao, Kun Mao, Bo Zhong, Lingli Jiang, Bo Zhang” 700 V Segmented Anode LIGBT with Low On-Resistance and Onset Voltage”
- [57] Simo Eranen, Marko M Gronlund , MBlomberg , and Jyrki Kiihamki “The Kirk Effect in the LIGBT Device”
- [58] A.W Ludikhuize ,Philips Research Laboratories and Eindhoven ,The Netherlands”Kirk effect limitations in High Voltages IC’s”
- [59] Raymond J.E.Hueting Member „IEEE and Ramses van der Toorn “Analysis of the Kirk Effect in Silicon-Based Bipolar Transistors With a Nonuniform collector Profile”

